



19 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

12 **Offenlegungsschrift**  
10 **DE 101 30 829 A 1**

51 Int. Cl. 7: (7)  
**G 11 C 11/14**

21 Aktenzeichen: 101 30 829.9  
22 Anmeldetag: 27. 6. 2001  
43 Offenlegungstag: 18. 7. 2002

DE 101 30 829 A 1

30 Unionspriorität:  
2000-393213 25. 12. 2000 JP  
71 Anmelder:  
Mitsubishi Denki K.K., Tokio/Tokyo, JP  
74 Vertreter:  
Prüfer und Kollegen, 81545 München

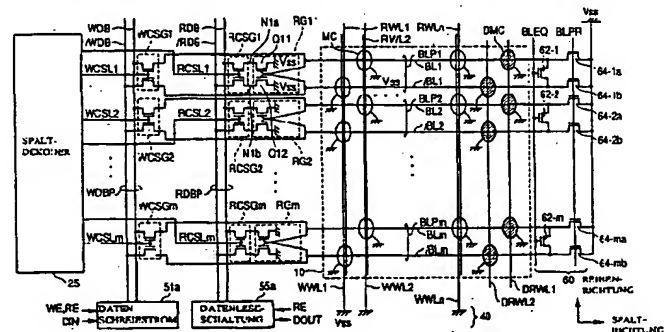
12 Erfinder:  
Hidaka, Hideto, Tokyo, JP

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

64 Dünnfilmmagnetspeichervorrichtung mit Speicherzellen, die einen Magnettunnelübergang aufweisen

57 In der Datenleseoperation werden eine Speicherzelle (MC) und eine Dummyspeicherzelle (DMC) jeweils in zwei Bitleitungen (BL, /BL) eines ausgewählten Bitleitungs-paars (BLP) gekoppelt und ein Datenlesestrom an diese geliefert. In der ausgewählten Speicherzellenspalte treibt ein Lesegate (RG) die jeweiligen Spannungen auf dem Lesedatenbuspaar (RDB, /RDB) gemäß den jeweiligen Spannungen auf den Bitleitungen (BL, /BL). Eine Datenlese-schaltung (55a) verstärkt die Spannungsdifferenz zwischen den Lesedatenbussen (RDB, /RDB) zur Ausgabe von Lesedaten (DOUT). Die Verwendung des Lesegates (RG) ermöglicht die Trennung der Lesedatenbusse (RDB, /RDB) von einem Datenlesestrompfad. Als ein Ergebnis werden jeweilige Spannungsänderungen auf den Bitleitungen (BL, /BL) schnell erzeugt, wodurch die Datenlese-geschwindigkeit erhöht werden kann.



BEST AVAILABLE COPY

DE 101 30 829 A 1

[0001] Die Erfindung betrifft eine Dünnschichtmagnetspeichervorrichtung. Insbesondere betrifft die Erfindung ein RAM (Random Access Memory) mit Speicherzellen, die einen Magnettunnelübergang (MTJ) aufweisen.

[0002] Eine MRAM (Magnetic Random Access Memory)-Vorrichtung hat als Speichervorrichtung Aufmerksamkeit erregt, die in der Lage ist, mit geringem Leistungsverbrauch Daten nicht flüchtig zu speichern. Die MRAM-Vorrichtung ist eine Speichervorrichtung, die Daten auf eine nichtflüchtige Art und Weise speichert, indem eine Mehrzahl von Dünnschichtmagnetelementen verwendet wird, die in einer halbleiterintegrierten Schaltung gebildet sind. Die MRAM-Vorrichtung ist in der Lage, zuverlässig auf jedes Dünnschichtmagnetelement zuzugreifen.

[0003] Insbesondere zeigt eine jüngste Bekanntmachung, daß ein erheblicher Fortschritt bei der Bildung der MRAM-Vorrichtung erzielt wird, indem Dünnschichtmagnetelemente mit einem Magnettunnelübergang (MTJ) als Speicherzellen verwendet werden. Die MRAM-Vorrichtung mit Speicherzellen, die einen Magnettunnelübergang aufweisen, ist in technischen Dokumenten offenbart, wie etwa "A 10 ns Read and Write Non-Volatile Memory Array Using a Magnetic Tunnel Junction and FET Switch in each Cell", ISSCC Digest of Technical-Papers, TA7.2, Februar 2000 und "Nonvolatile RAM based on Magnetic Tunnel Junction Elements", ISSCC Digest of Technical-Papers, TA7.3, Februar 2000.

[0004] Fig. 83 zeigt ein schematisches Diagramm der Struktur einer Speicherzelle mit einem Magnettunnelübergang (im folgenden auch einfach als "MTJ-Speicherzelle" bezeichnet).

[0005] Bezugnehmend auf Fig. 83 enthält die MTJ-Speicherzelle einen Magnettunnelübergang MTJ, dessen Widerstandswert sich gemäß dem Speicherdatenpegel ändert, und einen Zugriffstransistor ATR. Der Zugriffstransistor ATR ist aus einem Feldeffekttransistor gebildet, und zwischen dem Magnettunnelübergang MTJ und der Massespannung Vss gekoppelt.

[0006] Für die MTJ-Speicherzelle erfolgt die Bereitstellung einer Schreib-Wort-Leitung WWL zur Anweisung einer Datenschieboperation, einer Lese-Wort-Leitung RWL zur Anweisung einer Datenleseoperation, und einer Bit-Leitung BL, die als Datenleitung zur Übertragung eines elektrischen Signals dient, das dem Speicherdatenpegel in den Datenlese- und Datenschieboperationen entspricht.

[0007] Fig. 84 zeigt ein Konzeptdiagramm, das die Datenleseoperation von der MTJ-Speicherzelle verdeutlicht.

[0008] Bezugnehmend auf Fig. 84 weist der Magnettunnelübergang MTJ eine Magnetschicht FL auf, die ein fixiertes Magnetfeld mit einer fixierten Richtung enthält (im folgenden einfach als "feste Magnetschicht FL" bezeichnet), und eine Magnetschicht VL mit einem freien, magnetischen Feld (im folgenden einfach als "freie Magnetschicht VL" bezeichnet). Eine Tunnelbarriere TB, die aus einem Isolationsfilm gebildet ist, ist zwischen der fixierten Magnetschicht FL und der freien Magnetschicht VL bereitgestellt. Gemäß dem Speicherdatenpegel ist entweder ein Magnetfeld mit gleicher Richtung wie die fixierte Magnetschicht FL oder ein Magnetfeld mit der Richtung unterschiedlich zu der der fixierten Magnetschicht FL in einer nichtflüchtigen Weise in die freie Magnetschicht VL geschrieben.

[0009] Beim Lesen der Daten wird der Zugriffstransistor ATR in Antwort auf eine Aktivierung der Lese-Wort-Leitung RWL eingeschaltet. Als ein Ergebnis fließt ein Lesestrom Is durch einen Strompfad, der durch die Bitleitung BL, den Magnettunnelübergang MTJ, den Zugriffstransistor ATR und der Massespannung Vss gebildet ist. Der Lesestrom Is wird als ein konstanter Strom von einer nicht gezeigten Steuerschaltung geliefert.

strom Is wird als ein konstanter Strom von einer nicht gezeigten Steuerschaltung geliefert.

[0010] Der Widerstandswert des Magnettunnelübergangs MTJ ändert sich gemäß der relativen Beziehung der Magnetfeldrichtung zwischen der fixierten Magnetschicht FL und der freien Magnetschicht VL. Für den Fall, daß die fixierte Magnetschicht FL und die freie Magnetschicht VL die gleiche Magnetfeldrichtung aufweisen, hat der Magnet-tunnelübergang MTJ einen kleineren Widerstandswert, verglichen zu dem Fall, daß beide Magnetschichten unterschiedliche Magnetfeldrichtungen aufweisen.

[0011] Entsprechend ändert sich bei der Datenleseoperation eine Spannungsänderung, die am Magnet-tunnelübergang MTJ aufgrund des Lesestroms Is erzeugt wird, gemäß der Magnetfeldrichtung, die in der freien Magnetschicht VL gespeichert ist. Folglich kann durch das Liefern des Lesestroms Is mit der Bitleitung BL, die auf eine hohe Spannung vorgeladen ist, der Speicherdatenpegel in der MTJ-Speicherzelle gelesen werden, indem eine Spannungspegeländerung auf der Bitleitung BL überwacht wird.

[0012] Fig. 85 zeigt eine Konzeptansicht, die die Datenschreiboperation der MTJ-Speicherzelle verdeutlicht.

[0013] Bezugnehmend auf Fig. 85 ist bei der Datenschreiboperation die Lese-Wort-Leitung RWL deaktiviert und der Zugriffstransistor ATR ausgeschaltet. Bei diesem Zustand wird ein Datenschreibstrom zum Schreiben eines Magnetfeldes in die freie Magnetschicht VL an der Schreib-Wort-Leitung WWL und der Bitleitung BL angelegt. Die Magnetfeldrichtung der freien Magnetschicht VL wird durch Kombination der jeweiligen Richtungen des Datenschreibstroms bestimmt, der durch die Schreib-Wort-Leitung WWL und die Bitleitung BL fließt.

[0014] Fig. 86 zeigt ein Konzeptdiagramm, das die Beziehung zwischen den jeweiligen Richtungen des Datenschreibstroms und dem Magnetfeld in der Datenschreiboperation verdeutlicht.

[0015] Bezugnehmend auf Fig. 86 zeigt ein Magnetfeld Hx auf der Abszisse die Richtung eines Magnetfelds H(WWL) an, das durch den Datenschreibstrom erzeugt wird, der durch die Schreib-Wort-Leitung WWL fließt. Ein Magnetfeld Hy auf der Ordinate zeigt die Richtung eines Magnetfelds H(BL), das durch den Datenschreibstrom erzeugt wird, der durch die Bitleitung BL fließt.

[0016] Die in der freien Magnetschicht VL gespeicherte Magnetfeldrichtung wird nur aktualisiert, wenn die Summe der Magnetfelder H(WWL) und H(BL) den Bereich außerhalb der in Fig. 86 gezeigten Asteroid-Kennlinie erreicht. Mit anderen Worten wird die Magnetfeldrichtung, die in der freien Magnetschicht VL gespeichert ist, nicht aktualisiert, wenn ein Magnetfeld angelegt wird, das dem Bereich innerhalb der Asteroid-Kennlinie entspricht.

[0017] Entsprechend muß zur Aktualisierung der Speicherdaten des Magnet-tunnelübergangs MTJ durch die Datenschreiboperation ein Strom sowohl an die Schreib-Wort-Leitung WWL als auch an die Bitleitung BL angelegt werden. Sobald die Magnetfeldrichtung, also die Speicherdaten in dem Magnet-tunnelübergang MTJ gespeichert sind, werden diese darin nicht flüchtig gehalten, bis eine neue Datenschreiboperation durchgeführt wird.

[0018] Bei der Datenleseoperation fließt der Lesestrom Is durch die Bitleitung BL. Jedoch ist der Lesestrom Is im allgemeinen auf einen Wert gesetzt, der ungefähr um eine oder zwei Größenordnungen kleiner ist als der oben genannte Datenschreibstrom. Folglich ist es weniger wahrscheinlich, daß die Speicherdaten in der MTJ-Speicherzelle während der Datenleseoperation irrtümlich aufgrund des Lesestroms Is überschrieben werden.

[0019] Die oben genannten, technischen Dokumente of-

fenbaren eine Technologie zur Bildung einer MRAM-Vorrichtung, eines RAM (Random Access Memory), bei der derartige MTJ-Speicherzellen auf einem Halbleitersubstrat integriert sind.

[0020] Fig. 87 zeigt ein Konzeptdiagramm, das die MTJ-Speicherzellen zeigt, die auf integrierte Weise in Reihen und Spalten angeordnet sind.

[0021] Bezugnehmend auf Fig. 87 kann mit den MTJ-Speicherzellen, die in Reihen und Spalten auf dem Halbleitersubstrat angeordnet sind, eine hochintegrierte MRAM-Vorrichtung realisiert werden.

[0022] Fig. 87 zeigt die MTJ-Speicherzellen, die in n-Reihen mit m-Spalten angeordnet sind (wobei n, m jeweils eine natürliche Zahl sind).

[0023] Wie oben beschrieben, müssen die Bitleitung BL, die Schreib-Wort-Leitung WWL und die Lesewortleitung RWL für jede MTJ-Speicherzelle bereitgestellt werden. Entsprechend sind n-Schreib-Wort-Leitungen WWL1 bis WWLn, n-Lese-Wort-Leitungen RWL1 bis RWLn und m-Bitleitung BL1 bis BLm für  $n \times m$  MTJ-Speicherzellen erforderlich.

[0024] Folglich sind die MTJ-Speicherzellen im allgemeinen mit unabhängigen Wortleitungen für die Lese- und Schreiboperationen bereitgestellt.

[0025] Fig. 88 zeigt ein Strukturdiagramm der MTJ-Speicherzelle, die auf dem Halbleitersubstrat bereitgestellt ist.

[0026] Bezugnehmend auf Fig. 88 ist der Zugriffstransistor ATR in einem p-Typbereich PAR des Halbleiterhauptsubstrats SUB gebildet. Der Zugriffstransistor ATR hat Source/Drain-Bereiche (n-Typ Bereiche) 110, 120 und ein Gate 130. Der Source/Drain-Bereich 110 ist mit der Masse-Spannung  $V_{ss}$  durch eine Metallverdrahtung gekoppelt, die in einer ersten Metallverdrahtungsschicht M1 gebildet ist. Eine in einer zweiten Metallverdrahtungsschicht M2 gebildete Metallverdrahtung wird als Schreib-Wort-Leitung WWL verwendet. Die Bitleitung BL ist in einer dritten Metallverdrahtungsschicht M3 bereitgestellt.

[0027] Der Magnettunnelübergang MTJ ist zwischen der zweiten Metallverdrahtungsschicht M2 der Schreib-Wort-Leitung WWL und der dritten Metallverdrahtungsschicht M3 der Bitleitung BL bereitgestellt. Der Source/Drain-Bereich 120 des Zugriffstransistors ATR ist elektrisch mit dem Magnettunnelübergang MTJ durch einen Metallfilm 150, der in einem Kontaktloch der ersten und zweiten Metallverdrahtungsschicht M1 und M2 gebildet ist, und ein Barrieremetall 140 gekoppelt. Das Barrieremetall 140 ist ein Puffermaterial zur Bereitstellung einer elektrischen Kopplung zwischen dem Magnettunnelübergang MTJ und den Metallverdrahtungen.

[0028] Wie oben beschrieben, ist die MTJ-Speicherzelle mit der Lese-Wort-Leitung RWL unabhängig von der Schreib-Wort-Leitung WWL bereitgestellt. Darüber hinaus muß bei der Datenschieboperation ein Datenschiebstrom zur Erzeugung eines Magnetfeldes gleich oder größer als ein vorbestimmter Wert an die Schreib-Wort-Leitung WWL und die Bitleitung BL angelegt werden. Entsprechend sind die Bitleitung BL und die Schreib-Wort-Leitung WWL jeweils aus einer Metallverdrahtung gebildet.

[0029] Andererseits ist die Lese-Wort-Leitung RWL bereitgestellt, um die Gatespannung des Zugriffstransistors ATR zu steuern, und ein Strom muß nicht aktiv an die Lese-Wort-Leitung RWL angelegt werden. Vom Standpunkt des verbesserten Integrationsgrades wird entsprechend die Lese-Wort-Leitung RWL herkömmlich durch eine Polysiliziumschicht, Polycidstruktur oder dergleichen in der gleichen Verdrahtungsschicht wie das Gate 130 gebildet, ohne Bereitstellung einer zusätzlichen unabhängigen Metallverdrahtungsschicht.

[0030] Wie in Verbindung mit Fig. 84 beschrieben, erfolgt die Durchführung der Datenleseoperation der MTJ-Speicherzelle auf Grundlage der Spannungsänderung, die durch den Lesestrom ( $I_s$  in Fig. 84) erzeugt wird, der an den Magnettunnelübergang MTJ geliefert wird, der als ein Widerstandselement dient. Diese Spannungsänderung kann mit einer großen RC(Widerstand-Kapazität)-Zeitkonstante des Lesestrompfades nicht schnell genug erzeugt werden, wodurch es unmöglich wird, die Datenleseoperationsgeschwindigkeit zu erhöhen.

[0031] Wie in Fig. 86 gezeigt, wird außerdem die Datenschieboperation, basierend auf dem Verhältnis zwischen dem angelegten Magnetfeld und der Asteroid-Kennlinie, durchgeführt, die als Schwellenwert bereitgestellt ist. Entsprechend resultiert eine Änderung der Asteroid-Kennlinie, wie sie bei der Herstellung der Speicherzellen erzeugt werden kann, in einer Änderung in der Datenschiebtoleranz der Speicherzelle.

[0032] Fig. 89 zeigt ein Konzeptdiagramm, das die Wirkungen der herstellungsbedingten Änderung auf die Datenschiebtoleranz verdeutlicht.

[0033] Bezugnehmend auf Fig. 89 ist der designte Wert der Asteroid-Kennlinie mit  $AS_d$  gekennzeichnet. Es wird jetzt angenommen, daß die Asteroid-Kennlinie der Speicherzelle von dem designten Wert abweicht, wie durch  $AS_a$  oder  $AS_b$  gezeigt.

[0034] Zum Beispiel können in der MTJ-Speicherzelle mit der Asteroid-Kennlinie  $AS_b$  Daten nicht geschrieben werden, selbst wenn der Datenschiebstrom gemäß dem designten Wert zur Anlegung des Datenschiebmagnetfeldes geliefert wird.

[0035] Andererseits werden in der MTJ-Speicherzelle mit der Asteroid-Kennlinie  $AS_a$  die Daten selbst dann geschrieben, wenn ein Datenschiebmagnetfeld angelegt wird, das kleiner als der designte Wert ist. Als ein Ergebnis ist die MTJ-Speicherzelle mit derartigen Eigenschaften (Kennlinien) extrem anfällig für Magnetauschen.

[0036] Derartige herstellungsbedingte, Änderungen der Asteroid-Kennlinie können weiter vergrößert werden, da die Speicherzellen zur verbesserten Integration miniaturisiert werden. Zur Sicherstellung der Herstellungsausbeute besteht entsprechend ein Bedürfnis nicht nur für die Entwicklung der Herstellungstechnologie, um herstellungsbedingte Änderung der Asteroid-Kennlinie zu reduzieren, sondern auch für die Abgleichtechnologie, um eine geeignete Datenschiebtoleranz korrespondierend zu der Änderung der Asteroid-Kennlinie sicherzustellen.

[0037] Wie in Verbindung mit den Fig. 85 und 86 beschrieben, muß außerdem ein relativ großer Datenschiebstrom an die Bitleitung BL und die Schreib-Wort-Leitung WWL bei der Datenschieboperation geliefert werden. Da der Datenschiebstrom erhöht wird, werden ebenfalls die Stromdichte in der Bitleitung BL und der Schreib-Wort-Leitung WWL erhöht, was möglicherweise ein Phänomen hervorrufen kann, das als Elektromigration bezeichnet wird.

[0038] Elektromigration kann eine Unterbrechung oder einen Kurzschluß der Verdrahtungen erzeugen, wodurch möglicherweise die Betriebszuverlässigkeit der MRAM-Vorrichtung verschlechtert wird. Außerdem kann ein erhöhter Datenschiebstrom möglicherweise ein erhebliches Magnetauschen erzeugen. Es ist folglich wünschenswert, die Struktur zu realisieren, bei der Daten mit einem kleineren Datenschiebstrom geschrieben werden.

[0039] Wie in Verbindung mit den Fig. 87 und 88 beschrieben, ist eine große Anzahl von Verdrahtungen erforderlich, um die Daten in die MTJ-Speicherzelle zu schreiben bzw. von dieser auszulesen, wodurch es schwierig wird, den Bereich des Speicherarrays zu reduzieren, der die MTJ-

Speicherzellen integriert, und folglich den Chipbereich der MRAM-Vorrichtung.

[0040] Eine MTJ-Speicherzelle, die eine PN-Flächendiode als ein Zugriffselement anstatt des Zugriffstransistors verwendet, ist als Speicherzellenstruktur bekannt, die in der Lage ist, eine verbesserte Integration über die MTJ-Speicherzelle, wie in Fig. 83 gezeigt, zu erreichen.

[0041] Fig. 90 zeigt ein schematisches Diagramm, das die Struktur der MTJ-Speicherzelle verdeutlicht, die die Diode verwendet.

[0042] Bezugnehmend auf Fig. 90 enthält die MTJ-Speicherzelle, die die Diode verwendet, einen Magnetunnelübergang MTJ und eine Zugriffsdiode DM. Die Zugriffsdiode DM ist zwischen dem Magnetunnelübergang MTJ und der Wortleitung WL gekoppelt. Dabei ist die Richtung von dem Magnetunnelübergang MTJ zur Wortleitung WL die Vorwärtsrichtung. Die Bitleitung BL, die sich in einer Richtung erstreckt, die die Wortleitung WL kreuzt, ist mit dem Magnetunnelübergang MTJ gekoppelt.

[0043] In der MTJ-Speicherzelle, die die Diode verwendet, wird die Datenschreiboperation mit dem Datenschreibstrom durchgeführt, der an die Wortleitung WL und die Bitleitung BL geliefert wird. Wie bei dem Fall der Speicherzelle, die den Zugriffstransistor verwendet, ist die Richtung des Datenschreibstroms gemäß dem Schreibdatenpegel gesetzt.

[0044] Andererseits ist in der Datenleseoperation die Wortleitung WL, die mit der ausgewählten Speicherzelle korrespondiert, auf einen niedrigen Spannungszustand (zum Beispiel Massepotential Vss) gesetzt. Durch Vorladen der Bitleitung BL auf den hohen Spannungszustand (Leistungsversorgungsspannung Vcc), wird die Zugriffsdiode DM leitend, wodurch der Lesestrom Is durch den Magnetunnelübergang MTJ geliefert werden kann. Die Wortleitungen WL, die zu den nicht ausgewählten Speicherzellen korrespondieren, sind auf den hohen Spannungszustand gesetzt. Folglich werden die entsprechenden Zugriffsdioden DM im Auszustand gehalten, und kein Lesestrom Is fließt durch diese.

[0045] Folglich können die Datenlese- und Datenschreiboperationen auch in der MTJ-Speicherzelle unter Verwendung der Zugriffsdiode durchgeführt werden.

[0046] Fig. 91 zeigt ein Strukturdiagramm der MTJ-Speicherzelle aus Fig. 90, die auf dem Halbleitersubstrat bereitgestellt ist.

[0047] Bezugnehmend auf Fig. 91 ist die Zugriffsdiode DM, die auf dem Halbleitersubstrat SUB gebildet ist, aus einem N-Typ-Bereich NWL, der zum Beispiel aus einer N-Typ-Wanne gebildet ist, und einem darauf gebildeten P-Typ-Bereich PPA, gebildet.

[0048] Die N-Typ-Wanne NWL, die mit der Kathode der Zugriffsdiode DM korrespondiert, ist mit der Wortleitung WL gekoppelt, die in der Metallverdrahtungsschicht M1 bereitgestellt ist. Der P-Typ-Bereich PPA, der mit der Anode der Zugriffsdiode DM korrespondiert, ist elektrisch mit dem Magnetunnelübergang MTJ durch das Barrieremetall 140 und den Metallfilm 150 gekoppelt. Die Bitleitung BL ist in der Metallverdrahtungsschicht M2 bereitgestellt, um so mit dem Magnetunnelübergang MTJ gekoppelt zu sein. Durch das Ersetzen des Zugriffstransistors mit der Zugriffsdiode kann folglich die MTJ-Speicherzelle erhalten werden, die bezüglich der Verbesserung des Integrationsgrades vorteilhaft ist.

[0049] Bei der Datenschreiboperation fließt der Datenschreibstrom durch die Wortleitung WL und die Bitleitung BL. Dies erzeugt einen Spannungsabfall auf diesen Leitungen. Ein derartiger Spannungsabfall kann den PN-Übergang der Zugriffsdiode DM von mindestens einer der MTJ-Spei-

cherzellen, die nicht für die Datenschreiboperation ausgewählt sind, einschalten. Als ein Ergebnis kann ein Strom unerwartet durch die MTJ-Speicherzelle fließen, wodurch eine fehlerhafte Datenschreiboperation verursacht wird.

[0050] Folglich ist die herkömmliche MTJ-Speicherzelle, die die Zugriffsdiode verwendet, in Bezug auf verbesserte Integration vorteilhaft, jedoch aus Sicht der Stabilität der Datenschreiboperation problematisch.

[0051] Eine Aufgabe der Erfindung ist die Erhöhung der Datenschreibgeschwindigkeit in einer MRAM-Vorrichtung, die MTJ-Speicherzellen enthält.

[0052] Eine andere Aufgabe der Erfindung ist die Bereitstellung der Struktur, die in der Lage ist, die Menge an Datenschreibstrom leicht einzustellen, um eine vorbestimmte Datenschreibtoleranz in der MRAM-Vorrichtung mit den MTJ-Speicherzellen sicherzustellen, indem die Änderung der magnetischen Eigenschaften aufgrund von herstellungsbedingten Änderungen kompensiert wird.

[0053] Eine weitere Aufgabe der Erfindung liegt darin, eine Verbesserung in Bezug auf die Betriebszuverlässigkeit zu erreichen, genauso wie eine Unterdrückung von Magnetrauschen in der MRAM-Vorrichtung mit den MTJ-Speicherzellen, indem der Datenschreibstrom reduziert wird.

[0054] Eine noch weitere Aufgabe der Erfindung liegt in der Bereitstellung der MTJ-Speicherzellenstruktur für verbesserte Integration und die Bereitstellung hervorragender Betriebszuverlässigkeit.

[0055] Eine noch andere Aufgabe der Erfindung liegt in der Reduzierung des Chipbereichs der MRAM-Vorrichtung mit den MTJ-Speicherzellen, die in einem Array angeordnet sind, indem die Layoutfreiheit verbessert wird, genauso wie durch Reduzierung der Anzahl von Verdrahtungen, die für das gesamte Speicherarray erforderlich sind.

[0056] Zusammenfassend enthält eine Dünnschichtmagnetspeichervorrichtung gemäß der Erfindung ein Speicherarray, eine Mehrzahl von ersten Bitleitungen, eine Mehrzahl von Lese-Wort-Leitungen, eine erste Lese-Datenleitung, eine Lese-Gateschaltung und eine Datenleseschaltung. Das Speicherarray enthält eine Mehrzahl von Magnetspeicherzellen, die in Reihen und Spalten angeordnet sind. Jede der Mehrzahl von Magnetspeicherzellen hat entweder einen ersten oder zweiten Widerstandswert gemäß ihres Speicherdatenpegels. Die Mehrzahl von ersten Bitleitungen ist entsprechend den jeweiligen Spalten der Magnetspeicherzellen bereitgestellt. Die Mehrzahl der Lese-Wort-Leitungen ist entsprechend zu den jeweiligen Reihen der Magnetspeicherzellen bereitgestellt, zur elektrischen Kopplung der Magnetspeicherzellen entsprechend zu einer adressierten Reihe zwischen der Mehrzahl von ersten Bitleitungen, die jeweils auf eine erste Spannung und auf eine zweite Spannung (Vss) gesetzt sind, so daß ein Datenlesestrom durch die Magnetspeicherzellen fließt. Die erste Lesedatenleitung überträgt Lesedaten. Die Lesegateschaltung setzt eine Spannung der ersten Lesedatenleitung gemäß einer Spannung auf einer der Mehrzahl von ersten Bitleitungen, die mit einer adressierten Spalte korrespondiert. Die Datenleseschaltung setzt gemäß der Spannung auf der ersten Lesedatenleitung einen Pegel der Lesedaten.

[0057] Folglich liegt ein Vorteil der Erfindung in erster Linie darin, daß die Datenlesegeschwindigkeit erhöht werden kann, indem schnell eine Spannungsänderung auf der ersten Bitleitung erzeugt wird, indem die Datenleseoperation mit einer reduzierten RC-Konstante des Datenlesestrompfades durchgeführt wird, ohne Lieferung irgendeines Datenlesestroms an die erste Lesedatenleitung.

[0058] Gemäß einem anderen Aspekt der Erfindung enthält eine Dünnschichtmagnetspeichervorrichtung mit einem normalen Betriebsmodus und einem Testmodus ein Spei-

cherarray, eine Mehrzahl von Schreib-Wort-Leitungen, einen Schreib-Wort-Leitungstreiber, eine Datenschreibschaltung und eine Mehrzahl von Bitleitungspaaren. Das Speicherarray enthält eine Mehrzahl von Magnetspeicherzellen, die in Reihen und Spalten angeordnet sind. Jede der Mehrzahl von Magnetspeicherzellen hat einen unterschiedlichen Widerstandswert gemäß einem Pegel von Speicherdaten, die geschrieben werden, wenn ein Datenschreibmagnetfeld, das durch einen ersten und zweiten Datenschreibstrom angelegt wird, größer ist als ein vorbestimmtes Magnetfeld. Die Mehrzahl von Schreib-Wort-Leitungen ist korrespondierend zu jeweiligen Reihen der Magnetspeicherzellen bereitgestellt und selektiv gemäß eines Reihenauswahlergebnisses in einer Datenschreiboperation aktiviert. Der Schreibwortleitungstreiber liefert den ersten Datenschreibstrom an die aktivierte Wortleitung in einer Menge, die einem Spannungspegel auf einem ersten Steuerknoten entspricht. Die Datenwortschaltung liefert den zweiten Datenschreibstrom in der Datenschreiboperation in einer Menge, die einem Spannungspegel auf einem zweiten Steuerknoten entspricht. Die Mehrzahl von Bitleitungen ist korrespondierend zu jeweiligen Spalten der Magnetspeicherzellen bereitgestellt und selektiv mit der Datenschreibschaltung gemäß einem Spaltauswahlergebnis in der Datenschreiboperation verbunden. Der Schreib-Wort-Leitungstreiber und/oder die Datenschreibschaltung enthalten einen Eingangsanschluß zum externen Setzen des Spannungspegels eines korrespondierenden ersten oder zweiten Steuerknotens im Testmodus.

[0059] Entsprechend kann im Testmodus mindestens einer der ersten und zweiten Datenschreibströme von außen gesetzt werden. Folglich kann die herstellungsbedingte Änderung der Materialeigenschaften der MTJ-Speicherzellen kompensiert werden, wodurch das Abgleichtesten der Datenschreibstrommenge zur entsprechenden Sicherstellung einer Datenschreibtoleranz ermöglicht werden kann.

[0060] Gemäß einem weiteren Aspekt der Erfindung enthält eine Dünnschichtmagnetspeichervorrichtung ein Speicherarray, eine Mehrzahl von Bitleitungen, eine Mehrzahl von Schreib-Wort-Leitungen und eine Kopplungsschaltung. Das Speicherarray enthält eine Mehrzahl von Magnetspeicherzellen, die in Reihen und Spalten angeordnet sind. Jede der Mehrzahl von Magnetspeicherzellen enthält einen Magnetspeicherbereich mit einem unterschiedlichen Widerstandswert gemäß einem Pegel von Speicherdaten, die geschrieben werden, wenn ein Datenschreibmagnetfeld, das durch den ersten und zweiten Datenschreibstrom angelegt wird, größer ist als ein vorbestimmtes Magnetfeld. Die Mehrzahl von Bitleitungen ist korrespondierend zu jeweiligen Spalten der Magnetspeicherzellen bereitgestellt, zum Durchlassen des ersten Datenschreibstroms. Die Mehrzahl von Schreib-Wort-Leitungen ist korrespondierend zu den jeweiligen Reihen der Magnetspeicherzellen bereitgestellt, und selektiv gemäß einem Adressauswahlergebnis aktiviert, um den zweiten Datenschreibstrom in einer Datenschreiboperation durchzulassen. Jede der Schreib-Wort-Leitungen enthält eine erste und eine zweite Nebenschreibwortleitung, die jeweils in einer ersten und zweiten Metallverdrahtungsschicht in einer vertikalen Richtung auf einem Halbleitersubstrat gebildet sind, mit dazwischen angeordneten Magnetspeicherbereichen. Die Kopplungsschaltung koppelt elektrisch die erste und zweite Nebenschreibwortleitung miteinander. Der zweite Datenschreibstrom fließt als ein reziproker Strom durch die erste und zweite Nebenschreibwortleitung, die elektrisch durch die Kopplungsschaltung miteinander gekoppelt sind.

[0061] Da der Datenschreibstrom als ein reziproker Strom durch die erste und zweite Bitleitung fließt, die elektrisch miteinander gekoppelt sind, können folglich Datenschreib-

magnetfelder, die in der gleichen Richtung wirken, in dem Magnetspeicherbereich erzeugt werden. Dies reduziert die Menge an Datenschreibstrom, der zur Erzeugung eines Datenschreibmagnetfeldes gleicher Stärke erforderlich ist. Als ein Ergebnis kann ein reduzierter Leistungsverbrauch der MRAM-Vorrichtung, verbesserte Betriebszuverlässigkeit in Folge reduzierter Stromdichte der Bitleitung und auch reduziertes Magnetfeldrauschen im Datenschreibbetrieb realisiert werden.

[0062] Gemäß einem noch anderen Aspekt der Erfindung enthält eine Dünnschichtmagnetspeichervorrichtung ein Speicherarray, eine Mehrzahl von Lese-Wort-Leitungen, eine Mehrzahl von Schreib-Wort-Leitungen und eine Mehrzahl von Bitleitungen. Das Speicherarray enthält eine Mehrzahl von Magnetspeicherzellen, die in Reihen und Spalten angeordnet sind. Jede der Mehrzahl von Magnetspeicherzellen enthält einen Magnetspeicherbereich mit unterschiedlichem Widerstandswert gemäß einem Pegel der Speicherdaten, die geschrieben werden, wenn ein Datenschreibmagnetfeld, das durch einen ersten und zweiten Datenschreibstrom angelegt wird, größer ist als ein vorbestimmtes Magnetfeld. Die Mehrzahl von Lese-Wort-Leitungen ist korrespondierend zu jeweiligen Reihen der Magnetspeicherzellen bereitgestellt und auf eine erste Spannung gemäß einem Reihenauswahlergebnis in der Datenleseoperation angetrieben. Die Mehrzahl von Schreib-Wort-Leitungen ist korrespondierend zu den jeweiligen Reihen bereitgestellt und selektiv gemäß einem Adressauswahlergebnis aktiviert, um den ersten Datenschreibstrom in einer Datenschreiboperation durchzulassen. Die Mehrzahl von Bitleitungen ist korrespondierend zu jeweiligen Spalten der Magnetspeicherzellen bereitgestellt, um sich in einer Richtung zu erstrecken, die die Mehrzahl von Schreib-Wort-Leitungen kreuzt, und ist jeweils mit den Magnetspeicherbereichen gekoppelt. Eine der Mehrzahl von Bitleitungen, die gemäß einem Adressauswahlergebnis ausgewählt ist, läßt einen Datenlesestrom und den zweiten Datenschreibstrom in der Datenleseoperation und der Datenschreiboperation jeweils durch. Jede der Magnetspeicherzellen enthält ferner ein Gleichrichtelement, das zwischen dem korrespondierenden Magnetspeicherbereich und der korrespondierenden Lese-Wort-Leitung verbunden ist.

[0063] Eine derartige Magnetspeicherzelle, die das Gleichrichtelement verwendet, ist in Bezug auf verbesserte Integration vorteilhaft, und der AUS-Zustand des Gleichrichtelements kann zuverlässig in den nicht ausgewählten Magnetspeicherzellen aufrechterhalten werden. Als ein Ergebnis kann verbesserte Integration erreicht und die Betriebszuverlässigkeit sichergestellt werden.

[0064] Gemäß einem noch weiteren Aspekt der Erfindung enthält eine Dünnschichtmagnetspeichervorrichtung ein Speicherarray, eine Mehrzahl von Lese-Wort-Leitungen, eine Mehrzahl von Schreib-Wort-Leitungen, eine Mehrzahl von Schreibdatenleitungen und eine Mehrzahl von Lese-Datenleitungen. Das Speicherarray enthält eine Mehrzahl von Magnetspeicherzellen, die in Reihen und Spalten angeordnet sind. Jede der Mehrzahl von Magnetspeicherzellen enthält einen Magnetspeicherbereich mit einem unterschiedlichen Widerstandswert gemäß einem Pegel von Speicherdaten, die geschrieben werden, wenn ein Datenschreibmagnetfeld, das durch einen ersten und zweiten Datenschreibstrom angelegt wird, größer ist als ein vorbestimmtes Magnetfeld, und ein Speicherzellenauswahlgate zum Durchlassen eines Datenlesestroms in den Magnetspeicherbereich in einer Datenleseoperation. Die Mehrzahl von Lese-Wort-Leitungen ist entsprechend zu den jeweiligen Reihen der Magnetspeicherzellen bereitgestellt, zur Aktivierung des entsprechenden Speicherzellenauswahlgates gemäß einem Adressauswahlergebnis in der Datenleseoperation. Die Mehrzahl von

Schreib-Wort-Leitungen ist korrespondierend zu jeweiligen Spalten der Magnetspeicherzellen bereitgestellt und selektiv auf einem aktiven Zustand getrieben, gemäß einem Adressauswahlergebnis, um den ersten Datenschreibstrom in einer Datenschreiboperation durchzulassen. Die Mehrzahl von Schreibdatenleitungen ist korrespondierend zu jeweiligen Reihen bereitgestellt, zum Durchlaß des zweiten Datenschreibstroms bei der Datenschreiboperation. Die Mehrzahl von LeseDatenleitungen ist korrespondierend zu jeweiligen Spalten bereitgestellt, zum Durchlassen des Datenlesestroms in der Datenleseoperation. Benachbarte Magnetspeicherzellen teilen eine Korrespondierende von mindestens einer der Mehrzahl von Schreib-Wort-Leitungen, der Mehrzahl von Lese-Wort-Leitungen und der Mehrzahl von Datenleitungen.

[0065] Die Lese-Wort-Leitungen und die Schreib-Wort-Leitungen sind folglich jeweils korrespondierend zu den Reihen und Spalten der Magnetspeicherzellen bereitgestellt, und jeweilige Schaltungen zum selektiven Antreiben der Lese-Wort-Leitungen und der Schreib-Wort-Leitungen sind unabhängig bereitgestellt.

[0066] Entsprechend kann die Layoutfreiheit verbessert werden. Außerdem werden mindestens eine der Schreib-Wort-Leitungen, Lese-Wort-Leitungen, Schreibdatenleitungen und LeseDatenleitungen zwischen entsprechenden benachbarten Speicherzellen geteilt, wodurch ein Verdrahtungsabstand in dem Speicherarray vergrößert werden kann. Als ein Ergebnis kann der Integrationsgrad der MRAM-Vorrichtung verbessert werden.

[0067] Gemäß einem weiteren Aspekt der Erfindung enthält eine Dünnschichtmagnetspeichervorrichtung ein Speicherarray, eine Mehrzahl von Lese-Wort-Leitungen, eine Mehrzahl von Schreibdatenleitungen, eine Mehrzahl von gemeinsamen Leitungen und eine Stromsteuerschaltung. Das Speicherarray enthält eine Mehrzahl von Magnetspeicherzellen, die in Reihen und Spalten angeordnet sind. Jede der Mehrzahl von Magnetspeicherzellen enthält einen Magnetspeicherbereich mit unterschiedlichem Widerstandswert gemäß einem Pegel von Speicherdaten, die geschrieben werden, wenn ein Datenschreibmagnetfeld, das durch einen ersten und zweiten Datenschreibstrom angelegt wird, größer ist als ein vorbestimmtes Magnetfeld, und ein Speicherzellenauswahlgate zum Durchlassen eines Datenlesestroms ( $I_s$ ) in den Magnetspeicherbereich in einer Datenleseoperation. Die Mehrzahl von Lese-Wort-Leitungen ist korrespondierend zu jeweiligen Reihen der Magnetspeicherzellen bereitgestellt, zum Antreiben des korrespondierenden Speicherzellenauswahlgates gemäß einem Adressauswahlergebnis in der Datenleseoperation. Die Mehrzahl von Schreibdatenleitungen ist korrespondierend zu den jeweiligen Reihen bereitgestellt, zum Durchlaß des ersten Datenschreibstroms in einer Datenschreiboperation.

[0068] Die Mehrzahl von gemeinsamen Leitungen ist korrespondierend zu den jeweiligen Spalten der Magnetspeicherzellen bereitgestellt. Jede der Mehrzahl von gemeinsamen Leitungen empfängt selektiv die Lieferung von dem Datenlesestrom gemäß dem Adressauswahlergebnis in der Datenleseoperation. Jede der Mehrzahl von gemeinsamen Leitungen ist selektiv auf eine erste Spannung ( $V_{cc}$ ) angetrieben, zum Durchlaß des zweiten Datenschreibstroms gemäß dem Adressauswahlergebnis in der Datenschreiboperation. Die Stromsteuerschaltung koppelt elektrisch und unterbricht jede der gemeinsamen Leitungen zu und von einer zweiten Spannung ( $V_{ss}$ ), jeweils in der Datenschreiboperation und der Datenleseoperation. Die zweite Spannung ist von der ersten Spannung unterschiedlich. Benachbarte Magnetspeicherzellen teilen sich eine korrespondierende von mindestens einer der Mehrzahl von Schreibdatenleitungen,

der Mehrzahl von Lese-Wort-Leitungen und der Mehrzahl von gemeinsamen Leitungen.

[0069] Folglich fungiert jede gemeinsame Leitung als LeseDatenleitung in der Datenleseoperation, und als Schreib-Wort-Leitung in der Datenschreiboperation, wodurch die Anzahl von Verdrahtungen reduziert werden kann. Eine Schaltung zum selektiven Ansteuern der Lese-Wort-Leitungen und eine Schaltung zum Selektiven Ansteuern der gemeinsamen Leitungen in der Datenschreiboperation, also der gemeinsamen Leitungen, die als Schreib-Wort-Leitungen dienen, sind unabhängig bereitgestellt, wodurch die Layoutfreiheit verbessert werden kann. Außerdem werden mindestens eine der Lese-Wort-Leitungen, Schreibdatenleitungen und gemeinsamen Leitungen von korrespondierenden benachbarten Speicherzellen geteilt, wodurch ein Verdrahtungsabstand in dem Speicherarray erweitert werden kann. Als ein Ergebnis kann der Integrationsgrad der MRAM-Vorrichtung verbessert werden.

[0070] Das vorangegangene und andere Aufgaben, Merkmale, Aspekte und Vorteile der Erfindung werden durch die folgende, detaillierte Beschreibung unter Bezugnahme auf die beigefügten Zeichnungen klarer. Es zeigen:

[0071] Fig. 1 ein schematisches Blockdiagramm der gesamten Struktur einer MRAM-Vorrichtung 1 gemäß einem ersten Ausführungsbeispiel der Erfindung,

[0072] Fig. 2 ein Diagramm, das die Struktur eines Speicherarrays 10 und seiner peripheren Schaltungen gemäß dem ersten Ausführungsbeispiel verdeutlicht,

[0073] Fig. 3 ein Schaltungsdiagramm, das die Struktur einer Datenschreibschaltung 51a aus Fig. 2 zeigt,

[0074] Fig. 4 ein Schaltungsdiagramm, das die Struktur einer Datenleseschaltung 55a aus Fig. 2 zeigt,

[0075] Fig. 5 eine Zeittafel, die die Datenlese- und Datenschreiboperation in der MRAM-Vorrichtung gemäß dem ersten Ausführungsbeispiel verdeutlicht,

[0076] Fig. 6 ein Diagramm, das die Struktur eines Speicherarrays 10 und dessen periphere Schaltungen gemäß einer ersten Modifikation des ersten Ausführungsbeispiels verdeutlicht,

[0077] Fig. 7 ein Schaltungsdiagramm, das die Struktur einer Datenschreibschaltung 51b aus Fig. 6 zeigt,

[0078] Fig. 8 ein Schaltungsdiagramm, das die Struktur einer Datenleseschaltung 55b aus Fig. 6 zeigt,

[0079] Fig. 9 eine Zeittafel, die die Datenlese- und Datenschreiboperation in einer MRAM-Vorrichtung gemäß der ersten Modifikation des ersten Ausführungsbeispiels verdeutlicht,

[0080] Fig. 10 ein Diagramm, das die Struktur eines Speicherarrays 10 und dessen periphere Schaltungen gemäß einer zweiten Modifikation des ersten Ausführungsbeispiels verdeutlicht,

[0081] Fig. 11 ein Diagramm, das die Struktur eines Speicherarrays 10 und dessen periphere Schaltungen gemäß einer dritten Modifikation des ersten Ausführungsbeispiels verdeutlicht,

[0082] Fig. 12 ein Schaltungsdiagramm, das die Struktur einer Datenschreibschaltung gemäß einem zweiten Ausführungsbeispiel zeigt,

[0083] Fig. 13 ein Schaltungsdiagramm, das ein Beispiel der Struktur eines Wort-Leitungstreibers gemäß dem zweiten Ausführungsbeispiel zeigt,

[0084] Fig. 14 ein Schaltungsdiagramm, das die Struktur einer Datenschreibstromanpassungsschaltung 230 gemäß einer Modifikation des zweiten Ausführungsbeispiels zeigt,

[0085] Fig. 15 ein Diagramm, das die Struktur eines Speicherarrays 10 und dessen periphere Schaltungen in einer MRAM-Vorrichtung verdeutlicht zur Durchführung einer Datenleseoperation ohne Verwendung eines Lesegates,

[0086] Fig. 16 ein Blockdiagramm, das die Bitleitungsanordnung gemäß einem dritten Ausführungsbeispiel der Erfindung verdeutlicht,  
 [0087] Fig. 17 ein Strukturdiagramm, das ein erstes Beispiel der Bitleitungsanordnung gemäß dem dritten Ausführungsbeispiel zeigt,  
 [0088] Fig. 18 ein Strukturdiagramm, das ein zweites Beispiel der Bitleitungsanordnung gemäß der dritten Modifikation zeigt,  
 [0089] Fig. 19 ein Konzeptdiagramm, die die Bitleitungsanordnung gemäß einer ersten Modifikation des dritten Ausführungsbeispiels verdeutlicht,  
 [0090] Fig. 20 ein Strukturdiagramm, das die Anordnung einer Schreib-Wort-Leitung WWL gemäß einer zweiten Modifikation des dritten Ausführungsbeispiels verdeutlicht,  
 [0091] Fig. 21A und 21B Konzeptdiagramme, die die Kopplung zwischen Nebenwortleitungen verdeutlichen, die die gleiche Schreib-Wort-Leitung bilden,  
 [0092] Fig. 22 ein Diagramm, das die Schreib-Wort-Leitungsanordnung gemäß einer dritten Modifikation des dritten Ausführungsbeispiels verdeutlicht,  
 [0093] Fig. 23 ein Diagramm, das die Schreib-Wort-Leitungsanordnung gemäß einer vierten Modifikation des dritten Ausführungsbeispiels verdeutlicht,  
 [0094] Fig. 24 ein Diagramm, das die Schreib-Wort-Leitungsanordnung gemäß einer fünften Modifikation des dritten Ausführungsbeispiels verdeutlicht,  
 [0095] Fig. 25 ein Diagramm, das die Struktur einer MTJ-Speicherzelle gemäß einem vierten Ausführungsbeispiel der Erfindung zeigt,  
 [0096] Fig. 26 ein Strukturdiagramm der MTJ-Speicherzelle aus Fig. 25, die auf einem Halbleitersubstrat bereitgestellt ist,  
 [0097] Fig. 27 eine Zeittafel, die die Lese- und Schreiboperation von und auf die MTJ-Speicherzelle aus Fig. 25 verdeutlicht,  
 [0098] Fig. 28 ein Konzeptdiagramm, das die Struktur eines Speicherarrays mit den MTJ-Speicherzellen aus Fig. 25 zeigt, die in Reihen und Spalten angeordnet sind,  
 [0099] Fig. 29 ein Konzeptdiagramm, das die Struktur eines Speicherarrays zeigt, in dem sich die MTJ-Speicherzelle, die in Reihen und Spalten angeordnet sind, Schreib-Wort-Leitungen WWL teilen,  
 [0100] Fig. 30 ein Konzeptdiagramm, das die MTJ-Speicherzellenanordnung gemäß einer Modifikation des vierten Ausführungsbeispiels zeigt,  
 [0101] Fig. 31 ein schematisches Blockdiagramm, das die gesamte Struktur einer MRAN-Vorrichtung 2 gemäß einem fünften Ausführungsbeispiel der Erfindung zeigt,  
 [0102] Fig. 32 ein Schaltungsdiagramm, das die Verbindung einer MTJ-Speicherzelle gemäß dem fünften Ausführungsbeispiel zeigt,  
 [0103] Fig. 33 eine Zeittafel, die die Datenlese- und Datenschreiboperation von und zu einer MTJ-Speicherzelle gemäß dem fünften Ausführungsbeispiel verdeutlicht,  
 [0104] Fig. 34 ein Strukturdiagramm, das die MTJ-Speicherzellenanordnung gemäß dem fünften Ausführungsbeispiel verdeutlicht,  
 [0105] Fig. 35 ein Diagramm, das die Struktur eines Speicherarrays 10 und dessen periphere Schaltungen gemäß dem fünften Ausführungsbeispiel verdeutlicht,  
 [0106] Fig. 36 ein Schaltungsdiagramm, das die Struktur einer Datenleseschaltung 55e zeigt,  
 [0107] Fig. 37 ein Diagramm, das die Struktur eines Speicherarrays 10 und dessen periphere Schaltungen gemäß einer ersten Modifikation des fünften Ausführungsbeispiels verdeutlicht,  
 [0108] Fig. 38 ein Diagramm, das die Struktur eines Spei-

cherarrays 10 und dessen periphere Schaltungen gemäß einer zweiten Modifikation des fünften Ausführungsbeispiels verdeutlicht,  
 [0109] Fig. 39 ein Diagramm, das die Struktur eines Speicherarrays 10 und dessen periphere Schaltungen gemäß einer dritten Modifikation des fünften Ausführungsbeispiels verdeutlicht,  
 [0110] Fig. 40 ein Diagramm, das die Struktur eines Speicherarrays 10 und dessen periphere Schaltungen gemäß einer vierten Modifikation des fünften Ausführungsbeispiels verdeutlicht,  
 [0111] Fig. 41 ein Diagramm, das die Struktur eines Speicherarrays 10 und dessen periphere Schaltungen gemäß einer fünften Modifikation des fünften Ausführungsbeispiels verdeutlicht,  
 [0112] Fig. 42 ein Schaltungsdiagramm, das die Verbindung einer MTJ-Speicherzelle gemäß einem sechsten Ausführungsbeispiel der Erfindung zeigt,  
 [0113] Fig. 43 ein Strukturdiagramm, das die MTJ-Speicherzellenanordnung gemäß dem sechsten Ausführungsbeispiel zeigt,  
 [0114] Fig. 44 ein Diagramm, das die Struktur eines Speicherarrays 10 und dessen periphere Schaltungen gemäß dem sechsten Ausführungsbeispiel verdeutlicht,  
 [0115] Fig. 45 ein Diagramm, das die Struktur eines Speicherarrays 10 und dessen periphere Schaltungen gemäß einer ersten Modifikation des sechsten Ausführungsbeispiels verdeutlicht,  
 [0116] Fig. 46 ein Diagramm, das die Struktur eines Speicherarrays 10 und dessen periphere Schaltungen gemäß einer zweiten Modifikation des sechsten Ausführungsbeispiels verdeutlicht,  
 [0117] Fig. 47 ein Diagramm, das die Struktur eines Speicherarrays 10 und dessen periphere Schaltungen gemäß einer dritten Modifikation des sechsten Ausführungsbeispiels verdeutlicht,  
 [0118] Fig. 48 ein Diagramm, das die Struktur eines Speicherarrays 10 und dessen periphere Schaltungen gemäß einer vierten Modifikation des sechsten Ausführungsbeispiels verdeutlicht,  
 [0119] Fig. 49 ein Diagramm, das die Struktur eines Speicherarrays 10 und dessen periphere Schaltungen gemäß einer fünften Modifikation des sechsten Ausführungsbeispiels verdeutlicht,  
 [0120] Fig. 50 ein Schaltungsdiagramm, das die Verbindung einer MTJ-Speicherzelle gemäß einem siebenten Ausführungsbeispiel der Erfindung zeigt,  
 [0121] Fig. 51 ein Strukturdiagramm, das die MTJ-Speicherzellenanordnung gemäß dem siebenten Ausführungsbeispiel zeigt,  
 [0122] Fig. 52 ein Diagramm, das die Struktur eines Speicherarrays 10 und dessen periphere Schaltungen gemäß dem siebenten Ausführungsbeispiel verdeutlicht,  
 [0123] Fig. 53 ein Diagramm, das die Struktur eines Speicherarrays 10 und dessen periphere Schaltungen gemäß einer ersten Modifikation des siebenten Ausführungsbeispiels verdeutlicht,  
 [0124] Fig. 54 ein Diagramm, das die Struktur eines Speicherarrays 10 und dessen periphere Schaltungen gemäß einer zweiten Modifikation des siebenten Ausführungsbeispiels verdeutlicht,  
 [0125] Fig. 55 ein Diagramm, das die Struktur eines Speicherarrays 10 und dessen periphere Schaltungen gemäß einer dritten Modifikation des siebenten Ausführungsbeispiels verdeutlicht,  
 [0126] Fig. 56 ein Diagramm, das die Struktur eines Speicherarrays 10 und dessen periphere Schaltungen gemäß einer vierten Modifikation des siebenten Ausführungsbeispiels

verdeutlicht,

[0127] Fig. 57 ein Diagramm, das die Struktur eines Speicherarrays 10 und dessen periphere Schaltungen gemäß einer fünften Modifikation des siebenten Ausführungsbeispiel verdeutlicht,

[0128] Fig. 58 ein Schaltungsdiagramm, das die Verbindung einer MTJ-Speicherzelle gemäß einem achten Ausführungsbeispiel der Erfindung zeigt,

[0129] Fig. 59 ein Strukturdiagramm, das die MTJ-Speicherzellenanordnung gemäß dem achten Ausführungsbeispiel zeigt,

[0130] Fig. 60 ein Diagramm, das die Struktur eines Speicherarrays 10 und dessen periphere Schaltungen gemäß dem achten Ausführungsbeispiel verdeutlicht,

[0131] Fig. 61 ein Diagramm, das die Struktur eines Speicherarrays 10 und dessen periphere Schaltungen gemäß einer ersten Modifikation des achten Ausführungsbeispiels verdeutlicht,

[0132] Fig. 62 ein Diagramm, das die Struktur eines Speicherarrays 10 und dessen periphere Schaltungen gemäß einer zweiten Modifikation des achten Ausführungsbeispiels verdeutlicht,

[0133] Fig. 63 ein Diagramm, das die Struktur eines Speicherarrays 10 und dessen periphere Schaltungen gemäß einer dritten Modifikation des achten Ausführungsbeispiels verdeutlicht,

[0134] Fig. 64 ein Diagramm, das die Struktur eines Speicherarrays 10 und dessen periphere Schaltungen gemäß einer vierten Modifikation des achten Ausführungsbeispiels verdeutlicht,

[0135] Fig. 65 ein Diagramm, das die Struktur eines Speicherarrays 10 und dessen periphere Schaltungen gemäß einer fünften Modifikation des achten Ausführungsbeispiels verdeutlicht,

[0136] Fig. 66 ein Schaltungsdiagramm, das die Verbindung einer MTJ-Speicherzelle gemäß einem neunten Ausführungsbeispiel der Erfindung zeigt,

[0137] Fig. 67 eine Zeittafel, die die Datenschreib- und Leseoperation von und zu der MTJ-Speicherzelle gemäß dem neunten Ausführungsbeispiel verdeutlicht,

[0138] Fig. 68 ein Strukturdiagramm, das die MTJ-Speicherzellenanordnung gemäß dem neunten Ausführungsbeispiel zeigt,

[0139] Fig. 69 ein Diagramm, das die Struktur eines Speicherarrays 10 und dessen periphere Schaltungen gemäß dem neunten Ausführungsbeispiel verdeutlicht,

[0140] Fig. 70 ein Diagramm, das die Struktur eines Speicherarrays 10 und dessen periphere Schaltungen gemäß einer ersten Modifikation des neunten Ausführungsbeispiels verdeutlicht,

[0141] Fig. 71 ein Diagramm, das die Struktur eines Speicherarrays 10 und dessen periphere Schaltungen gemäß einer zweiten Modifikation des neunten Ausführungsbeispiels verdeutlicht,

[0142] Fig. 72 ein Diagramm, das die Struktur eines Speicherarrays 10 und dessen periphere Schaltungen gemäß einer dritten Modifikation des neunten Ausführungsbeispiels verdeutlicht,

[0143] Fig. 73 ein Diagramm, das die Struktur eines Speicherarrays 10 und dessen periphere Schaltungen gemäß einer vierten Modifikation des neunten Ausführungsbeispiels verdeutlicht,

[0144] Fig. 74 ein Diagramm, das die Struktur eines Speicherarrays 10 und dessen periphere Schaltungen gemäß einer fünften Modifikation des neunten Ausführungsbeispiels verdeutlicht,

[0145] Fig. 75 ein Schaltungsdiagramm, das die Verbindung einer MTJ-Speicherzelle gemäß einem zehnten Aus-

führungsbeispiel der Erfindung zeigt,

[0146] Fig. 76 ein Strukturdiagramm, das die MTJ-Speicherzellenanordnung gemäß dem zehnten Ausführungsbeispiel zeigt,

[0147] Fig. 77 ein Diagramm, das die Struktur eines Speicherarrays 10 und dessen periphere Schaltungen gemäß dem zehnten Ausführungsbeispiel verdeutlicht,

[0148] Fig. 78 ein Diagramm, das die Struktur eines Speicherarrays 10 und dessen periphere Schaltungen gemäß einer ersten Modifikation des zehnten Ausführungsbeispiels verdeutlicht,

[0149] Fig. 79 ein Diagramm, das die Struktur eines Speicherarrays 10 und dessen periphere Schaltungen gemäß einer zweiten Modifikation des zehnten Ausführungsbeispiels verdeutlicht,

[0150] Fig. 80 ein Diagramm, das die Struktur eines Speicherarrays 10 und dessen periphere Schaltungen gemäß einer dritten Modifikation des zehnten Ausführungsbeispiels verdeutlicht,

[0151] Fig. 81 ein Diagramm, das die Struktur eines Speicherarrays 10 und dessen periphere Schaltungen gemäß einer vierten Modifikation des zehnten Ausführungsbeispiels verdeutlicht,

[0152] Fig. 82 ein Diagramm, das die Struktur eines Speicherarrays 10 und dessen periphere Schaltungen gemäß einer fünften Modifikation des zehnten Ausführungsbeispiels verdeutlicht,

[0153] Fig. 83 ein schematisches Diagramm, das die Struktur einer Speicherzelle mit einem Magnetunnelübergang zeigt,

[0154] Fig. 84 ein Konzeptdiagramm, das die Datenleseoperation von der MTJ-Speicherzelle verdeutlicht,

[0155] Fig. 85 ein Konzeptdiagramm, das die Datenschreiboperation auf die MTJ-Speicherzelle verdeutlicht,

[0156] Fig. 86 ein Konzeptdiagramm, das die Beziehung zwischen der Richtung eines Datenschreibstroms und der Richtung eines Magnetfeldes in der Datenschreiboperation verdeutlicht,

[0157] Fig. 87 ein Konzeptdiagramm, das die MTJ-Speicherzellen zeigt, die in Reihen und Spalten in einer integrierten Weise angeordnet sind,

[0158] Fig. 88 ein Strukturdiagramm der MTJ-Speicherzelle, die auf einem Halbleitersubstrat bereitgestellt ist,

[0159] Fig. 89 ein Konzeptdiagramm, das die Wirkungen herstellungsbedingter Abweichung auf die Datenschreibtoleranz verdeutlicht,

[0160] Fig. 90 ein schematisches Diagramm, das die Struktur einer MTJ-Speicherzelle verdeutlicht, die eine Diode verwendet, und

[0161] Fig. 91 ein Strukturdiagramm der MTJ-Speicherzelle aus Fig. 90, die auf einem Halbleitersubstrat bereitgestellt ist.

[0162] Im folgenden werden unter Bezugnahme auf die beigefügten Zeichnungen Ausführungsbeispiele der Erfindung beschrieben.

#### Erstes Ausführungsbeispiel

[0163] Bezugnehmend auf Fig. 1 führt eine MRAM-Vorrichtung 1 gemäß dem ersten Ausführungsbeispiel der Erfindung einen zufallsverteilten Zugriff durch in Antwort auf ein externes Steuersignal CMD und Adresssignal ADD, wodurch eine Eingabe von Schreibdaten DIN und eine Ausgabe von Lesedaten DOUT bewirkt wird.

[0164] Die MRAM-Vorrichtung 1 enthält eine Steuerung 5 zur Steuerung des gesamten Betriebs der MRAM-Vorrichtung 1 in Antwort auf das Steuersignal CMD, einen Speicherarray 10 mit einer Mehrzahl von MTJ-

Speicherzellen, die in n-Reihen mit m-Spalten angeordnet sind. Obwohl die Struktur des Speicherarrays 10 später im einzelnen beschrieben wird, soll erwähnt werden, daß eine Mehrzahl von Schreib-Wort-Leitungen WWL und eine Mehrzahl von Lese-Wort-Leitungen RWL korrespondierend zu jeweiligen MTJ-Speicherzellenreihen bereitgestellt sind.

[0165] Gefaltete Bitleitungspaare sind korrespondierend zu jeweiligen MTJ-Speicherzellenspalten bereitgestellt. Jedes Bitleitungspaar ist aus Bitleitungen BL und /BL gebildet. Im folgenden wird ein Satz von Bitleitungen BL und /BL auch allgemein als Bitleitungspaar BLP bezeichnet.

[0166] Die MRAM-Vorrichtung 1 enthält ferner einen Reihendekoder 20 zur Durchführung einer Reihenauswahl in dem Speicherarray 10 gemäß einer Reihenadresse RA, die durch das Adresssignal ADD angezeigt ist, einen Spaltendekoder 25 zur Durchführung einer Spaltenauswahl in dem Speicherarray 10 gemäß einer Spaltenadresse CA, die durch das Adresssignal ADD angezeigt ist, einen Wortleitungstreiber 30 zur selektiven Aktivierung der Lese-Wort-Leitung RWL und der Schreib-Wort-Leitung WWL, basierend auf dem Reihenauswahlergebnis des Reihendekoders 20, eine Wortleistungsstromsteuerschaltung 40 zum Anlegen eines Datenschreibstroms an die Schreib-Wort-Leitung WWL in der Datenschreiboperation, und Lese/Schreib-Steuerschaltungen 50, 60 zum Anlegen eines Datenschreibstroms  $\pm I_w$  und eines Lesestroms  $I_s$  in der Datenlese- und Datenschreiboperation.

[0167] Bezugnehmend auf Fig. 2 enthält das Speicherarray 10 die MTJ-Speicherzellen MC, die in n-Reihen und m-Spalten angeordnet sind (n, m: sind natürliche Zahlen). Die MTJ-Speicherzellen MC haben die in Fig. 83 gezeigte Struktur. Die Lese-Wort-Leitungen RWL1 bis RWLn und die Schreib-Wort-Leitungen WWL1 bis WWLn sind korrespondierend zu den jeweiligen MTJ-Speicherzellenreihen bereitgestellt (im folgenden einfach als "Speicherzellenreihen" bezeichnet). Die Bitleitungen BL1, /BL1 bis BLm, /BLm, die die Bitleitungspaare BLP1 bis BLPm bilden, sind korrespondierend zu jeweiligen MTJ-Speicherzellenspalten bereitgestellt (im folgenden einfach als "Speicherzellenspalten") bezeichnet.

[0168] Die MTJ-Speicherzellen MC in jeder Reihe sind entweder mit den Bitleitungen BL oder den Bitleitung /BL abwechselnd gekoppelt. Zum Beispiel ist für die MTJ-Speicherzellen in der ersten Speicherzellenspalte die MTJ-Speicherzelle in der ersten Reihe mit der Bitleitung BL1 gekoppelt, wohingegen die MTJ-Speicherzelle in der zweiten Reihe mit der Bitleitung BL1 gekoppelt ist. Ähnlich sind die MTJ-Speicherzellen in den ungeraden Reihen jeweils mit einer Bitleitung (/BL1 bis /BLm) eines korrespondierenden Bitleitungspaares verbunden, und die MTJ-Speicherzellen in den geraden Reihen sind jeweils mit den anderen Bitleitung (BL1 bis BLm) eines korrespondierenden Bitleitungspaares verbunden.

[0169] Das Speicherarray 10 enthält ferner eine Mehrzahl von Dummyspeicherzellen DMC, die jeweils mit den Bitleitungen BL1, /BL1 bis BLm, /BLm gekoppelt sind. Die Dummyspeicherzellen DMC sind jeweils entweder mit einer Dummylesewortleitung DRWL1 oder DRWL2 gekoppelt und in zwei Reihen mit m-Spalten angeordnet. Die Dummyspeicherzellen, die mit der Dummylesewortleitung DRWL1 gekoppelt sind, sind jeweils mit den Bitleitungen BL1, BL2, ..., BLm gekoppelt. Die verbleibenden Dummyspeicherzellen, die mit der Dummylesewortleitung DRWL2 gekoppelt sind, sind jeweils mit den Bitleitungen /BL1, /BL2, ..., /BLm gekoppelt.

[0170] Wie oben beschrieben, variiert der Widerstandswert der MTJ-Speicherzelle MC gemäß dem Speicherdatenpegel. Angenommen, daß die MTJ-Speicherzelle MC, die

die H-Pegel-Daten speichert, einen Widerstandswert  $R_h$  aufweist und die Speicherzelle MC, die die L-Pegel-Daten speichert, einen Widerstandswert  $R_l$  aufweist, wird ein Widerstandswert  $R_d$  der Dummyspeicherzelle DMC auf einen Zwischenwert von  $R_l$  und  $R_h$  gesetzt. Zu beachten ist, daß in dem Ausführungsbeispiel der Erfindung  $R_l$  kleiner ist als  $R_h$ .

[0171] Im folgenden werden die Schreib-Wort-Leitungen, die Lese-Wort-Leitungen, die Dummylesewortleitungen, die Bitleitungen und die Bitleitungspaare ebenfalls allgemein jeweils mit WWL, RWL, DRWL, BL (/BL) und BLP gekennzeichnet. Eine spezielle Schreib-Wort-Leitung, Lese-Wort-Leitung, Bitleitung und Bitleitungspaar werden zum Beispiel jeweils mit WWL1, RWL1, BL1 (/BL1) und BLP1 bezeichnet.

[0172] Die Schreib-Wort-Leitungen WWL1 bis WWLn sind mit der Massespannung  $V_{ss}$  durch die Wortleistungsstromsteuerschaltung 40 gekoppelt. Folglich wird ein Datenschreibstrom  $I_p$  an die Schreib-Wort-Leitung WWL angelegt, die durch den Wortleitungstreiber 30 in den ausgewählten Zustand aktiviert ist (High Spannungszustand: Leistungsversorgungsspannung  $V_{cc}$ ).

[0173] Im folgenden werden der high-Spannungszustand (Leistungsversorgungsspannung  $V_{cc}$ ) und der low-Spannungszustand (Massespannung  $V_{ss}$ ) einer Signalleitung einfach jeweils als H-Pegel und L-Pegel bezeichnet.

[0174] Schreibspaltauswahlleitungen WCSL1 bis WCSLm zur Durchführung einer Spaltenauswahl in der Datenschreiboperation sind korrespondierend zu jeweiligen Speicherzellenspalten bereitgestellt. Ähnlich sind Lese-spaltauswahlleitungen RCSL1 bis RCSLm zur Durchführung einer Spaltauswahl in der Datenleseoperation korrespondierend zu jeweiligen Speicherzellenspalten bereitgestellt.

[0175] In der Datenschreiboperation aktiviert der Spaltdekode 25 eine der Schreibspaltauswahlleitungen WCSL1 bis WCSLm auf den ausgewählten Zustand (H-Pegel) gemäß dem Dekodierresultat der Spaltenadresse CA, also dem Spaltauswahlergebnis. In der Datenleseoperation aktiviert der Spaltdekode 25 eine der Lese-spaltauswahlleitungen RCSL1 bis RCSLm auf den ausgewählten Zustand (H-Pegel) gemäß dem Spaltauswahlergebnis.

[0176] Außerdem werden ein Schreibdatenbuspaar WDBP zur Übertragung der Schreibdaten und ein Lesedatenbuspaar RDBP zur Übertragung der Lesedaten unabhängig bereitgestellt. Das Schreibdatenbuspaar WDBP enthält Schreibdatenbusse WDB und /WDB. Ähnlich enthält das Lesedatenbuspaar RDBP Lesedatenbusse RDB und /RDB.

[0177] Die Lese/Schreib-Steuerschaltung 50 enthält eine Datenschreibschaltung 51a, eine Datenleseschaltung 55a, Schreibspaltauswahlgates WCSG1 bis WCSGm, Lesespaltauswahlgates RCSG1 bis RCSGm und Lesegates RG1 bis RGm. Die Schreibspaltauswahlgates WCSG1 bis WCSGm, die Lesespaltauswahlgates RCSG1 bis RCSGm und die Lesegates RG1 bis RGm sind korrespondierend zu den jeweiligen Speicherzellenspalten bereitgestellt.

[0178] Eines der Schreibspaltauswahlgates WCSG1 bis WCSGm wird gemäß dem Spaltauswahlergebnis des Spaltdekoders 25 eingeschaltet, um die Schreibdatenbusse WDB und /WDB des Schreibdatenbuspaars WDBP jeweils an die entsprechenden Bitleitungen BL und /BL zu koppeln.

[0179] Das Schreibspaltauswahlgate WCSG1 enthält zum Beispiel einen N-Typ-MOS-Transistor, der zwischen dem Schreibdatenbus WDB und der Bitleitung BL1 gekoppelt ist, und einen N-Typ-MOS-Transistor, der elektrisch zwischen dem Schreibdatenbus /WDB und der Bitleitung /BL1 gekoppelt ist. Diese MOS-Transistoren werden gemäß dem Spannungspegel auf der Schreibspaltauswahlleitung

WCSL1 EIN/AUS-geschaltet. Speziell wenn die Schreibspaltauswahlleitung WCSL1 auf den ausgewählten Zustand (H-Pegel) aktiviert ist, koppelt das Schreibspaltauswahlgate WCSG1 die Schreibdatenbusse WDB und /WDB jeweils elektrisch an die Bitleitungen BL1 und /BL1. Die Schreibspaltauswahlgate WCSG2 bis WCSGm, die jeweils korrespondierend zu den anderen Speicherzellspalten bereitgestellt sind, haben ebenfalls die gleiche oben beschriebene Struktur.

[0180] Die Datenschreibschaltung 51a arbeitet in Antwort auf ein Steuersignal WE, das in der Datenschreiboperation aktiviert ist (auf H-Pegel), und ein Steuersignal RE, das in der Datenleseoperation aktiviert ist (auf H-Pegel).

[0181] Im folgenden werden die Lesespaltauswahlleitungen RCSL1 bis RCSLm, die Lesespaltauswahlleitungen WCSL1 bis WCSLm, die Lesespaltauswahlgate RCSG1 bis RCSGm, die Schreibspaltauswahlgate WCSG1 bis WCSGm und die Lesegate RG1 bis RGm ebenfalls jeweils allgemein mit RCSL, WCSL, RCSG, WCSG und RG gekennzeichnet.

[0182] Bezugnehmend auf Fig. 3 enthält die Datenschreibschaltung 51a eine Datenschreibstromversorgungsschaltung 52 zur Lieferung des Datenschreibstroms  $\pm I_w$  und eine Hochziehschaltung (Pull-Up-Schaltung) 53 zum "Hochziehen" der Bitleitungen BL, /BL in der Datenleseoperation.

[0183] Die Datenschreibstromversorgungsschaltung 52 enthält einen P-Typ-MOS-Transistor 151 zur Lieferung eines konstanten Stroms an einen internen Knoten Nw0, und einen P-Typ-MOS-Transistor 152 und eine Stromquelle 153, die eine Stromspiegelschaltung zur Steuerung eines Durchlaßstroms durch den Transistor 151 bilden.

[0184] Die Datenschreibstromversorgungsschaltung 52 enthält ferner Inverter 154, 155 und 156, die in Antwort auf einen Betriebsstrom arbeiten, der von dem internen Knoten Nw0 geliefert wird. Der Inverter 154 invertiert den Spannungspegel der Schreibdaten DIN zur Übertragung an einen internen Knoten Nw1. Der Inverter 155 invertiert den Spannungspegel der Schreibdaten DIN zur Übertragung an den Eingangsknoten des Inverters 156. Der Inverter 156 invertiert die Ausgabe vom Inverter 155 zur Übertragung an einen internen Knoten Nw2. Folglich setzt die Datenschreibschaltung 51a die Spannung am internen Knoten Nw1 entweder auf die Leistungsversorgungsspannung Vcc oder die Massespannung Vss und die Spannung am internen Knoten Nw2 auf die entsprechend andere Spannung, gemäß dem Spannungspegel der Schreibdaten DIN.

[0185] Die Hochziehschaltung 53 enthält P-Typ-MOS-Transistoren 157 und 158, die jeweils elektrisch zwischen der Leistungsversorgungsspannung Vcc und den Knoten Np1 und Np2 gekoppelt sind. Die Transistoren 157 und 158 erhalten ein invertiertes Signal /RE des Steuersignals RE an ihren Gates.

[0186] Die Datenschreibschaltung 51a enthält ferner einen Schalter SW1a zur selektiven Kopplung einer der Knoten Nw1 und Np1 an den Schreibdatenbus WDB und einen Schalter SWb zur selektiven Kopplung eines der Knoten Nw2 und Np2 an den Schreibdatenbus /WDB. Die Schalter SW1a und SW1b arbeiten in Antwort auf ein Steuersignal RWS.

[0187] In der Datenschreiboperation verbinden die Schalter SW1a und SW1b die Knoten Nw1 und Nw2 jeweils mit den Schreibdatenbussen WDB und /WDB. Als ein Ergebnis wird in der Datenschreiboperation die Spannung auf dem Schreibdatenbus WDB auf eine der Leistungsversorgungsspannung Vcc und Massespannung Vss gesetzt, genauso wie die Spannung auf dem Schreibdatenbus /WDB gemäß dem Schreibdatenpegel auf die andere gesetzt wird, um den

Datenschreibstrom  $\pm I_w$  zu liefern.

[0188] Andererseits koppeln in der Datenleseoperation die Schalter SW1a und SW1b die Knoten Np1 und Np2 jeweils an die Schreibdatenbusse WDB und /WDB. Als ein Ergebnis werden in der Datenleseoperation die Schreibdatenbusse WDB und /WDB durch die Hochziehschaltung 53 auf die Leistungsversorgungsspannung Vcc gezogen.

[0189] Da jede der Lesespaltauswahlgate RCSG1 bis RCSGm und jede der Lesegate RG1 bis RGm, beide sind korrespondierend zu jeweiligen Speicherzellspalten bereitgestellt, die gleiche Struktur aufweisen, sind hier unter erneuter Bezugnahme auf Fig. 2 die jeweiligen Strukturen des Lesespaltauswahlgate RCSG1 und des Lesegates RG1, die korrespondierend zu den Bitleitungen BL1, /BL1 bereitgestellt sind, beispielhaft beschrieben.

[0190] Das Lesespaltauswahlgate RCSG1 und das Lesegate RG1 sind in Reihe zwischen dem Lesedatenbus RDB, /RDB und der Massespannung Vss gekoppelt.

[0191] Das Lesespaltauswahlgate RCSG1 enthält einen N-Typ-MOS-Transistor, der zwischen dem Lesedatenbus RDB und einem Knoten N1a gekoppelt ist, und einen N-Typ-MOS-Transistor, der elektrisch zwischen dem Lesedatenbus /RDB und einem Knoten N1b gekoppelt ist. Diese MOS-Transistoren werden gemäß der Spannung auf der Lesespaltauswahlleitung RCSL1 EIN/AUS-geschaltet.

[0192] Speziell wenn die Lesespaltauswahlleitung RCSL1 auf den ausgewählten Zustand (H-Pegel) aktiviert wird, koppelt das Lesespaltauswahlgate RCSG1 die Lesedatenbusse RDB und /RDB jeweils an die Knoten N1a und N1b.

[0193] Das Lesegate RG1 enthält N-Typ-MOS-Transistoren Q11 und Q12, die elektrisch zwischen der Massespannung Vss und den Knoten N1a und N1b jeweils elektrisch gekoppelt sind. Die Transistoren Q1 und Q2 haben ihre Gates jeweils mit den Bitleitungen /BL1 und BL1 gekoppelt. Entsprechend ändern sich die Spannungen an den Knoten N1a und N1b gemäß den Spannungen jeweils auf den Bitleitungen /BL1 und BL1.

[0194] Speziell, wenn die Spannung auf der Bitleitung BL1 größer ist als auf der Bitleitung /BL1, wird der Knoten N1b durch den Transistor Q12 stark auf die Massespannung Vss heruntergezogen. Folglich wird die Spannung am Knoten N1a größer als die am Knoten N1b. Im Gegensatz dazu, wenn die Spannung auf der Bitleitung BL1 geringer ist als die auf der Bitleitung /BL1, wird die Spannung am Knoten N1b größer als die am Knoten N1a.

[0195] Die folglich erzeugte Spannungsdifferenz zwischen den Knoten N1a und N1b wird in die Spannungsdifferenz zwischen den Lesedatenbussen RDB und /RDB durch das Lesespaltauswahlgate RCSG1 übertragen. Die Datenleseoperation 55a verstärkt die Spannungsdifferenz zwischen den Lesedatenbussen RDB und /RDB des Lesedatenbuspaars RDBP, um die Lesedaten DOUT zu erzeugen.

[0196] Bezugnehmend auf Fig. 4 enthält die Datenleseoperation 55a einen Differenzialverstärker 56. In Antwort auf die Spannungen auf den Lesedatenbussen RDB und /RDB, verstärkt der Differenzialverstärker 56 die Spannungsdifferenz zwischen diesen, um die Lesedaten DOUT zu erzeugen.

[0197] Erneut Bezugnehmend auf Fig. 2 enthält die Leseschreib-Steuerschaltung 60 Ausgleichstransistoren 62-1 bis 62-m, die gemäß einem Bitleitungsausgleichssignal BLEQ EIN/AUS-geschaltet werden. Die Ausgleichstransistoren 62-1 bis 62-m sind korrespondierend zu den jeweiligen Speicherzellspalten bereitgestellt. Zum Beispiel korrespondiert der Ausgleichstransistor 62-1 mit der ersten Speicherzelle und koppelt die Bitleitungen BL1 und /BL1 elektrisch miteinander in Antwort auf die Aktivierung (H-Pegel) des Bitleitungsausgleichssignals BLEQ.

[0198] Ähnlich koppeln die Ausgleichstransistoren 62-2 bis 62-m, die jeweils mit den anderen Speicherzellspalten korrespondieren, die Bitleitungen BL und /BL des Bitleitungspaars BLP miteinander in der korrespondierenden Speicherzellsalte in Antwort auf Aktivierung des Bitleitungsausgleichssignals BLEQ.

[0199] Die Lese-/Schreib-Steuerschaltung 60 enthält ferner Vorladetransistoren 64-1a, 64-1b bis 64-ma, 64-mb, die jeweils zwischen der Massespannung Vss und den Bitleitungen BL1, /BL1 bis Bitleitungen BLm, /BLm bereitgestellt sind.

[0200] Die Vorladetransistoren 64-1a, 64-1b bis 64-ma, 64-mb werden in Antwort auf Aktivierung eines Bitleitungsvorladesignals BLPR eingeschaltet, um die Bitleitungen BL1, /BL1 bis Bitleitungen BLm, /BLm jeweils auf die Massespannung Vss vorzuladen.

[0201] Im folgenden werden die Ausgleichstransistoren 62-1 bis 62-m und die Vorladetransistoren 64-1a, 64-1b bis 64-ma, 64-mb ebenfalls allgemein einfach jeweils als Ausgleichstransistoren 62 und Vorladetransistoren 64 bezeichnet.

[0202] Während der Standby-Zeit der MRAM-Vorrichtung 1, genauso wie während anderer Zeiten als während der Datenleseoperation in der aktiven Zeit der MRAM-Vorrichtung 1, wird das Bitleitungsausgleichssignal BLEQ, das durch die Steuerschaltung 5 erzeugt wird, auf 11-Pegel aktiviert, um die Bitleitungen BL und /BL jedes gefalteten Bitleitungspaars BL kurzzuschließen.

[0203] Andererseits wird bei der Datenleseoperation während der aktiven Zeit der MRAM-Vorrichtung 1 das Bitleitungsausgleichssignal BLEQ auf L-Pegel deaktiviert. In Antwort darauf werden die Bitleitungen BL und /BL jedes Bitleitungspaars BL in jeder Speicherzellenspalte elektrisch voneinander getrennt.

[0204] Das Bitleitungsvorladesignal BLPR wird ebenfalls durch die Steuerschaltung 5 erzeugt. Während der aktiven Zeit der MRAM-Vorrichtung 1 wird das Bitleitungsvorladesignal BLPR aktiviert auf H-Pegel, zumindest während einer vorgeschriebenen Periode, vor der Datenleseoperation. Während der Datenleseoperation in der aktiven Periode der MRAM-Vorrichtung 1 wird das Bitleitungsvorladesignal BLPR auf L-Pegel deaktiviert, so daß die Vorladetransistoren 64 ausgeschaltet werden.

[0205] Im folgenden wird unter Bezugnahme auf Fig. 5 die Datenlese- und Datenschreiboperation der MRAM-Vorrichtung gemäß dem ersten Ausführungsbeispiel beschrieben.

[0206] Zuerst erfolgt eine Beschreibung der Datenschreiboperation.

[0207] Bezugnehmend auf Fig. 5 wird die Schreibspaltauswahlleitung WCSL korrespondierend zu dem Spaltauswahlergebnis, auf den ausgewählten Zustand (H-Pegel) aktiviert, so daß das korrespondierende Schreibspaltauswahlgate WCSG eingeschaltet wird. In Antwort darauf werden die Bitleitungen BL und /BL korrespondierend zu dem Spaltauswahlergebnis jeweils mit den Schreibdatenbussen WDB und /WDB gekoppelt.

[0208] Außerdem wird in der Datenschreiboperation der Ausgleichstransistor 62 eingeschaltet, um die Bitleitungen BL und /BL kurzzuschließen.

[0209] Wie oben beschrieben, setzt die Datenschreibschaltung 51a die Spannung auf dem Schreibdatenbus WDB entweder auf die Leistungsversorgungsspannung Vcc oder die Massespannung Vss und die Spannung auf dem Schreibdatenbus /WDB auf die entsprechend andere Spannung. Für den Fall, daß zum Beispiel die Schreibdaten DIN L-Pegeldaten sind, werden die Spannungen an den Knoten Nw2 und Nw1, wie in Fig. 3 gezeigt, jeweils auf die Leistungsversor-

gungsspannung Vcc und die Massespannung Vss gesetzt. Folglich wird der Datenschreibstrom -Iw zum Schreiben der L-Pegeldaten an den Schreibdatenbus WDB angelegt. Der Datenschreibstrom -Iw wird durch das Schreibspaltauswahlgate WCSG an die Bitleitung BL geliefert.

[0210] Der Datenschreibstrom -Iw, der durch die Bitleitung BL fließt, kehrt sich am Ausgleichstransistor 62 um. Folglich fließt der Datenschreibstrom +Iw in umgekehrter Richtung durch die andere Bitleitung /BL. Der Datenschreibstrom +Iw, der durch die Bitleitung /BL fließt, wird an den Schreibdatenbus /WDB durch das Schreibspaltauswahlgate WCSG übertragen.

[0211] Außerdem wird eine der Schreib-Wort-Leitungen WWL auf den ausgewählten Zustand (H-Pegel) aktiviert, gemäß dem Reihenauswahlergebnis, und der Datenschreibstrom Ip wird daran angelegt. Entsprechend werden in der Speicherzellenspalte, die mit dem Spaltauswahlergebnis korrespondiert, die Daten in die MTJ-Speicherzelle geschrieben, korrespondierend zu der ausgewählten Schreib-Wort-Leitung WWL. Zu dieser Zeit werden die L-Pegeldaten in die Speicherzelle MC geschrieben, die mit der Bitleitung BL gekoppelt ist, wohingegen die H-Pegeldaten in die Speicherzelle MC geschrieben werden, die mit der Bitleitung /BL gekoppelt ist.

[0212] Für den Fall, daß die Schreibdaten DIN gleich H-Pegeldaten sind, werden die Spannungen an den Knoten Nw1 und Nw2 in entgegengesetzter Weise, wie oben beschrieben, gesetzt. Folglich fließt der Datenschreibstrom durch die Bitleitungen BL und /BL in der umgekehrten Richtung zu der oben für die Datenschreiboperation beschrieben. Folglich wird der Datenschreibstrom  $\pm I_w$  mit der Richtung korrespondierend zu dem Pegel der Schreibdaten DIN an die Bitleitungen BL und /BL geliefert.

[0213] In der Datenschreiboperation werden die Lese-Wort-Leitungen RWL im nicht ausgewählten Zustand (L-Pegel) gehalten.

[0214] Durch Aktivierung des Bitleitungsvorladesignals BLPR (auf den H-Pegel) bei der Datenschreiboperation, werden zum Beispiel die Spannungen auf den Bitleitungen BL und /BL in der Datenschreiboperation auf die Massespannung Vss gesetzt, korrespondierend zu dem Vorladespannungspegel für die Datenleseoperation.

[0215] Ähnlich werden die Lesedatenbusse RDB und /RDB auf die Leistungsversorgungsspannung Vcc gesetzt, die mit der Vorladespannung für die Datenleseoperation korrespondiert.

[0216] Folglich entsprechen die Spannungen auf den Bitleitungen BL, /BL und den Lesedatenbussen RDB, /RDB, die mit nicht ausgewählten Spalten in der Datenschreiboperation korrespondieren, der Vorladespannung für die Datenleseoperation. Dies eliminiert die Notwendigkeit einer zusätzlichen Vorladeoperation vor der Datenleseoperation, was die Geschwindigkeit der Datenleseoperation erhöht.

[0217] Im folgenden wird die Datenleseoperation beschrieben.

[0218] Vor der Datenleseoperation werden die Lesedatenbusse RDB, /RDB und die Bitleitungen BL, /BL jeweils auf die Leistungsversorgungsspannung Vcc und die Massespannung Vss vorgeladen.

[0219] In der Datenleseoperation werden die Schreibdatenbusse WDB und /WDB auf die Leistungsversorgungsspannung Vcc durch die Hochziehschaltung 53 hochgezogen. Darüber hinaus werden gemäß dem Spaltauswahlergebnis sowohl eine entsprechende Lesespaltauswahlleitung RCSL als auch eine entsprechende Schreibspaltauswahlleitung WCSL auf den ausgewählten Zustand (H-Pegel) aktiviert.

[0220] Folglich werden die Schreibdatenbusse WDB und

/WDB jeweils elektrisch mit den Bitleitungen BL und /BL der ausgewählten Spalte durch das Schreibspaltauswahlgate WCSG gekoppelt.

[0221] Entsprechend werden in der Datenleseoperation die Bitleitungen BL und /BL, die mit der ausgewählten Speicherzellenspalte korrespondieren, auf die Leistungsversorgungsspannung Vcc hochgezogen.

[0222] Eine der Lese-Wort-Leitungen RWL wird auf den ausgewählten Zustand (H-Pegel) aktiviert, gemäß dem Reihenauswahlergebnis, wodurch die entsprechende Speicherzelle MC an eine der Bitleitungen BL und /BL gekoppelt wird.

[0223] Außerdem wird eine der Dummylesewortleitungen DRWL1 und DRWL2 aktiviert, wodurch die andere der Bitleitungen BL und /BL, die nicht mit der MTJ-Speicherzelle MC gekoppelt ist, mit der Dummyspeicherzelle DMC gekoppelt wird.

[0224] Für den Fall, daß gemäß dem Reihenauswahlergebnis eine ungerade Reihe ausgewählt wird, und die Bitleitung /BL an die MTJ-Speicherzelle MC gekoppelt wird, wird die Dummylesewortleitung DRWL1 aktiviert, so daß die Bitleitung BL an die Dummyspeicherzelle DMC gekoppelt wird. Im Gegensatz dazu wird für den Fall, daß gemäß dem Reihenauswahlergebnis eine gerade Reihe ausgewählt wird und die Bitleitung BL an die MTJ-Speicherzelle MC gekoppelt wird, die Dummylesewortleitung DRWL2 aktiviert, so daß die Bitleitung /BL an die Dummyspeicherzelle DMC gekoppelt wird.

[0225] In der ausgewählten MTJ-Speicherzelle MC wird der Zugriffstransistor ATR eingeschaltet, wodurch der Lesestrom Is durch einen Pfad der hochgezogenen Bitleitung BL oder /BL, der Speicherzelle MC und der Massespannung Vss fließt.

[0226] Entsprechend wird eine Spannungsänderung  $\Delta V_1$ , die dem gespeicherten Datenpegel entspricht, auf einer der Bitleitungen BL und /BL erzeugt, die an die MTJ-Speicherzelle gekoppelt wird.

[0227] Fig. 5 zeigt beispielhaft eine Spannungsänderung für den Fall, daß die zu lesende MTJ-Speicherzelle MC H-Pegeldaten behält, so daß also die MTJ-Speicherzelle MC, die zu lesen ist, einen Widerstandswert Rh aufweist.

[0228] Wie oben beschrieben, wird der Widerstandswert Rd der Dummyspeicherzelle DMC auf einen Zwischenwert der Widerstandswerte Rh und Rl der MTJ-Speicherzelle MC gesetzt. Entsprechend wird eine Spannungsänderung  $\Delta V_m$ , die mit dem Zwischenwiderstandswert Rd korrespondiert, auf der anderen der Bitleitungen BL und /BL erzeugt, die an die Dummyspeicherzelle DMC gekoppelt ist.

[0229] Entsprechend ändert sich die relative Beziehung zwischen den Spannungen auf den Bitleitungen BL und /BL des Bitleitungspaares BLP, das mit der ausgewählten Speicherzellenspalte korrespondiert, gemäß dem Lesespeicherdatenpegel. Mit einer derartigen Spannungsänderung zwischen den Bitleitungen BL und /BL werden die Lesedatenbusse RDB und /RDB durch das Lesegate angetrieben.

[0230] Insbesondere wenn die Spannung auf der Bitleitung BL größer ist als auf der Bitleitung /BL, wird der Lesedatenbus /RDB stärker in Richtung der Massespannung Vss durch das Lesegate RG getrieben als der Lesedatenbus RDB (die Spannungsänderung  $\Delta V_{b1} > \Delta V_{bm}$  in Fig. 5). Die folglich erzeugte Spannungsdifferenz zwischen den Lesedatenbussen RDB und /RDB wird durch die Datenleseschaltung 55a verstärkt, so daß die H-Pegellesedaten DOUT ausgegeben werden können.

[0231] Andererseits, für den Fall, daß die zu lesende MTJ-Speicherzelle MC L-Pegeldaten hält, also für den Fall, daß die Spannung auf der Bitleitung /BL größer ist als auf der Bitleitung BL, wird der Lesedatenbus RDB stärker in Rich-

tung der Massespannung Vss durch das Lesegate RG getrieben als der Lesedatenbus /RDB. Die folglich erzeugte Spannungsdifferenz zwischen den Lesedatenbussen RDB und /RDB wird durch die Datenleseschaltung 52 verstärkt, so daß L-Pegellesedaten DOUT ausgegeben werden können.

[0232] Folglich ermöglicht das Treiben der Lesedatenbusse RDB und /RDB durch das Lesegate RG die Datenleseoperation, ohne zusätzliches Anlegen des Lesestroms an die Lesedatenbusse RDB und /RDB. Dies reduziert die RC-Last auf dem Lesestrompfad, wodurch eine Spannungsänderung, die zum Lesen der Daten erforderlich ist, schnell auf den Bitleitungen BL und /BL erzeugt werden kann. Folglich können die Daten mit einer hohen Geschwindigkeit gelesen werden, wodurch die Zugriffsgeschwindigkeit auf die MRAM-Vorrichtung verbessert werden kann.

[0233] Außerdem werden die hochgezogenen Schreibdatenbusse WDB und /WDB jeweils mit den Bitleitungen BL und /BL durch das Schreibspaltauswahlgate WDSG gekoppelt, um den Lesestrom Is zu liefern. Folglich kann der Lesestrom Is nur an die Bitleitungen BL und /BL angelegt werden, die zu der Speicherzellenspalte, die zu lesen ist, korrespondieren. Dies kann unnötigen Stromverbrauch in der Datenleseoperation verhindern.

[0234] Außerdem veranlaßt das gefaltete Bitleitungspaar den Datenschreibstrom zur Umkehrung am Ausgleichstransistor. Folglich kann der Datenschreibstrom mit unterschiedlichen Richtungen geliefert werden, indem lediglich ein Ende der Bitleitung BL entweder auf die Leistungsversorgungsspannung Vcc oder die Massespannung Vss gesteuert wird, und ein Ende der Bitleitung /BL auf die entsprechend andere Spannung. Folglich ist keine Spannung unterschiedlicher Polarität (negative Spannung) erforderlich, und die Richtung des Stroms kann geschaltet werden, indem lediglich die Spannung auf dem Wortleitungsbuss WDB entweder auf die Leistungsversorgungsspannung oder die Massespannung und die Spannung auf dem Schreibdatenbus /WDB auf die entsprechende andere Spannung gesetzt wird. Entsprechend kann die Struktur der Datenschreibschaltung 51a vereinfacht werden. Darüber hinaus muß die Struktur zum Senken des Datenschreibstroms  $\pm I_w$  (also ein Strompfad zur Massespannung Vss) nicht in der Lese-/Schreib-Steuerschaltung 60 bereitgestellt werden, und der Datenschreibstrom  $\pm I_w$  kann nur mit dem Ausgleichstransistor 62 gesteuert werden. Als ein Ergebnis kann die Schaltungsstruktur, die mit den Datenschreibstrom  $\pm I_w$  innerhalb der Lese-/Schreib-Steuerschaltungen 50 und 60 assoziiert ist, größtmäßig reduziert werden.

[0235] Da außerdem die Datenleseoperation durchgeführt wird, indem Dummyspeicherzellen in der Struktur verwendet werden, die gefaltete Bitleitungspaare aufweisen, kann eine ausreichende Datenlesetoleranz sichergestellt werden.

[0236] Erste Modifikation des ersten Ausführungsbeispiels bezugnehmend auf Fig. 6 unterscheidet sich die Struktur gemäß der ersten Modifikation des ersten Ausführungsbeispiels von der gemäß dem ersten Ausführungsbeispiel dadurch, daß die Vorladetransistoren 64-1a, 64-1b bis 64-m1 bis 64-mb bereitgestellt sind, um die Bitleitungen BL1, /BL1 bis BLm, /BLm auf die Leistungsversorgungsspannung Vcc vorzuladen. Außerdem sind die Datenschreibschaltung 51 und die Datenleseschaltung 55a jeweils durch eine Datenschreibschaltung 51b und eine Datenlese-

schaltung 55b ersetzt. Da die Struktur im übrigen die gleiche ist, wie bei dem in Fig. 2 gezeigten, ersten Ausführungsbeispiel, erfolgt keine erneute, detaillierte Beschreibung davon.

[0237] Bezugnehmend auf Fig. 7 enthält die Datenschreibschaltung 51b die Datenschreibstromversorgungsschaltung 52, wie in Fig. 3 gezeigt. Die Datenschreibschaltung 51b koppelt die Ausgabeknoten Nw1 und Nw2 der Da-

tenschreibstromversorgungsschaltung 52 jeweils direkt mit dem Schreibdatenbuspaar WDB und /WDB. Die Datenschreibschaltung 51b enthält keine Hochziehschaltung 53 und Schalter SW1a, SW1b, und führt keine Hochziehoperation bei der Datenleseoperation durch.

[0238] Bezugnehmend auf Fig. 8 enthält die Datenlese-schaltung 55b Transfergates TGA und TGB, die jeweils zwischen den Lesedatenbussen RDB, /RDB und den Eingabeknoten des Differenzialverstärkers 56 bereitgestellt sind. Die Transfergates TGA und TGB koppeln die Lesedatenbusse RDB und /RDB an jeweilige Eingabeknoten des Differenzialverstärkers 56 gemäß einem Triggerpuls  $\phi_r$ .

[0239] Die Datenleseschaltung 55b enthält ferner eine Halteschaltung 57 zum Halten der Ausgabe des Differenzialverstärkers 56 und ein Transfergate TGC, das zwischen dem Differenzialverstärker 56 und der Halteschaltung 57 bereitgestellt ist. Wie die Transfergates TGA und TGB arbeitet das Transfergate TGC in Antwort auf den Triggerpuls  $\phi_r$ . Die Halteschaltung 57 gibt die Lesedaten DOUT aus.

[0240] Entsprechend wird bei der Zeitgebung der Triggerpuls  $\phi_r$  auf H-Pegel aktiviert; die Datenleseschaltung 55b verstärkt die Spannungsdifferenz zwischen den Lesedatenbussen RDB und /RDB, um den Pegel der Lesedaten DOUT zu setzen. Während der nicht aktiven (L-Pegel)-Periode des Triggerpulses  $\phi_r$  wird der Pegel der Lesedaten DOUT in der Halteschaltung 57 gehalten.

[0241] Im folgenden werden unter Bezugnahme auf Fig. 9 die Datenlese- und Datenschreiboperation der MRAM-Vorrichtung gemäß der ersten Modifikation des ersten Ausführungsbeispiels beschrieben.

[0242] Bezugnehmend auf Fig. 9 wird die Vorladespannung der Bitleitungen BL und /BL vor der Datenschreiboperation auf die Leistungsversorgungsspannung Vcc gesetzt. In der Datenschreiboperation wird der Triggerpuls  $\phi_r$  im nicht aktiven Zustand (L-Pegel) gehalten. Da die Datenschreiboperation im übrigen gleich der ist, wie durch die Zeittafel in Fig. 5 gezeigt, erfolgt keine erneute, detaillierte Beschreibung.

[0243] Im folgenden wird die Datenleseoperation beschrieben. Vor der Datenleseoperation werden die Bitleitungen BL und /BL und die Lesedatenbusse RDB, /RDB auf die Leistungsversorgungsspannung Vcc vorgeladen. Andererseits werden die Schreibspaltauswahlleitungen WCSL im nicht aktiven Zustand (L-Pegel) in der Datenleseoperation gehalten. Mit anderen Worten werden im Gegensatz zum ersten Ausführungsbeispiel in der Datenleseoperation die Bitleitungen BL und /BL nicht auf die Leistungsversorgungsspannung Vcc hochgezogen.

[0244] Mit den Bitleitungen BL und /BL, die auf die Leistungsversorgungsspannung Vcc hochgezogen sind, wird gemäß dem Reihenauswahlergebnis die Lese-Wort-Leitung RWL selektiv aktiviert. In Antwort darauf wird der Zugriffstransistor ATR in der zu lesenden MTJ-Speicherzelle eingeschaltet, wodurch der Pfad des Lesestroms Is gebildet wird. Folglich beginnt die Spannung auf der Bitleitung BL, /BL sich zu reduzieren.

[0245] Die Spannungsreduzierungsrate der Bitleitung BL, /BL wird bestimmt, basierend auf dem Widerstandswert der Speicherzelle MC oder der Dummyspeicherzelle DMC, die mit der Bitleitung BL, /BL gekoppelt ist. Speziell weist die Bitleitung BL, /BL, die mit der Speicherzelle MC gekoppelt ist, die die L-Pegeldaten speichert, eine hohe Spannungsreduzierungsrate auf, wohingegen die Bitleitung BL, /BL, die mit der Speicherzelle MC gekoppelt ist, die die H-Pegeldaten speichert, eine geringe Spannungsreduzierungsrate aufweist. Die Bitleitung BL, /BL, die mit der Dummyspeicherzelle DMC gekoppelt ist, weist eine Zwischenspannungsreduzierungsrate auf.

[0246] Fig. 9 zeigt beispielhaft die Wellenform der Bitleitung für den Fall, daß die zu lesende MTJ-Speicherzelle MC L-Pegeldaten hält. Fig. 9 zeigt auch die Wellenform der Bitleitung, die mit der Dummyspeicherzelle DMC gekoppelt ist.

[0247] Wie beim ersten Ausführungsbeispiel wird die Spannungsreduktion auf der Bitleitung BL, /BL durch das Lesegate RG an den Lesedatenbus RDB, /RDB übertragen. Entsprechend wird der Triggerpuls  $\phi_r$  zu einer vorbestimmten Zeit aktiviert, während der Spannungsreduktion auf dem Lesedatenbus RDB, /RDB, wodurch die Spannungsdifferenz zwischen den Lesedatenbussen RDB und /RDB in die Halteschaltung 57 übernommen wird. Folglich kann die Datenleseoperation bei einer hohen Geschwindigkeit durchgeführt werden, wie beim ersten Ausführungsbeispiel.

[0248] Es soll angemerkt werden, daß die Struktur gemäß der ersten Modifikation des ersten Ausführungsbeispiels die Notwendigkeit beseitigt, den Lesestrom Is in der Datenleseoperation zu liefern, wodurch eine weitere Reduktion bezüglich des Leistungsverbrauchs möglich wird.

#### Zweite Modifikation des ersten Ausführungsbeispiels

[0249] Bei der zweiten Modifikation des ersten Ausführungsbeispiels wird die Datenleseoperation durch das Lesegate RG, wie beim ersten Ausführungsbeispiel und dessen erster Modifikation beschrieben, auf die offene Bitleitungsstruktur angewendet.

[0250] Bezugnehmend auf Fig. 10 sind bei der Struktur gemäß der zweiten Modifikation des ersten Ausführungsbeispiels offene Bitleitungen BL bis BLm bereitgestellt, die zu jeweiligen Speicherzellenspalten korrespondieren. Die Schreibspaltauswahlgates WCSG1 bis WCSGm sind jeweils zwischen dem Schreibdatenbus WDB und den Bitleitungen BL1 bis BLm bereitgestellt. Die Schreibspaltauswahlgates WCSG1 bis WCSGm werden gemäß der Spannung auf den jeweiligen Schreibspaltauswahlleitungen WCSL1 bis WCSLm EIN/AUS-geschaltet.

[0251] Die Lese-/Schreib-Steuerschaltung 60 enthält Bitleitungsstromsteuertransistoren 63-1 bis 63-m, die jeweils zwischen dem Schreibdatenbus /WDB und den Bitleitungen BL1 bis BLm bereitgestellt sind. Wie die Schreibspaltauswahlgates WCSG1 bis WCSGm werden die Bitleitungsstromsteuertransistoren 63-1 bis 63-m gemäß der Spannung auf jeweiligen Schreibspaltauswahlleitungen WCSL1 bis WCSLm EIN/AUS-geschaltet.

[0252] Die Vorladetransistoren 64-1 bis 64-m laden die jeweiligen Bitleitungen BL1 bis BLm in Antwort auf das Bitleitungsvorladesignal BLPR auf die Leistungsversorgungsspannung Vcc vor.

[0253] Wie bei dem Fall aus Fig. 6 liefert die Datenschreibschaltung 51b den Datenschreibstrom  $\pm I_w$  an die Schreibdatenbusse WDB und /WDB. Mit einer derartigen Struktur kann der Datenschreibstrom an die ausgewählte Speicherzellenspalte geliefert werden, wie gemäß der ersten Modifikation des ersten Ausführungsbeispiels.

[0254] In jeder Speicherzellenspalte werden das Lesespaltauswahlgate RCSG und das Lesegate RG in Reihe zwischen dem Lesedatenbus RDB und der Massespannung Vss gekoppelt. In der ersten Speicherzellenspalte werden zum Beispiel das Lesespaltauswahlgate RCSG1 und das Lesegate RG1 in Reihe zwischen den Lesedatenbus RDB und der Massespannung Vss gekoppelt. Das Lesespaltauswahlgate RCSG1 ist aus einem N-Typ-MOS-Transistor gebildet, der gemäß der Lesespaltauswahlleitung RCSL1 EIN/AUS-geschaltet wird, und das Lesegate RG1 ist aus einem N-Typ-MOS-Transistor gebildet, dessen Gate mit der Bitleitung BL1 gekoppelt ist.

[0255] Mit einer derartigen Struktur kann der Lesedatenbus RDB gemäß der Spannung auf der entsprechenden Bitleitung BL durch das Lesegate RG in der ausgewählten Speicherzellenspalte angetrieben werden. Wenn entsprechend die Lese-Wort-Leitung RWL mit den Bitleitungen BL1 bis BLm aktiviert wird, die auf die Leistungsversorgungsspannung Vcc vorgeladen sind, kann ein Lesestrompfad aus der Bitleitung BL (vorgeladen auf die Leistungsversorgungsspannung Vcc), der MTJ-Speicherzelle und der Massespannung Vss in der ausgewählten Speicherzelle gebildet werden.

[0256] Folglich reduziert sich die Spannung an der entsprechenden Bitleitung BL mit einer Rate, die dem Speicherdatenpegel in der ausgewählten MTJ-Speicherzelle MC entspricht. Entsprechend wird in die Datenleseschaltung 55c, wie bei der ersten Modifikation des ersten Ausführungsbeispiels der Spannungspegel auf der Bitleitung, zu einer geeigneten Taktgebung während der Spannungsreduktion auf dem Lesedatenbus RDB übernommen, und diese Spannung wird mit einer Referenzspannung Vm verglichen, die basierend auf der Spannungsreduktionsrate der Dummy-speicherzelle DMC in der ersten Modifikation des ersten Ausführungsbeispiels bestimmt ist. Als ein Ergebnis können die Lesedaten DOUT ausgegeben werden. Mit anderen Worten kann die Struktur der Datenleseschaltung 55c mit der Datenleseschaltung 55c aus Fig. 8 implementiert werden, die derart angeordnet ist, daß einer der Eingabeknoten des Differenzialverstärkers 56 die Referenzspannung Vm anstelle der Spannung auf dem Lesedatenbus /RDB erhält.

[0257] Es soll angemerkt, daß es ebenfalls möglich ist, die gleiche Datenleseoperation durchzuführen, wie bei dem ersten Ausführungsbeispiel mit den Bitleitungen BL, die auf die Leistungsversorgungsspannung Vcc gezogen sind. In einem derartigen Fall wird das EIN-/AUS-Schalten des Schreibspaltauswahlgates WCSG und des Bitleistungsstromsteuertransistors 62 auf gleiche Weise gesteuert, wie beim ersten Ausführungsbeispiel, und die Datenschreibschaltung 51b wird durch die Datenschreibschaltung 51a ersetzt, die die Hochziehschaltung 53 enthält.

[0258] In diesem Fall wird das Schreibspaltauswahlgate WCSG sowohl bei der Datenleseoperation als auch bei der Datenschreiboperation gemäß dem Spaltauswahlergebnis eingeschaltet, jedoch kann der Bitleistungsstromsteuertransistor 62 nur in der Datenschreiboperation eingeschaltet werden.

[0259] Obwohl die spezifische Struktur nicht in der Figur gezeigt ist, kann darüber hinaus die Datenleseschaltung 55c durch einen Differenzialverstärker ersetzt werden, zur Erzeugung der Lesedaten DOUT gemäß dem Vergleichsergebnis zwischen der Spannung auf dem Schreibdatenbus WDB und der Referenzspannung, die entsprechend zu dem Widerstandswert Rd der Dummyspeicherzelle DMC gesetzt ist.

[0260] Folglich können selbst in der offenen Bitleitungsstruktur die gleiche Datenlese- und Datenschreiboperation wie beim ersten Ausführungsbeispiel und dessen erster Modifikation durchgeführt werden.

#### Dritte Modifikation des ersten Ausführungsbeispiels

[0261] Bei der dritten Modifikation des ersten Ausführungsbeispiels wird die Anzahl der Gateschaltungen, die mit der Spaltauswahl assoziiert sind, reduziert.

[0262] Bezugnehmend auf Fig. 11 enthält die Struktur gemäß der dritten Modifikation des ersten Ausführungsbeispiels ein Dateneingabe-/ausgabe(I/O)-Leitungspaar DI/OP, das aus Daten-I/O-Leitungen IO und /IO gebildet ist.

[0263] Zwischen dem Daten-I/O-Leitungspaar DI/OP und den Bitleitungspaaren BLP1 bis BLPm werden jeweils

Spaltauswahlgates CSG1 bis CSGm bereitgestellt. Gemäß dem Spaltauswahlergebnis wird das Spaltauswahlgate CSG1 bis CSGm gemäß der Spannung auf einer entsprechenden Spaltauswahlleitung CSL1 bis CSLm EIN/AUSgeschaltet, die selektiv durch den Spaltdekoder 25 auf H-Pegel aktiviert ist. Spezieller wird bei der Datenlese- und Datenschreiboperation das Spaltauswahlgate CSG1 bis CSGm gemäß dem Spaltauswahlergebnis EIN-/AUS-geschaltet.

[0264] Die Spaltauswahlgates CSG1 bis CSGm werden ebenfalls allgemein mit CSG bezeichnet.

[0265] Ein Lesegate zur Erhöhung der Datenlesegeschwindigkeit ist als ein gemeinsames Lesegate RCG bereitgestellt, das zwischen dem Lesedatenbuspaar RDBP und dem Daten-T/O-Leitungspaar DI/OP gekoppelt ist. Das Schreibauswahlgate WCG ist ferner zwischen den Daten-I/O-Leitungspaar DI/OP und dem Schreibdatenbuspaar WDBP bereitgestellt.

[0266] Da die jeweiligen Strukturen des Speicherarrays 10 und die Lese-/Schreib-Steuerschaltung 60 die gleichen sind wie in Fig. 2, erfolgt keine wiederholte Beschreibung davon. Außerdem sind die jeweiligen Strukturen und Operationen der Datenschreibschaltung 51a und der Datenleseschaltung 55a die gleichen, wie oben beschrieben. Folglich erfolgt auch hier keine wiederholte Beschreibung.

[0267] Das Lesegate RCG enthält N-Typ-MOS-Transistoren Qc1 und Qc3, die in Serie zwischen dem Lesedatenbus RDB und der Massespannung Vss gekoppelt sind und N-Typ-MOS-Transistoren Qc2 und Qc4, die in Serie zwischen dem Lesedatenbus /RDB und der Massespannung Vss gekoppelt sind. Die Transistoren Qc1 und Qc2 erhalten an ihren Gates das Steuersignal RE. Die Transistoren Qc3 und Qc4 sind an ihren Gates jeweils mit den Daten-I/O-Leitungen /IO und IO verbunden.

[0268] Folglich können bei der Datenleseoperation, bei der das Steuersignal RE auf H-Pegel aktiviert ist, die Lesedatenbusse RDB, /RDB durch die Bitleitungen BL, /BL, die zur ausgewählten Speicherzellenspalte korrespondieren, über das Spaltauswahlgate CSG und das Daten-I/O-Leitungspaar DI/OP angetrieben werden.

[0269] Entsprechend teilen sich die Speicherzellenspalten im Speicherarray 10, das sich das Daten-I/O-Leitungspaar DI/OP teilt, das gemeinsame Lesegate RCG, wodurch eine Reduktion des Schaltungsbereichs erreicht wird. Auch mit dem gemeinsamen Lesegate RCG kann die Datenleseoperation mit einer hohen Geschwindigkeit durchgeführt werden, ohne die Zuführung des Lesestroms Is an die Lesedatenbusse RDB, /RDB.

[0270] Das Schreibauswahlgate WCG enthält einen N-Typ-MOS-Transistor Qc5, der elektrisch zwischen dem Schreibdatenbus WCB und der Daten-I/O-Leitung IO gekoppelt ist, und einen N-Typ-MOS-Transistor Qc6, der elektrisch zwischen dem Schreibdatenbus /wDB und der Daten-I/O-Leitung /IO gekoppelt ist. Die Transistoren Qc5 und Qc6 erhalten an ihren Gates ein Steuersignal SG. Das Steuersignal SG wird in der Datenschreiboperation gemäß dem Steuersignal WE aktiviert. Genauso wie bei der Datenleseoperation kann das Steuersignal SG gemäß dem Steuersignal RE aktiviert sein. Folglich werden die Transistoren Qc5 und Qc6 eingeschaltet, und die Hochziehschaltung 53 innerhalb der Datenschreibschaltung 51a zieht die Bitleitungen BL und /BL, die zu der ausgewählten Speicherzellenspalte korrespondieren, hoch, wodurch der Lesestrom Is geliefert werden kann.

[0271] Bei der Datenschreiboperation werden die Transistoren Qc1 und Qc2 in dem gemeinsamen Lesegate RCG ausgeschaltet. Folglich beziehen sich die Spannungen auf den Lesedatenbussen RDB und /RDB nicht auf die Daten I/O-Leitungen IO und /IO.

[0272] Andererseits, in Antwort auf die Aktivierung (H-Pegel) des Steuersignals SG, koppeln die Transistoren Qc5 und Qc6 in dem Schreibausswahlgate WCG elektrisch die Schreibdatenbusse WDB und /WDB jeweils an die Daten-I/O-Leitungen IO und /IO. Folglich kann der Datenschreibstrom  $\pm I_w$  an die Bitleitungen BL und /BL geliefert werden, die der ausgewählten Speicherzellenspalte entsprechen.

[0273] Wie bei dem Fall aus Fig. 6 können die Datenschreibschaltung 51a und die Datenleseschaltung 55a durch die Datenschreibschaltung 51b und die Datenleseschaltung 55b jeweils ersetzt werden, und die Leistungsversorgungs-  
spannung Vcc kann als Vorladespannung der Bitleitungen BL1, /BL1 bis BLm, /BLm verwendet werden. Folglich kann die Datenleseoperation gemäß der Spannungsreduktionsrate auf der Bitleitung durchgeführt werden, wie bei der ersten Modifikation des ersten Ausführungsbeispiels.

[0274] In diesem Fall muß das Steuersignal SG auf L-Pegel in der Datenleseoperation deaktiviert werden, um das Schreibausswahlgate WCG auszuschalten. Anstelle des Steuersignals SG kann zum Beispiel das Steuersignal WE direkt in die Gates der Transistoren Qc5 und Qc6 eingegeben werden.

#### Zweites Ausführungsbeispiel

[0275] Bei dem zweiten Ausführungsbeispiel ist eine Struktur zum Einstellen eines Datenschreibstroms beschrieben, um eine Datenschreibtoleranz sicherzustellen, entsprechend zur Änderung der Magneteigenschaften der Speicherzellen aufgrund von herstellungsbedingten Abweichungen.

[0276] Bezugnehmend auf Fig. 12 unterscheidet sich eine Datenschreibschaltung gemäß dem zweiten Ausführungsbeispiel von der Datenschreibschaltung 51a, wie in Fig. 3 gezeigt, dahingehend, daß der Datenschreibstrom gemäß dem zweiten Ausführungsbeispiel ferner eine Datenschreibstromausgleichsschaltung 200 enthält.

[0277] Die Datenschreibstromeinstellungsschaltung 200 gibt eine Referenzspannung Vrw aus zur Steuerung der Strommenge der Stromquelle 153 in der Datenschreibstromversorgungsschaltung 52. Die Datenschreibstromversorgungsschaltung 52 enthält einen N-Kanal-MOS-Transistor, der die Referenzspannung Vrw an seinem Gate erhält. Dieser N-Kanal-MOS-Transistor korrespondiert zur Stromquelle 153. Entsprechend kann die Strommenge, die durch den Transistor 151 an den Knoten Nw0 geliefert wird, der eine Stromspiegelung mit dem Transistor 152 in der Datenschreibstromversorgungsschaltung 52 bildet, also die Menge des Datenschreibstroms  $\pm I_w$ , gemäß der Referenzspannung Vrw eingestellt werden.

[0278] Die Datenschreibstromeinstellungsschaltung 200 enthält einen externen Referenzspannungseingangsanschluß 202 zum Empfang einer externen Referenzspannung Vre1, einen Testeingangsanschluß 204 zum Empfang eines Testmoduseingabesignals zum Schalten der Erzeugung der Referenzspannung Vrw zwischen dem Testmodus und dem normalen Modus und einer internen Referenzspannungserzeugungsspannung 206 zur Erzeugung einer internen Referenzspannung Vri1.

[0279] Die Datenschreibstromeinstellungsschaltung 200 enthält ferner ein Transfergate TGF1, das zwischen dem externen Referenzspannungseingangsanschluß 202 und einem Knoten Nf1 gekoppelt ist, und ein Transfergate TGF2, das zwischen der internen Referenzspannungserzeugungsschaltung 206 und dem Knoten Nf1 bereitgestellt ist. Die Transfergates TGF1 und TGF2 werden komplementär in Antwort auf das Testmoduseingangssignal TE eingeschaltet. Der Knoten Nf1 ist mit dem Gate des N-Kanal-MOS-Transistors gekoppelt, der zur Stromquelle 153 korrespondiert.

[0280] Mit einer derartigen Struktur werden bei der normalen Operation, bei der das Testmoduseingangssignal TE auf L-Pegel deaktiviert wird, die Transfergates TGF2 und TGF1 jeweils ein- und ausgeschaltet. Entsprechend wird die Referenzspannung Vri1, die durch die interne Referenzspannungserzeugungsschaltung 206 erzeugt wird, als Referenzspannung Vrw in das Gate des Transistors eingegeben, der zur Stromquelle 153 korrespondiert.

[0281] Andererseits werden bei der Testoperation, bei der das Testmoduseingangssignal TE auf H-Pegel aktiviert, die Transfergates TGF1 und TGF2 jeweils ein- und ausgeschaltet. Entsprechend wird die externe Referenzspannung Vre1, die durch den externen Referenzspannungseingangsanschluß 202 angelegt ist, an das Gate des Transistors angelegt, der zur Stromquelle 153 korrespondiert.

[0282] Entsprechend wird im Testmodus eine externe Referenzspannung Vre1 mit einem willkürlichen Pegel in Antwort auf Aktivierung des Testmoduseingangssignals TE eingegeben, so daß die Datenschreibtoleranz getestet werden kann. Folglich kann die herstellungsbedingte Abweichung bezüglich der Magneteigenschaften der MTJ-Speicherzellen kompensiert werden, wobei das Einstellungstesten der Datenschreibstrommenge zur entsprechenden Sicherstellung einer Datenschreibtoleranz durchgeführt werden kann. Zum Beispiel kann dieses Einstellungstesten derart durchgeführt werden, daß der Datenschreibstrom  $\pm I_w$  allmählich vom Standardwert ausgehend reduziert wird, wobei bestätigt wird, ob eine gewünschte Datenschreibtoleranz für jede MTJ-Speicherzelle sichergestellt ist.

[0283] Der Pegel der Spannung Vri1, die durch die interne Referenzspannungserzeugungsschaltung 206 erzeugt wird, muß nur auf einen entsprechenden Wert der Referenzspannung Vrw gesetzt werden, der durch ein derartiges Einstellungstesten gefunden wird.

[0284] Folglich kann die Änderung bezüglich der Magneteigenschaften der MTJ-Speicherzellen aufgrund von herstellungsbedingten Abweichungen kompensiert werden, wodurch die Datenschreiboperation in der normalen Operation, basierend auf einer geeigneten Datenschreibstrommenge, durchgeführt werden kann.

[0285] Bezugnehmend auf Fig. 13 enthält ein Wortleitungstreiber gemäß dem zweiten Ausführungsbeispiel Schreibworttreiber WWD1 bis WWDn, die jeweils korrespondierend zu Schreib-Wort-Leitungen WWL1 bis WWLn bereitgestellt sind. Jeder der Schreibworttreiber WWD1 bis WWDn ist zum Beispiel aus einem Inverter gebildet. Im folgenden werden die Schreibworttreiber WWD1 bis WWDn auch allgemein als WWD bezeichnet.

[0286] Ein Reihendekoder 20 aktiviert eines der Reihendekodiersignale RD1 bis RDn, also das Reihendekodiersignal, das zu der ausgewählten Reihe korrespondiert, auf L-Pegel gemäß der Reihenadresse RA. Die Reihendekodiersignale RD1 bis RDn werden an den Wortleitungstreiber 30 übertragen. Die Schreibworttreiber WWD1 bis WWDn des Wortleitungstreibers 30 erhalten jeweils die Reihendekodiersignale RD1 bis RDn. Wenn ein Reihendekodiersignal auf L-Pegel deaktiviert wird, aktiviert der korrespondierende Schreibworttreiber WWD die entsprechende Schreib-Wort-Leitung WWL auf den ausgewählten Zustand (H-Pegel).

[0287] Bei der Datenschreiboperation liefert der Schreibworttreiber WWD1 bis WWDn den Datenschreibstrom Ip an die Schreib-Wort-Leitung WWL, die der ausgewählten Reihe entspricht.

[0288] Der Wortleitungstreiber 30 enthält ferner eine Datenschreibstromversorgungsschaltung 32 zur Lieferung des Datenschreibstroms Ip an die Worttreiber WWD1 bis WWDn und eine Datenschreibstromeinstellungsschaltung

210 zur Einstellung der Menge des Datenschreibstroms  $I_p$ .  
 [0289] Die Datenstromschreibstromversorgungsschaltung 32 enthält P-Kanal-MOS-Transistoren 33a und 33b, die elektrisch zwischen der Leistungsversorgungsspannung  $V_{cc}$  und den Knoten  $Np0$  und  $Np1$  gekoppelt sind, und einen N-Kanal-MOS-Transistor 34, der elektrisch zwischen dem Knoten  $Np1$  und der Massespannung  $V_{ss}$  gekoppelt ist. Der Datenschreibstrom  $I_p$ , der an jeden Schreibwortreiber WWD zu liefern ist, wird an den Knoten  $Np0$  übertragen.

[0290] Der Knoten  $Np1$  ist elektrisch mit den Gates der Transistoren 33a und 33b gekoppelt. Der Transistor 34 erhält an seinem Gate eine Referenzspannung  $V_{rp}$ , die von der Datenschreibstromeinstellungsschaltung 210 ausgegeben wird. Der Transistor 34 arbeitet folglich als eine Stromquelle zur Lieferung der Strommenge gemäß der Referenzspannung  $V_{rp}$ . Da die Transistoren 33a, 33b und 34 eine Stromspiegelschaltung bilden kann die Strommenge, die durch die Datenschreibstromversorgungsschaltung 32 an den Knoten  $Np0$  geliefert wird, also die Menge an Datenschreibstrom  $I_p$ , gemäß der Referenzspannung  $V_{rp}$  eingestellt werden, die von der Datenschreibstromeinstellungsschaltung 210 ausgegeben wird.

[0291] Die Datenschreibstromeinstellungsschaltung 210 hat die gleiche Struktur wie die in Verbindung mit Fig. 11 beschriebene Datenschreibstromeinstellungsschaltung 200.

[0292] Speziell enthält die Datenschreibstromeinstellungsschaltung 210 einen externen Referenzspannungseingangsanschluß 212 zum Empfang einer externen Referenzspannung  $V_{re2}$ , einen Testeingangsanschluß 214 zum Empfang eines Testmoduseingangssignals  $TE$  und eine interne Referenzspannungserzeugungsschaltung 216 zur Erzeugung einer internen Referenzspannung  $V_{ri2}$ .

[0293] Die Datenschreibstromeinstellungsschaltung 210 enthält ferner ein Transferegate  $TGf3$ , das zwischen dem externen Referenzspannungseingangsanschluß 212 und einem Knoten  $Nf2$  gekoppelt ist, und ein Transferegate  $TGf4$ , das zwischen der internen Referenzspannungserzeugungsschaltung 216 und dem Knoten  $Nf2$  bereitgestellt ist. Die Transferegates  $TGf3$  und  $TGf4$  werden komplementär in Antwort auf das Testmoduseingangssignal  $TE$  eingeschaltet. Der Knoten  $Nf2$  ist mit dem Gate des Transistors 34, der als Stromquelle arbeitet, gekoppelt.

[0294] Entsprechend werden sowohl bei der normalen Operation als auch der Testmodusoperation die Referenzspannung  $V_{ri2}$ , die durch die interne Referenzspannungserzeugungsschaltung 216 erzeugt wird, und die externe Referenzspannung  $V_{re2}$ , die über den externen Referenzspannungseingangsanschluß 212 angelegt wird, an dem Gate des Transistors 34 gemäß des Testmoduseingangssignals  $TE$  angelegt.

[0295] Als ein Ergebnis wird im Testmodus eine externe Referenzspannung  $V_{re2}$  bei einem willkürlichen Pegel eingegeben, so daß die Datenschreibtoleranz getestet werden kann. Folglich kann die herstellungsbedingte Abweichung der Materialeigenschaften der MTJ-Speicherzellen kompensiert werden, wodurch das Einstellungstesten der Datenschreibstrommenge für ein entsprechendes Sicherstellen einer Datenschreibtoleranz ermöglicht werden kann. Zum Beispiel kann dieses Einstellungstesten derart durchgeführt werden, daß der Datenschreibstrom  $I_p$  allmählich von einem Standardwert ausgehend reduziert wird, wodurch eine gewünschte Datenschreibtoleranz für jede MTJ-Speicherzelle sichergestellt werden kann.

[0296] Der Pegel der Spannung  $V_{ri2}$ , der durch die interne Referenzspannungserzeugungsschaltung 216 erzeugt wird, muß nur auf einen geeigneten Wert der Referenzspannung  $V_{rw}$  gesetzt werden, der durch ein derartiges Einstellungstesten gefunden wird.

[0297] Folglich kann eine Änderung bezüglich der Materialeigenschaften von MTJ-Speicherzellen aufgrund von herstellungsbedingten Änderungen kompensiert werden, wodurch die Datenschreiboperation im normalen Betrieb (normale Operation), basierend auf einer geeigneten Datenschreibstrommenge, durchgeführt werden kann.

#### Modifikation des zweiten Ausführungsbeispiels

[0298] Bezugnehmend auf Fig. 14 gibt die Datenschreibstromeinstellungsschaltung 230 gemäß der Modifikation des zweiten Ausführungsbeispiels eine Referenzspannung  $V_{ref}$  aus, um die Menge des Datenschreibstroms einzustellen. Die in Fig. 13 gezeigte Datenschreibstromeinstellungsschaltung 230 kann entweder durch die Datenschreibstromeinstellungsschaltung 200 zur Einstellung des Datenschreibstroms  $\pm I_w$  ersetzt werden, der an die Bitleitung geliefert wird, oder durch die Datenschreibstromeinstellungsschaltung 21 zur Einstellung des Datenschreibstroms  $I_p$ , der an die Schreib-Wort-Leitung zu liefern ist.

[0299] Bezugnehmend auf Fig. 14 enthält die Datenschreibstromeinstellungsschaltung 230 einen Abstimmungseingangsbereich 231a und einen Spannungseinstellungsbereich 231b zur Einstellung der Referenzspannung  $V_{ref}$  gemäß dem Setzen des Abstimmungseingangsbereichs 231a.

[0300] Der Spannungseinstellungsbereich 231b enthält einen P-Kanal-MOS-Transistor 232, der elektrisch zwischen einem Knoten  $Nt1$ , der die Referenzspannung  $V_{ref}$  und die Leistungsversorgungsspannung  $V_{cc}$  erzeugt, und einen Operationsverstärker 234 gekoppelt ist, der die Spannungsdifferenz zwischen der Spannung an einem Knoten  $Nt2$  und einer vorgeschriebenen Spannung  $V_{ref0}$  verstärkt, zur Ausgabe an das Gate des Transistors 232.

[0301] Der Spannungseinstellungsbereich 231b enthält ferner einen P-Kanal-MOS-Transistor 240, der elektrisch zwischen den Knoten  $Nt1$  und  $Nt2$  gekoppelt ist, und P-Kanal-MOS-Transistoren 241, 242, 243 und 244, die in Serie zwischen dem Knoten  $Nt2$  und der Massespannung  $V_{ss}$  gekoppelt sind. Die Transistoren 240 bis 244 haben ihre Gates mit der Massespannung  $V_{ss}$  gekoppelt. Folglich dienen die Transistoren 240 bis 244 als Widerstandselemente.

[0302] Mit der Gatespannung des Transistors 232, der durch den Operationsverstärker 234 gesteuert wird, wird der Pegel der Referenzspannung  $V_{ref}$  gesteuert, so daß die Spannung am Knoten  $Nt2$  gleich der vorgeschriebenen Spannung  $V_{ref0}$  wird. Die vorgeschriebene Spannung  $V_{ref0}$  wird aus Sicht der Referenzspannung  $V_{ref}$  gesetzt.

[0303] Die Spannung  $V_{\alpha}$  am Knoten  $Nt2$  wird aus der Referenzspannung  $V_{ref}$  erhalten, die durch die Transistoren 240 bis 244 geteilt wird, die als Widerstandselemente dienen. Vorausgesetzt, daß dieses Spannungsteilungsverhältnis als  $\alpha$  definiert ist ( $\alpha = V_{ref}/V_{\alpha}$ ), ist die Referenzspannung  $V_{ref}$  durch folgenden Ausdruck gegeben, der die vorgeschriebene Spannung  $V_{ref0}$  verwendet, die in den Operationsverstärker 234 eingegeben wird:

$$V_{ref} = \alpha \times V_{ref0}.$$

[0304] Das Spannungsteilungsverhältnis  $\alpha$  ist bestimmt durch das Verhältnis von dem Widerstandswert zwischen dem Knoten  $Nt1$  und der Massespannung  $V_{ss}$  zum Widerstandswert zwischen dem Knoten  $Nt2$  und der Massespannung  $V_{ss}$ , die gemäß der Eingabe an den Abstimmungseingangsbereich 231a gesetzt sind.

[0305] Folglich ist die Referenzspannung  $V_{ref}$  nicht direkt programmiert, sondern das Spannungsteilungsverhältnis  $\alpha$  für die Eingangsspannung des Operationsverstärkers 234 ist

programmiert, wodurch die Antworteigenschaft und der Rauschwiderstand der Referenzspannung  $V_{ref}$  verbessert werden kann.

[0306] Der Abstimmungseingangsbereich 231a enthält Sätze von einem Sicherungselement, das als ein Programmelement dient, und ein Transferrate. Diese Sätze sind jeweils parallel mit den Transistoren 241 bis 243 bereitgestellt. Zum Beispiel sind ein Transferrate TGt1 und ein Sicherungselement 251, die in Reihe miteinander verbunden sind, parallel mit dem Transistor 241 bereitgestellt. Ein Transferrate TGt2 und ein Sicherungselement 252, die in Serie miteinander verbunden sind, sind parallel mit dem Transistor 242 bereitgestellt. Ähnlich sind ein Transferrate TGt3 und ein Sicherungselement 253, die in Serie miteinander verbunden sind, parallel mit dem Transistor 243 bereitgestellt.

[0307] Die Sicherungen können durchgebrannt werden, indem Laserlicht von außen direkt auf die Sicherungselemente 251 bis 253 gestrahlt wird, oder indem ein hohes Spannungssignal von außen durch die jeweiligen Durchbrenneingangsknoten 231 bis 283 angelegt wird.

[0308] Der Abstimmungseingangsbereich 231a enthält ferner einen Eingangsanschluß 270 zum Empfang eines Steuersignals TT, das mit Durchführung des Abstimmungstests des Datenschreibstroms aktiviert wird, Eingangsanschlüsse 271 bis 273 zum Empfang von jeweiligen Abstimmungstestsignalen TV1 bis TV3, ein Logikgate 261 zur Steuerung des Ein- und Ausschaltens des Transferrates TGt1 gemäß dem jeweiligen Pegel des Steuersignals TT und des Abstimmungstestsignals TV1, ein Logikgate 262 zur Steuerung des Ein- und Ausschaltens des Transferrates TGt2 gemäß den jeweiligen Pegeln des Steuersignals TT und des Abstimmungstestsignals TV2, und ein Logikgate 263 zur Steuerung des Ein- und Ausschaltens des Transferrates TGt3 gemäß den jeweiligen Pegeln des Steuersignals TT und des Abstimmungstestsignals TV3.

[0309] In der normalen Operation wird das Steuersignal TT auf L-Pegel deaktiviert. Folglich werden die jeweiligen Ausgangssignale der Logikgates 261 bis 263 auf H-Pegel gesetzt. In Antwort darauf werden alle Transferrate TGt1 bis TGt3 eingeschaltet. Folglich wird das Spannungsteilungsverhältnis  $\alpha$  bestimmt, ob die Sicherungselemente 251 bis 253 durchgebrannt sind oder nicht.

[0310] In dem Abstimmungseingangsbereich 231a kann der Sicherungsdurchbrennzustand simuliert werden, indem das Ausgangssignal des Logikgates 261 bis 263 auf L-Pegel gesetzt wird, durch das Eingangssignal an den Eingangsanschluß 270 bis 273, um so das entsprechende Transferrate TGt1, TGt2, TGt3 auszuschalten.

[0311] Für den Fall, daß zum Beispiel der Abstimmungstest mit den Steuersignal TT durchgeführt wird, das auf H-Pegel aktiviert ist, kann das Transferrate TGt1 ausgeschaltet werden, indem das Abstimmungstestsignal TV1 auf H-Pegel aktiviert wird. Folglich kann der Zustand erhalten werden, der äquivalent zu dem Zustand ist, bei dem das Sicherungselement 251 durchgebrannt ist.

[0312] Ähnlich kann der Sicherungsdurchbrennzustand auch für die Sicherungselemente 252 und 253 simuliert werden.

[0313] Entsprechend wird das Spannungsteilungsverhältnis  $\alpha$  mit dem Steuersignal TT und den Abstimmungstestsignalen TV1 bis TV3 geändert, die in jeweilige Eingangsanschlüsse 270 bis 273 eingegeben werden, so daß die Referenzspannung  $V_{ref}$  zur Einstellung des Datenschreibstroms auf variable Weise gesetzt werden kann.

[0314] Folglich wird im Abstimmungstest das Spannungsteilungsverhältnis  $\alpha$  reversibel eingestellt, ohne daß eigentlich eine Sicherung durchgebrannt wird, wodurch der

Einstellungstest für die Datenschreibstrommenge zur entsprechenden Sicherstellung der Datenschreibtoleranz ermöglicht werden kann.

[0315] Nach Beendigung des Abstimmungstests wird das Sicherungselement gemäß dem Testergebnis durchgebrannt. Folglich kann die Referenzspannung  $V_{ref}$  für den Erhalt eines entsprechenden Datenschreibstroms auf den Abstimmungseingangsbereich 231a nicht flüchtig programmiert werden. Als ein Ergebnis erzeugt die Schreibstromeinstellungsschaltung 230 in der Normaloperation eine programmierte, entsprechende Referenzspannung  $V_{ref}$ . Folglich wird die herstellungsbedingte Abweichung bezüglich der Materialeigenschaften von MTJ-Speicherzellen kompensiert, und die Datenschreiboperation kann im Normalbetrieb durchgeführt werden.

[0316] Fig. 14 zeigt die Struktur mit den externen Referenzspannungseingangsanschlüssen 202 (212) und 204 (214) zum Empfang der externen Referenzspannung, sowie die Transferrates TGf1 (TGf3) und TGf2 (TGf4). Diese Elemente können jedoch weggelassen werden, so daß die Referenzspannung  $V_{ref}$  direkt an das Gate des Transistors 153 (34) angelegt werden kann. In diesem Fall kann der Abstimmungstest des Datenschreibstroms durchgeführt werden.

[0317] Eine derartige Struktur ermöglicht die Durchführung des Abstimmungstests lediglich durch Eingabe eines digitalen Signals. Dies bedeutet, daß der Abstimmungstest effizienter durchgeführt werden kann, verglichen mit den jeweiligen Strukturen der Datenschreibstromeinstellungsschaltungen 200 und 210, wie in Fig. 12 und 13 gezeigt. Darüber hinaus eliminiert diese Struktur die Notwendigkeit der Durchführung der Einstellung entsprechend der Ausgangsspannungseinstellung der internen Referenzspannungserzeugungsschaltungen 206 und 216, die in den Datenschreibstromeinstellungsschaltungen 200 und 210 enthalten sind, wodurch die Last für die Einstellung reduziert wird.

[0318] Die Anzahl von Transistoren zum Setzen des Spannungsteilungsverhältnisses  $\alpha$  ist nicht auf das in Fig. 13 gezeigte Beispiel begrenzt, sondern irgendeine Mehrzahl von Transistoren kann bereitgestellt sein. In diesem Fall kann der Pegel der Referenzspannung  $V_{ref}$  genauer gesetzt werden, indem ähnlich gesteuerte Sätze von Transferrates und Sicherungselementen bereitgestellt werden, genauso wie Steuersignaleingangsanschlüsse parallel zu der Mehrzahl von Transistoren, die als Widerstandselemente dienen.

[0319] Fig. 14 zeigt beispielhaft die Struktur, die als Programmelemente die Sicherungselemente verwendet, die nach einer Durchbrenneingabe unterbrochen sind. Alternativ können jedoch sogenannte Antisicherungselemente verwendet werden, die nach der Durchbrenneingabe leitend gemacht werden. In diesem Fall können die gleichen Wirkungen erhalten werden, indem die Transferrates (TGt1 bis TGt3 in Fig. 14) bereitgestellt werden, zur Durchführung des Abstimmungstests parallel mit den jeweiligen Antisicherungselementen.

[0320] Die Einstellung des Datenschreibstroms, wie im Bezug auf das zweite Ausführungsbeispiel und dessen Modifikation beschrieben, kann nicht nur für die MRAN-Vorrichtung angewendet werden, zur Durchführung der Datenleseoperation durch das Lesegate, wie beim ersten Ausführungsbeispiel und dessen Modifikationen beschrieben, sondern auch für eine MRAN-Vorrichtung mit einer allgemeinen Struktur.

[0321] Fig. 15 zeigt ein Beispiel der Struktur der MRAN-Vorrichtung zur Durchführung der Datenleseoperation ohne Verwendung des Lesegates.

[0322] Die Struktur nach Fig. 15 unterscheidet sich von der nach Fig. 2 dadurch, daß Spaltauswahlgates CSG1 bis CSGm bereitgestellt sind, entsprechend zu den jeweiligen

Speicherzellenspalten. Jedes Spaltauswahlgate koppelt ein entsprechendes Bitleitungspaar BLP gemäß dem Spaltauswahlresultat an das Daten-I/O-Leitungspaar DI/OP. Zum Beispiel koppelt das Spaltauswahlgate CSG1 die Daten-I/O-Leitungen IO und /IO des Daten-I/O-Leitungspaares DI/OP jeweils an die Bitleitungen BL1 und /BL1 des korrespondierenden Bitleitungspaares BLP, gemäß der Spannung auf der Spaltauswahlleitung CSL1.

[0323] Der Datenschreibstrom  $\pm I_w$  kann durch die Datenschreibschaltung 51b, die in Verbindung mit Fig. 10 beschrieben ist, an das Daten-I/O-Leitungspaar DI/OP geliefert werden. Die Datenschreibstromeinstellungsschaltung 200 oder 230, wie in den Fig. 12 und 14 gezeigt, ist bereitgestellt, um die Strommenge der Stromquelle 153 in der Datenschreibstromversorgungsschaltung 52 einzustellen, die in der Datenschreibschaltung 51b enthalten ist. Folglich kann die Einstellung des Datenschreibstroms auf gleiche Weise erfolgen.

[0324] Der Datenschreibstrom  $I_p$  wird durch den Wortleitungstreiber 30 an die Schreib-Wort-Leitung WWL geliefert. Durch Anwendung der Struktur, wie in Verbindung mit Fig. 13 beschrieben, auf den Wortleitungstreiber 30, kann die Einstellung des Datenschreibstroms auf gleiche Weise erfolgen wie gemäß dem zweiten Ausführungsbeispiel.

[0325] Bei der MRAM-Vorrichtung mit der Struktur nach Fig. 15 muß eine Datenleseschaltung 55d den Lesestrom  $I_s$  in der Datenleseoperation liefern.

[0326] Die Datenleseschaltung 55d enthält Stromquellen 161 und 162 zum Empfang der Leistungsversorgungsspannung  $V_{cc}$ , um einen konstanten Strom an jeweilige interne Knoten  $Ns1$  und  $Ns2$  zu liefern, einen N-Typ-MOS-Transistor 163, der elektrisch zwischen dem internen Knoten  $Ns1$  und einem Knoten  $Nr1$  gekoppelt ist, und einen N-Typ-MOS-Transistor 164, der zwischen dem internen Knoten  $Ns2$  und einem Knoten  $Nr2$  gekoppelt ist, und einen Verstärker 165 zur Verstärkung der Spannungspegeldifferenz zwischen den internen Knoten  $Ns1$  und  $Ns2$ , um Lesedaten DOUT auszugeben.

[0327] Die Transistoren 163 und 164 empfangen eine Referenzspannung  $V_{rr}$  an ihren Gates. Die jeweiligen Strommengen, die von den Stromquellen 161 und 162 geliefert werden, genauso wie die Referenzspannung  $V_{rr}$  werden gemäß der Menge des Lesestroms  $I_s$  gesetzt. Widerstände 166 und 167 sind bereitgestellt, um die internen Knoten  $Ns1$  und  $Ns2$  jeweils auf die Massespannung  $V_{ss}$  herunterzuziehen. Die Knoten  $Nr1$  und  $Nr2$  sind jeweils mit den Daten-I/O-Leitungen IO und /IO gekoppelt.

[0328] Mit einer derartigen Struktur liefert die Datenleseschaltung 55d den Lesestrom  $I_s$  an jede der Daten I/O-Leitungen IO und /IO in der Datenleseoperation. Die Lesedaten DOUT werden gemäß den jeweiligen Spannungsänderungen ausgegeben, die auf den Daten I/O-Leitungen IO und /IO erzeugt werden, korrespondierend zu dem Speicherdatenpegel in der MTJ-Speicherzelle, die mit diesen über das Spaltauswahlgate und das Bitleitungspaar verbunden ist.

### Drittes Ausführungsbeispiel

[0329] In dem dritten Ausführungsbeispiel ist die Struktur beschrieben, bei der die Bitleitungen BL und die Schreib-Wort-Leitungen WWL, die den Datenschreibstrom erhalten, in einer Mehrzahl von Verdrahtungsschichten gebildet sind. [0330] Fig. 16 zeigt die Bitleitungsanordnung gemäß dem dritten Ausführungsbeispiel der Erfindung.

[0331] Bezugnehmend auf Fig. 16 wird die Datenschreib- und Datenleseoperation auf und von dem Speicherarray 10 durch das Daten-I/O-Leitungspaar DI/OP durch die Datenschreibschaltung 51b und die Datenleseschaltung 55d je-

weils durchgeführt, basierend auf der gleichen Struktur wie in Fig. 15.

[0332] Die Bitleitungen BL1 bis BLm, /BL1 bis /BLm, die die Bitleitungspare BLP1 bis BLPm bilden, die Spaltauswahlgates CSG1 bis CSGm und die Spaltauswahlleitungen CSL1 bis CSLm sind korrespondierend zu den jeweiligen Speicherzellenspalten bereitgestellt.

[0333] Die Bitleitungen BL1 bis BLm sind in einer Verdrahtungsschicht bereitgestellt, unterschiedlich zu der der Bitleitungen /BL1 bis /BLm. Die Bitleitungen BL1 bis BLm sind zum Beispiel jeweils in einer Metallverdrahtungsschicht M3 gebildet, wohingegen die Bitleitungen /BL1 bis /BLm jeweils in einer Metallverdrahtungsschicht M4 gebildet sind.

[0334] Jede Speicherzelle MC ist mit einer Bitleitung BL des entsprechenden Bitleitungspaares gekoppelt. Jede Dumm-Speicherzelle DMC ist mit der anderen Bitleitung /BL des entsprechenden Bitleitungspaares gekoppelt.

[0335] Die Lese/Schreib-Steuerschaltung 60 enthält Ausgleichstransistoren 62-1 bis 62-m, die korrespondierend zu jeweiligen Speicherzellenspalten bereitgestellt sind. Der Ausgleichstransistor 62 schließt die Bitleitungen BL und /BL kurz, die in unterschiedlichen Metallverdrahtungsschichten gebildet sind, in Antwort auf ein Bitleitungsausgleichssignal BLEQ. Das Bitleitungsausgleichssignal BLEQ wird auf gleiche Weise aktiviert/deaktiviert, wie in Bezug auf das erste Ausführungsbeispiel beschrieben.

[0336] Entsprechend wird in der Datenschreiboperation der Datenschreibstrom  $\pm I_w$  für das Bitleitungspaar BLP an die Bitleitungen BL und /BL in der ausgewählten Speicherzellenspalte geliefert, um so in unterschiedliche Richtungen als ein reziproker Strom zu fließen. Folglich kann die Struktur der Datenschreibschaltung 51b, die die Datenschreibstromversorgungsschaltung 52 enthält, genauso wie bei dem Fall gemäß dem ersten Ausführungsbeispiel angewendet werden.

[0337] Als ein Ergebnis, wie beim ersten Ausführungsbeispiel, kann ein Rückpfad des Datenschreibstroms  $\pm I_w$  durch den Ausgleichstransistor 62 bereitgestellt werden. Folglich muß die Struktur zum Senken des Datenschreibstroms nicht in der Lese-/Schreib-Steuerungsschaltung 60 bereitgestellt werden, wodurch eine Reduktion im Layoutbereich der peripheren Schaltungsanordnung erreicht wird.

[0338] Fig. 17 zeigt ein erstes Beispiel der Bitleitungsanordnung gemäß dem dritten Ausführungsbeispiel.

[0339] Bezugnehmend auf Fig. 17 ist die Schreib-/Wort-Leitung WWL in einer Metallverdrahtungsschicht M2 gebildet. Das Bitleitungspaar BLP weist eine Bitleitung BL auf, die in der Metallverdrahtungsschicht M3 gebildet ist, und die Bitleitung /BL, die in der Metallverdrahtungsschicht M4 gebildet ist. Die Bitleitungen BL und /BL sind folglich in unterschiedlichen Metallverdrahtungsschichten gebildet, um so in der vertikalen Richtung den Magnettunnelübergang MTJ zwischen ihnen anzuordnen. Wie oben beschrieben, sind die Bitleitungen BL und /BL jeweils elektrisch durch den Ausgleichstransistor 62 am Ende des Speicherarrays 10 miteinander verbunden, so daß der Datenschreibstrom durch diese fließt.

[0340] Entsprechend fließt der Datenschreibstrom  $\pm I_w$  in der Datenschreiboperation durch die Bitleitungen BL und /BL in unterschiedlichen Richtungen. Folglich wirkt in dem Magnettunnelübergang MTJ das durch den Datenschreibstrom  $\pm I_w$  erzeugte Datenschreibmagnetfeld in einer derartigen Richtung, das die jeweiligen Magnetfelder, die durch die Bitleitungen BL und /BL erzeugt werden, einander unterstützen. Entsprechend kann der Datenschreibstrom  $\pm I_w$  in der Datenschreiboperation reduziert werden. Als ein Ergebnis kann ein reduzierter Stromverbrauch der MRAN-

Vorrichtung, eine verbesserte Zuverlässigkeit, resultierend aus einer reduzierten Bitleitungsstromdichte, und ein reduziertes Magnetfeldrauschen in der Datenschreiboperation erreicht werden.

[0341] Im Gegensatz dazu wirken im peripheren Bereich einschließlich anderen Speicherzellen die jeweiligen Magnetfelder, die durch die Bitleitungen BL und /BL erzeugt werden, in einer derartigen Richtung, daß sie sich auslösen. Als ein Ergebnis kann das Magnetfeldrauschen in der Datenschreiboperation weiter unterdrückt werden.

[0342] Fig. 18 zeigt ein zweites Beispiel der Bitleitungsanordnung gemäß dem dritten Ausführungsbeispiel.

[0343] Bezugnehmend auf Fig. 18 ist die Schreib-Wort-Leitung WWL in der Metallverdrahtungsschicht M3 bereitgestellt. Die Bitleitungen BL und /BL sind in unterschiedlichen Metallverdrahtungsschichten M2 und M4 bereitgestellt, um so den dazwischenliegenden Magnetunnelübergang MTJ in vertikaler Richtung zwischenzulegen. Auch in dieser Struktur wirken die Magnetfelder, die durch den Datenschreibstrom  $\pm I_w$  erzeugt werden, in gleicher Richtung, wie in Fig. 17. Folglich können die gleichen Wirkungen wie bei der Struktur nach Fig. 17 gewonnen werden.

[0344] Erneut bezugnehmend auf Fig. 16 wird gemäß dem dritten Ausführungsbeispiel eine externe Leistungsverorgungsspannung Ext. Vcc an die MRAM-Vorrichtung 1 direkt an die Datenschreibschaltung 51b und den Wortleitungstreiber 30 geliefert, zur Aktivierung der Schreib-Wort-Leitung WWL, also der Komponenten zur Lieferung des Datenschreibstroms in der Datenschreiboperation.

[0345] Die MRAM-Vorrichtung 1 enthält ferner einen Spannungsabwärtschwandler (VDC) 7 zum Abwärtswandeln der externen Leistungsverorgungsspannung Ext. Vcc, um die interne Leistungsverorgungsspannung Int. Vcc zu erzeugen.

[0346] Die interne Leistungsverorgungsspannung Int. Vcc, die durch den Spannungsabwärtschwandler 7 erzeugt wird, wird an die interne Schaltungsanordnung geliefert, zur Durchführung der Datenleseoperation und der Adressverarbeitung, wie etwa an die Datenleseschaltung 55d, den Spaltdekoder 55, die Steuerschaltung 5 und den Reihendekoder 20.

[0347] Mit einer derartigen Struktur werden die Datenschreibschaltung zur Lieferung eines relativ großen Datenschreibstroms  $\pm I_w$ , genauso wie der Wortleitungstreiber zur Lieferung des Datenschreibstroms  $I_p$  und die Schreib-Wort-Leitung WWL mit der externen Leistungsverorgungsspannung Ext. Vcc in der Datenschreiboperation angetrieben. Als ein Ergebnis können diese Datenschreibströme schnell geliefert werden.

[0348] Andererseits wird die interne Schaltungsanordnung, anders als die Schaltungsanordnung zur Lieferung des Datenschreibstroms, mit der abwärtsgewandelten, internen Leistungsverorgungsspannung Int. Vcc angetrieben. Als ein Ergebnis kann der Leistungsverbrauch in der internen Schaltungsanordnung reduziert werden; genauso kann die Zuverlässigkeit bezüglich der Verkleinerung der Vorrichtung zur verbesserten Integration sichergestellt werden.

#### Erste Modifikation des dritten Ausführungsbeispiels

[0349] Bezugnehmend auf Fig. 19 sind in der Bitleitungsanordnung gemäß der ersten Modifikation des dritten Ausführungsbeispiels die Bitleitungen BL und /BL jedes Bitleitungspaares BLP in den Metallverdrahtungsschichten M3 und M4 bereitgestellt, um sich in einem Bereich CRS im Speicherarray 10 zu kreuzen.

[0350] Speziell in dem Bereich, der auf der linken Seite des Bereichs CRS lokalisiert ist, sind die Bitleitungen BL

und /BL jeweils aus Verdrahtungen gebildet, die in den Metallverdrahtungsschichten M3 und M4 bereitgestellt sind. In dem Bereich, der auf der rechten Seite des Bereichs CRS lokalisiert ist, sind jedoch die Bitleitungen BL und /BL jeweils aus Verdrahtungen gebildet, die in den Metallverdrahtungsschichten M4 und M3 bereitgestellt sind.

[0351] Die Verdrahtungen, die der Bitleitung BL entsprechen, die in den Metallverdrahtungsschichten M3 und M4 gebildet sind; sind miteinander in dem Bereich CRS gekoppelt. Ähnlich sind die Verdrahtungen, die zu der Bitleitung /BL korrespondieren, die in den Metallverdrahtungsschichten M3 und M4 gebildet sind, in dem Bereich CRS miteinander gekoppelt.

[0352] Die Bitleitungen BL und /BL sind mit den Speicherzellen MC in einer der Metallverdrahtungsschichten gekoppelt. In Fig. 18 sind die Bitleitungen BL und /BL mit den Speicherzellen MC in der unteren Metallverdrahtungsschicht M3 gekoppelt, die strukturell einen kleineren Abstand zum Magnetunnelübergang MTJ aufweist.

[0353] Folglich ist jede der Speicherzellen MC in der gleichen Speicherzellenspalte entweder mit der Bitleitung BL oder /BL gekoppelt. Entsprechend sind Dummyspeicherzellen DMC, die mit der Bitleitung BL gekoppelt sind, und eine Dummyspeicherzelle DMC, die mit der Bitleitung /BL gekoppelt ist, in jeder Speicherzellenspalte bereitgestellt. Eine Dummylesewortleitung DRWL1 ist gemeinsam mit den Dummyspeicherzellen DMC, die mit den jeweiligen Bitleitungen BL gekoppelt sind, bereitgestellt.

[0354] Ähnlich ist eine Dummylesewortleitung DRWL2 gemeinsam mit den Dummyspeicherzellen DMC, die mit jeweiligen Bitleitungen /BL gekoppelt sind, bereitgestellt.

[0355] Die Ausgleichstransistoren 62-1 bis 62-m sind korrespondierend zu den jeweiligen Speicherzellenspalten bereitgestellt, um die Bitleitungen BL und /BL des korrespondierenden Bitleitungspaares in Antwort auf das Bitleitungsausgleichssignal BLEQ miteinander zu koppeln.

[0356] Mit einer derartigen Struktur fließt ein reziproker Strom, der sich am Ausgleichstransistor 62 umkehrt, durch die Bitleitungen BL und /BL in der ausgewählten Speicherzellenspalte, wodurch die Datenschreiboperation basierend auf der gefalteten Bitleitungsstruktur durchgeführt werden kann.

[0357] Folglich kann in der Bitleitungsanordnung nach Fig. 19 die gleiche Anzahl von Speicherzellen mit jeder der Bitleitungen BL und /BL jedes Bitleitungspaares gekoppelt werden. Somit kann das Ungleichgewicht der RC-Last zwischen den Bitleitungen BL und /BL des gleichen Bitleitungspaares BLP korrigiert werden. Da die Datenleseoperation, basierend auf der gefalteten Bitleitungsstruktur, durchgeführt werden kann, indem Dummyspeicherzellen verwendet werden, kann darüber hinaus die Datenleseoperationstoleranz verbessert werden.

[0358] Da die Struktur und die Grundoperation des Lesens und Schreibens von Daten im übrigen genauso sind wie nach Fig. 15, erfolgt keine detaillierte Beschreibung.

#### Zweite Modifikation des dritten Ausführungsbeispiels

[0359] Im folgenden wird die Struktur beschrieben, bei der die Schreib-Wort-Leitungen WWL in einer Mehrzahl von Metallverdrahtungsschichten gebildet sind.

[0360] Fig. 20 zeigt ein Strukturdiagramm, das die Anordnung der Schreib-Wort-Leitungen WWL gemäß der zweiten Modifikation des dritten Ausführungsbeispiels verdeutlicht.

[0361] Bezugnehmend auf Fig. 20 enthält die Schreib-Wort-Leitung WWL eine Nebenschreibwortleitung WWL1, die in der Metallverdrahtungsschicht M2 gebildet ist, und eine Nebenschreibwortleitung WWL2, die in der Metallver-

drahtungsschicht M4 gebildet ist. Die Nebenschreibwortleitungen WWL1 und WWLu sind bereitgestellt, um den dazwischenliegenden Magnettunnelübergang MTJ in der vertikalen Richtung zwischenzulegen.

[0362] Die Fig. 21a und 21b sind Konzeptionsdiagramme, die die Kopplung zwischen den Nebenschreibwortleitungen verdeutlichen, die die gleiche Schreib-Wort-Leitung WWL bilden.

[0363] Bezugnehmend auf die Fig. 21A und 21B sind die Nebenschreibwortleitungen WWLu und WWL1, die die gleiche Schreib-Wort-Leitung WWL bilden, elektrisch miteinander an einem Ende des Speicherarrays 10 gekoppelt. Dadurch kann der Datenschreibstrom Ip als reziproker Strom geliefert werden, indem die Nebenschreibwortleitungen WWLu und WWL1 verwendet werden.

[0364] In Fig. 21A sind die Nebenschreibwortleitungen WWLu und WWL1 elektrisch miteinander durch eine Metallverdrahtung 145 gekoppelt, die in einem Durchgangsloch 144 bereitgestellt ist. Wie in Fig. 21B gezeigt, kann ein Schreibwortleistungsstromsteuerschalter TSW, der aus einem MOS-Transistor gebildet ist, der elektrisch zwischen den Nebenschreibwortleitungen WWLu und WWL1 gekoppelt ist, bereitgestellt sein, um die Nebenschreibwortleitungen WWLu und WWL1 kurzzuschließen.

[0365] Eine derartige Struktur ermöglicht die Lieferung des Datenschreibstroms Ip an die Nebenschreibwortleitungen WWLu und WWL1 der gleichen Schreib-Wort-Leitung WWL als reziproken Strom in umgekehrten Richtungen.

[0366] Erneut bezugnehmend auf Fig. 20 wirken durch Anlegen des Datenschreibstroms Ip an die Nebenschreibwortleitungen WWL1 und WWLu in entgegengesetzten Richtungen die jeweiligen Datenschreibmagnetfelder, die an dem Magnettunnelübergang MTJ durch die Nebenschreibwortleitungen WWLu und WWL1 erzeugt werden, in gleicher Richtung, wie im Falle der Fig. 16 und 17.

[0367] In dem peripheren Bereich, einschließlich in anderen Speicherzellen, wirken die jeweiligen Magnetfelder, die durch die Nebenschreibwortleitungen WWLu und WWL1 erzeugt werden, in einer derartigen Richtung, daß sie sich auslöschen. Folglich kann mit dem gleichen Stromwert ein größeres Datenschreibmagnetfeld an den Magnettunnelübergang MTJ angelegt werden. Als ein Ergebnis wird die Menge von Datenschreibstrom, der erforderlich ist, um ein gewünschtes Datenschreibmagnetfeld zu erzeugen, reduziert.

[0368] Folglich kann gleichzeitig ein reduzierter Stromverbrauch der MRAN-Vorrichtung, eine verbesserte Betriebszuverlässigkeit resultierend aus einer reduzierten Stromdichte der Schreib-Wort-Leitung WWL, und ein reduziertes Magnetfeldrauschen in der Datenschreiboperation realisiert werden.

#### Dritte Modifikation des dritten Ausführungsbeispiels

[0369] Bezugnehmend auf Fig. 22 sind in der Struktur gemäß der dritten Modifikation des dritten Ausführungsbeispiels der Reihendekoder 20 und die Schreibworttreiber WWD1 bis WWDn, die in dem Wortleitungstreiber 30 enthalten sind, an einem Ende des Speicherarrays 10 entlang der Reihenrichtung bereitgestellt. Die Schreibworttreiber WWD1 bis WWDn sind korrespondierend zu jeweiligen Schreib-Wort-Leitungen WWL1 bis WWLn bereitgestellt, um die entsprechende Schreib-Wort-Leitung WWL gemäß dem Dekodierergebnis des Reihendekoders 20 zu aktivieren, um so an diesen den Datenschreibstrom Ip zu liefern. [0370] Die Schreib-Wort-Leitungen WWL sind gemäß der Struktur, wie in den Fig. 20 und 21A gezeigt, angeordnet. Speziell sind die Nebenschreibwortleitungen WWLu

und WWL1, die dieselbe Schreib-Wort-Leitung WWL bilden, elektrisch miteinander am anderen Ende des Speicherarrays 10 durch die Metallverdrahtung 145 in dem Durchgangsloch gekoppelt.

[0371] Die Schreibworttreiber WWD1 bis WWDn liefern den Datenschreibstrom Ip an eine Nebenschreibwortleitung WWLu der korrespondierenden Schreib-Wort-Leitung WWL. Die andere Nebenschreibwortleitung WWL1, die dieselbe Schreib-Wort-Leitung WWL bildet, ist mit der Massespannung Vss an einem Ende (auf einer Seite des Schreibworttreibers WWD) des Speicherarrays 10 gekoppelt.

[0372] Eine derartige Struktur ermöglicht die Lieferung des Datenschreibstroms Ip für die Datenschreiboperation an die Schreib-Wort-Leitung WWL, korrespondierend zu der ausgewählten Speicherzellsenpalte als ein reziproker Strom, unter Verwendung der Nebenschreibwortleitung WWLu und WWL1. Die Verbindung zwischen der Nebenschreibwortleitung WWLu, WWL1 und dem Schreibworttreiber WWD und der Massespannung Vss kann geschaltet sein, so daß die Nebenschreibwortleitung WWL1 an den Schreibworttreiber WWD gekoppelt wird, und die Nebenschreibwortleitung WWLu ist an die Massespannung Vss gekoppelt.

#### Vierte Modifikation des dritten Ausführungsbeispiels

[0373] Bezugnehmend auf Fig. 23 sind in der Struktur gemäß der vierten Modifikation des dritten Ausführungsbeispiels die Schreibworttreiber WWD, die den jeweiligen Schreib-Wort-Leitungen WWL entsprechen, separat an beiden Enden des Speicherarrays 10 bereitgestellt. Entsprechend ist auch der Reihendekoder separat als Reihendekoder 20a bereitgestellt, um die Schreibworttreiber zu aktivieren, die den ungeraden Reihen entsprechen, und als Reihendekoder 20b zur Steuerung der Schreibworttreiber, die den geraden Reihen entsprechen.

[0374] Wie oben beschrieben, enthält der Schreibworttreiber WWD einen Transistor zur Lieferung des Datenschreibstroms Ip, wobei eine relativ große Größe erforderlich ist. Die Bereitstellung der Schreibworttreiber WWD separat an beiden Seiten des Speicherarrays erlaubt entsprechend dem Layoutabstand korrespondierend zu zwei Reihen, die für jeden Schreibworttreiber WWD zu verwendet sind. Dies verbessert die Integration der Schreib-Wort-Leitungen WWL in Reihenrichtung, wodurch eine effiziente Reduktion des Bereichs des Speicherarrays 10 ermöglicht wird.

[0375] Da die Struktur und die Operation im übrigen die gleichen sind, wie in Fig. 22 gezeigt, erfolgt keine detaillierte Beschreibung davon.

#### Fünfte Modifikation des dritten Ausführungsbeispiels

[0376] Bezugnehmend auf Fig. 24 sind in der Struktur gemäß der fünften Modifikation des dritten Ausführungsbeispiels die Nebenschreibwortleitungen WWLu bis WWL1, die die gleiche Schreib-Wort-Leitung WWL bilden, elektrisch miteinander gekoppelt, durch einen korrespondierenden Schreib-Wort-Leitungsstromsteuerschalter TSW an einem Ende (auf der Seite des Reihendekoders 20) des Speicherarrays 10. Die Schreib-Wort-Leitungsstromsteuerschalter TSW sind korrespondierend zu den jeweiligen Speicherzellen bereitgestellt.

[0377] Fig. 24 zeigt beispielhaft die Schreib-Wort-Leitungsstromsteuerschalter TSW1 und TSW2, die jeweils den Schreib-Wort-Leitungen WWL1 und WWL2 entsprechen. Der Schreib-Wort-Leitungsstromsteuerschalter TSW wird unter der Steuerung des Reihendekoders 20 in Antwort auf

Auswahl der entsprechenden Speicherzellenreihe eingeschaltet.

[0378] Die Nebenschreibwortleitungen WWLu und WWL1, die die gleiche Schreib-Wort-Leitung WWL bilden, sind jeweils mit der Leistungsversorgungsspannung Vcc und der Massespannung Vss am anderen Ende des Speicherarrays 10 gekoppelt. Entsprechend wird der Schreib-Wort-Leitungsstromsteuerschalter TSW basierend auf dem Reihenauswahlergebnis eingeschaltet, wodurch der reziproke Datenschreibstrom Ip an die Nebenschreibwortleitungen WWLu und WWL1 der entsprechenden Schreib-Wort-Leitung WWL geliefert werden kann. Folglich können die gleichen Wirkungen wie bei den dritten und vierten Modifikationen des dritten Ausführungsbeispiels erhalten werden.

[0379] Während der AUS-Periode des entsprechenden Schreib-Wort-Leitungsstromsteuerschalters TSW werden die Nebenschreibwortleitungen WWLu und WWL1 jeweils auf die Leistungsversorgungsspannung Vcc und die Massespannung Vss gesetzt. Entsprechend kann die Spannung auf der Schreib-Wort-Leitung WWL schnell wieder auf den Stand-by-Zustand oder nicht ausgewählten Zustand hergestellt werden, nachdem die Auswahloperation der Schreib-Wort-Leitung WWL beendet ist.

[0380] Fig. 24 zeigt beispielhaft die Struktur, bei der die Nebenschreibwortleitungen WWLu und WWL1 jeweils mit der Leistungsversorgungsspannung Vcc und der Massespannung Vss am anderen Ende des Speicherarrays 10 gekoppelt sind. Diese Verbindung kann jedoch derart geschaltet werden, daß die Nebenschreibwortleitungen WWLu und WWL1 jeweils mit der Massespannung Vcc und der Leistungsversorgungsspannung Vcc gekoppelt werden.

[0381] Da der reziproke Datenschreibstrom Ip in der Datenschreiboperation geliefert wird, erhöht sich außerdem die Länge der Schreib-Wort-Leitung WWL. Die Schreib-Wort-Leitung WWL ist jedoch in die Nebenschreibwortleitungen WWLu und WWL1 geteilt, die auf jeweils vorgeschriebene Spannungspegel zurückgesetzt werden. Eine derartige Struktur ermöglicht es der Schreib-Wort-Leitung WWL, schnell wieder auf den Stand-by-Zustand oder den nicht ausgewählten Zustand hergestellt zu werden, während die Effekte erhalten werden, die von der Lieferung des Datenschreibstroms als ein reziproker Strom resultieren.

[0382] In der dritten bis fünften Modifikation des dritten Ausführungsbeispiels ist zumindest eine der Dummyschreibwortleitungen DWWL1, DWWL2 und die Schreibworttreiber DWWD1, DWWD2 und die Schreib-Wort-Leitungsstromsteuerschalter DTSW1, DTSW2 ebenfalls für Dummyspeicherzellen MC bereitgestellt, die sich ursprünglich nicht auf die Datenschreiboperation beziehen. Die Dummyschreibwortleitungen DWWL1, DWWL2, die Schreibworttreiber DWWD1, DWWD2 und die Schreib-Wort-Leitungsstromsteuerschalter DTSW1, DTSW2 weisen jeweils die gleiche Struktur auf, wie diejenige, die für die Speicherzelle MC bereitgestellt ist.

[0383] Da der Datenschreibstrom nicht an die Dummyspeicherzellen DMC geliefert werden muß, ist der Eingang der Schreibworttreiber DWWD1 und DWWD2, die zu den Dummyspeicherzellen korrespondierend, auf die Leistungsversorgungsspannung Vcc fixiert. Entsprechend wird die Dummyschreibwortleitung DWWL1, DWWL2 immer im nicht aktiven Zustand (Massespannung Vss) gehalten und ein Strom nicht daran angelegt. Darüber hinaus ist das Gate vom N-Typ-MOS-Transistor, der den entsprechenden Schreib-Wort-Leitungsstromsteuerschalter DTSW bildet, auf die Massespannung Vss fixiert, so daß der N-Typ-MOS-Transistor im AUS-Zustand gehalten bleibt.

[0384] Die Bereitstellungen der Schreib-Wort-Leitungen WWL im Speicherarray 10 mit Ausnahme für den Bereich,

der den Dummyspeicherzellen DMC entspricht, verursacht einen Kontinuitätsverlust bezüglich der Form. Dies kann eine fehlerhafte Form bei der Herstellung der MRAM-Vorrichtung zur Folge haben. Um ein derartiges Problem zu verhindern, können die Schreib-Wort-Leitungen, die Schreibworttreiber und deren peripheren Schaltungsanordnungen (Schreibwort-Leitungsstromsteuerschalter TSW in Fig. 24), die jeweils die gleiche Struktur aufweisen wie die, die für herkömmliche Speicherzellen MC bereitgestellt ist, auch für die Dummyspeicherzellen DMC bereitgestellt werden, für die die Datenschreiboperation nicht erforderlich ist. [0385] Es ist ebenfalls möglich, die Anordnung der Bitleitungen und der Schreib-Wort-Leitungen gemäß dem dritten Ausführungsbeispiel und dessen Modifikationen mit jeder oder mit beiden ersten und zweiten Ausführungsbeispielen zu kombinieren. In diesem Fall muß die Datenschreibschaltung und die Datenleseschaltung nur derart strukturiert sein, wie im ersten und zweiten Ausführungsbeispiel und deren Modifikationen beschrieben.

#### Viertes Ausführungsbeispiel

[0386] Bezugnehmend auf Fig. 25 enthält eine MTJ-Speicherzelle MCD gemäß dem vierten Ausführungsbeispiel einen Magnetunnelübergang MTJ und eine Zugriffsdiode DM, wie in der Struktur nach Fig. 90. Die MTJ-Speicherzelle MCD unterscheidet sich von der in Fig. 90 gezeigten dadurch, daß die Lese-Wort-Leitung RWL und die Schreib-Wort-Leitung WWL separat bereitgestellt sind. Die Bitleitung BL erstreckt sich in einer derartigen Richtung, daß sie die Schreib-Wort-Leitungen WWL und die Lese-Wort-Leitung RWL kreuzt, und ist elektrisch mit dem Magnetunnelübergang MTJ gekoppelt.

[0387] Die Zugriffsdiode DM ist zwischen dem Magnetunnelübergang MTJ und der Lese-Wort-Leitung RWL gekoppelt. Die Richtung von dem Magnetunnelübergang MTJ zur Lese-Wort-Leitung RWL ist eine Vorwärtsrichtung. Die Schreib-Wort-Leitung WWL ist in der Nähe des Magnetunnelübergangs MTJ bereitgestellt, ohne mit der Bitleitung BL, der Lese-Wort-Leitung RWL und der Zugriffsdiode DM verbunden zu sein.

[0388] Bezugnehmend auf Fig. 26 korrespondiert ein N-Typ-Bereich (N-Wanne, n<sup>+</sup>-Diffusionsbereich oder dergleichen) NWL, der in dem Halbleiterhauptschubstrat SUB gebildet ist, mit der Kathode der Zugriffsdiode DM. Für den Fall, daß die MTJ-Speicherzellen in Reihen und Spalten auf dem Halbleitersubstrat angeordnet sind, können die N-Typ-Bereiche NWL für die MTJ-Speicherzellen in der gleichen Reihe elektrisch miteinander gekoppelt werden. Folglich kann die Kopplung zwischen der Zugriffsdiode DM und der Lese-Wort-Leitung RWL, wie in Fig. 25 gezeigt, ohne Bereitstellung der Lese-Wort-Leitung RWL implementiert werden.

[0389] Ein P-Typ-Bereich PAR, der am N-Typ-Bereich NWL gebildet ist, entspricht der Anode der Zugriffsdiode DM. Der P-Typ-Bereich PAR ist durch ein Barrieremetall 140 und einen Metallfilm 150 elektrisch mit dem Magnetunnelübergang MTJ gekoppelt.

[0390] Die Schreib-Wort-Leitung WWL und die Bitleitung BL sind jeweils in den Metallverdrahtungsschichten M1 und M2 bereitgestellt. Die Bitleitung BL ist mit dem Magnetunnelübergang MTJ gekoppelt.

[0391] Fig. 27 zeigt eine Zeittafel, die die Lese- und Schreiboperation für die MTJ-Speicherzelle MCD verdeutlicht.

[0392] Bezugnehmend auf Fig. 27 wird in der Datenschreiboperation die Spannung auf der Lese-Wort-Leitung RWL, also der N-Typ-Bereich NWL, auf H-Pegel (Lei-

stungsversorgungsspannung  $V_{cc}$ ) gesetzt. In der Datenleseoperation fließt kein Strom durch die Lese-Wort-Leitung RWL.

[0393] Die Leistungsversorgungsspannung  $V_{cc}$  wird an die Schreib-Wort-Leitung WWL angelegt, die zu der ausgewählten Speicherzelle korrespondiert, so daß der Datenschreibstrom  $I_p$  durch diese fließt. Gemäß dem Schreibdatenpegel wird die Bitleitung BL auf die Leistungsversorgungsspannung  $V_{cc}$  an deren eines Ende gesetzt und auf die Massespannung  $V_{ss}$  an deren anderes Ende. Folglich kann der Datenschreibstrom  $\pm I_w$ , der zu dem Schreibdatenpegel korrespondiert, an die Bitleitung BL geliefert werden.

[0394] Mit den folglich gelieferten Datenschreibströmen  $I_p$  und  $\pm I_w$  werden die Daten in die MTJ-Speicherzelle geschrieben. In diesem Fall wird die Lese-Wort-Leitung RWL auf die Leistungsversorgungsspannung  $V_{cc}$  gesetzt, so daß die Zugriffsdiode DM zuverlässig in der Datenschreiboperation ausgeschaltet wird. Als ein Ergebnis kann die Datenschreiboperation stabiler durchgeführt werden, verglichen mit dem Fall der in Fig. 90 gezeigten MTJ-Speicherzelle.

[0395] Im folgenden wird die Datenleseoperation beschrieben.

[0396] Vor der Datenleseoperation werden die Bitleitungen BL auf die Massespannung  $V_{ss}$  vorgeladen.

[0397] In der Datenleseoperation wird die Lese-Wort-Leitung RWL, die zu der zu lesenden Speicherzelle MCD korrespondiert, auf den aktiven Zustand (L-Pegel: Massespannung  $V_{ss}$ ) getrieben. In Antwort darauf wird die Zugriffsdiode DM in Vorwärtsrichtung vorgespannt. Folglich wird der Lesestrom zu einem Pfad geliefert, der aus der Bitleitung BL, dem Magnetunnelübergang MTJ, der Zugriffsdiode DM und der Lese-Wort-Leitung RWL (Massespannung  $V_{ss}$ ) gebildet ist, wodurch die Datenleseoperation ermöglicht wird.

[0398] Speziell wird eine Spannungsänderung, die auf der Bitleitung BL erzeugt wird, mit dem Leseverstärker  $I_s$  verstärkt, so daß die Speicherdaten im Magnetunnelübergang MTJ gelesen werden können.

[0399] Wie in Fig. 26 gezeigt, ist der Abstand zwischen der Bitleitung BL und dem Magnetunnelübergang MTJ kleiner als zwischen der Schreib-Wort-Leitung WWL und dem Magnetunnelübergang MTJ.

[0400] Folglich ist bei gleicher Strommenge das magnetische Feld, das durch den Datenschreibstrom erzeugt wird, der durch die Bitleitung BL fließt, größer als das durch den Datenschreibstrom erzeugte, der durch die Schreib-Wort-Leitung WWL fließt.

[0401] Um die Datenschreibmagnetfelder mit ungefähr gleicher Stärke an den Magnetunnelübergang MTJ anzulegen, muß ein größerer Datenschreibstrom an die Schreib-Wort-Leitung WWL geliefert werden, als an die Bitleitung BL. Die Bitleitung BL und die Schreib-Wort-Leitung WWL sind in den Metallverdrahtungsschichten gebildet, um den elektrischen Widerstandswert zu reduzieren. Jedoch kann eine übermäßige Stromdichte in den Verdrahtungen eine Unterbrechung oder einen Kurzschluß der Verdrahtungen erzeugen, aufgrund des Elektromigrationsphänomens, wodurch die Betriebszuverlässigkeit verschlechtert werden kann. Es ist folglich wünschenswert, die Stromdichte der Verdrahtungen, die den Datenschreibstrom erhalten, zu reduzieren.

[0402] Für den Fall, daß die MTJ-Speicherzelle MCD, wie in Fig. 25 gezeigt, auf dem Halbleitersubstrat bereitgestellt ist, ist entsprechend der Querschnittsbereich der Schreib-Wort-Leitung WWL größer als der der Bitleitung BL, die näher am Magnetunnelübergang MTJ lokalisiert ist, um die Stromdichte der Schreib-Wort-Leitung WWL zu unterdrücken, an die ein größerer Datenschreibstrom gelie-

fert werden muß. Folglich kann eine verbesserte Zuverlässigkeit der MRAM-Vorrichtung erreicht werden.

[0403] Für verbesserte Zuverlässigkeit ist ebenfalls die Bildung einer Metallverdrahtung aus einem Material effektiv, das gegenüber Elektromigration sehr widerstandsfähig ist, und das vom Magnetunnelübergang MTJ weiter weg lokalisiert ist, und folglich einen größeren Datenschreibstrom benötigt, der zu liefern ist (also an die Schreib-Wort-Leitung WWL in Fig. 26). Für den Fall, daß andere Metallverdrahtungen zum Beispiel aus einer Aluminiumlegierung (AL-Legierung) gebildet sind, können die Metallverdrahtungen, die Elektromigration unterliegen, aus Kupfer (Cu) gebildet werden.

[0404] Fig. 28 zeigt ein Konzeptdiagramm, das die Speicherarraystruktur mit den MTJ-Speicherzellen MCD verdeutlicht, die in Reihen und Spalten angeordnet sind.

[0405] Bezugnehmend auf Fig. 28 sind die MTJ-Speicherzellen in Reihen und Spalten auf dem Halbleitersubstrat angeordnet, wodurch eine hochintegrierte MRAM-Vorrichtung realisiert werden kann. Fig. 28 zeigt den Fall, daß die MTJ-Speicherzellen MCD in n-Reihen mit m-Spalten angeordnet sind.

[0406] Wie oben beschrieben, müssen die Bitleitung BL, die Schreib-Wort-Leitung WWL und die Lese-Wort-Leitung RWL für jede MTJ-Speicherzelle MCD bereitgestellt werden. Entsprechend sind für die MTJ-Speicherzellen, die in n-Reihen mit m-Spalten angeordnet sind, n-Schreib-Wort-Leitungen WWL1 bis WWLn n-Lese-Wort-Leitungen RWL1 bis RWLn und m-Bitleitungen BL1 bis BLm bereitgestellt.

[0407] Fig. 29 zeigt die Speicherarraystruktur, in der die MTJ-Speicherzellen MCD, die in Reihen und Spalten angeordnet sind, die Schreib-Wort-Leitungen WWL teilen.

[0408] Bezugnehmend auf Fig. 29 erstrecken sich die Lese-Wort-Leitungen RWL und die Schreib-Wort-Leitungen WWL, die für die MTJ-Speicherzellen MCD mit der in Fig. 25 gezeigten Struktur bereitgestellt sind, in Reihenrichtung. Jede Schreib-Wort-Leitung WWL wird von benachbarten Speicherzellen geteilt.

[0409] Zum Beispiel teilen sich die MTJ-Speicherzelle, die mit der Lese-Wort-Leitung RWL1 gekoppelt ist, und die MTJ-Speicherzelle, die mit der Lese-Wort-Leitung RWL2 gekoppelt ist, die gleiche Schreib-Wort-Leitung WWL1.

[0410] Ein derartiges Teilen der Schreib-Wort-Leitungen WWL kann die Anzahl von Speicherarray reduzieren. Folglich kann eine verbesserte Integration von MTJ-Speicherzellen in dem Speicherarray erreicht werden, genauso wie eine Reduzierung des Chipbereichs.

[0411] Eine derartige reduzierte Anzahl von Schreib-Wort-Leitungen WWL stellt ebenfalls den Verdrahtungsabstand der Schreib-Wort-Leitungen WWL in der Metallverdrahtungsschicht M1, wie in Fig. 26 gezeigt, sicher. Entsprechend kann ein vergrößerter Verdrahtungsabstand der Schreib-Wort-Leitung WWL erhalten werden. Dies ermöglicht eine leichte Vergrößerung des Querschnittsbereichs der Schreib-Wort-Leitung WWL gegenüber der Bitleitung BL, die näher am Magnetunnelübergang MTJ lokalisiert ist. Als ein Ergebnis kann die Elektromigration unterdrückt werden, wodurch eine verbesserte Zuverlässigkeit der MRAM-Vorrichtung erzielt werden kann.

[0412] Darüber hinaus können die MTJ-Speicherzellen MCD gemäß dem vierten Ausführungsbeispiel in den ersten bis dritten Ausführungsbeispielen als Speicherzellen MC verwendet werden, die in dem Speicherarray 10 angeordnet sind.

## Modifikation des vierten Ausführungsbeispiels

[0413] Ein derartiges Teilen von Verdrahtungen kann auf die herkömmliche MTJ-Speicherzelle mit der in Fig. 90 gezeigten Struktur angewendet werden.

[0414] Fig. 30 zeigt die Anordnung der MTJ-Speicherzellen gemäß der Modifikation des vierten Ausführungsbeispiels.

[0415] Fig. 30 zeigt ein Speicherarray, das die MTJ-Speicherzellen MCD' mit der in Fig. 90 gezeigten Struktur integriert.

[0416] Bezugnehmend auf Fig. 30 teilen sich in dem Speicherarray mit den MTJ-Speicherzellen MCD', die in Reihen und Spalten gemäß der Modifikation des vierten Ausführungsbeispiels angeordnet sind, benachbarte Speicherzellen MCD' in Spaltrichtung die gleiche Wortleitung WL. Zum Beispiel teilen sich die Speicherzelle MCD' der ersten Speicherzellenreihe und die Speicherzelle MCD' der zweiten Speicherzellenreihe die gleiche Wortleitung WL1.

[0417] Eine derartige Struktur reduziert die Anzahl der Wortleitungen WL in dem gesamten Speicherarray, wodurch eine verbesserte Integration der MTJ-Speicherzellen erzielt werden kann, genauso wie ein reduzierter Chipbereich.

[0418] Erneut bezugnehmend auf Fig. 91 ist in der MTJ-Speicherzelle nach Fig. 90 der Abstand zwischen der Wortleitung WL und dem Magnettunnelübergang MTJ größer als zwischen der Bitleitung BL und dem Magnettunnelübergang MTJ. Entsprechend muß ein größerer Datenschreibstrom an die Wortleitung WL geliefert werden. Zur Sicherstellung des zuverlässigen Betriebs ist es wichtig, die Stromdichte auf der Wortleitung WL in einer derartigen MTJ-Speicherzelle zu reduzieren.

[0419] In der Modifikation des vierten Ausführungsbeispiels kann der Verdrahtungsabstand der Wortleitungen WL, die einen größeren Datenschreibstrom erfordern, jederzeit sichergestellt werden. Entsprechend wird die Stromdichte auf der Wortleitung WL reduziert, wodurch die verbesserte Zuverlässigkeit der MRAM-Vorrichtung erreicht werden kann. Wie bei dem vierten Ausführungsbeispiel beschrieben, kann die Zuverlässigkeit des Betriebs der MRAM-Vorrichtung weiter verbessert werden, indem Material mit einer höheren Elektromigrationswiderstandsfähigkeit verwendet wird, um die Verdrahtung zu bilden, an die ein größerer Datenschreibstrom geliefert werden muß.

## Fünftes Ausführungsbeispiel

[0420] Bei dem fünften und den folgenden Ausführungsbeispielen wird eine verbesserte Integration des Speicherarrays für den Fall beschrieben, daß sich die Lese-Wort-Leitung RWL und die Schreib-Wort-Leitung WWL in unterschiedliche Richtungen erstrecken.

[0421] Bezugnehmend auf Fig. 31 erstrecken sich in einer MRAM-Vorrichtung 2 gemäß dem fünften Ausführungsbeispiel der Erfindung die Lese-Wort-Leitungen RWL und die Schreib-Wort-Leitungen WWL jeweils in Reihen- und Spaltenrichtung auf dem Speicherarray 10.

[0422] Die Bitleitungen sind entsprechend in Lesebitleitungen RBL und Schreibbitleitungen WBL unterteilt, so daß sich die Lesebitleitungen RBL und die Schreibbitleitungen WBL jeweils in Spalten- und Reihenrichtung auf dem Speicherarray 10 erstrecken.

[0423] Entsprechend unterscheidet sich die MRAM-Vorrichtung 2 von der in Fig. 1 gezeigten MRAM-Vorrichtung 1 dadurch, daß der Wortleitungstreiber 30 in einen Lese-Wort-Leitungstreiber 30r und einen Schreib-Wort-Leitungstreiber 30w unterteilt ist.

[0424] Die Lese/Schreib-Steuerschaltungen 50, 60 sind ebenfalls in Schreib-Steuerschaltungen 50w, 60w unterteilt, die benachbart zu dem Speicherarray 10 in der Reihenrichtung bereitgestellt sind, und in eine Lese-Steuerschaltung 50r.

[0425] Da die Struktur und der Betrieb im übrigen genauso sind wie bei der MRAM-Vorrichtung 1, werden diese nicht nochmals beschrieben.

[0426] Bezugnehmend auf Fig. 32 werden in dem fünften Ausführungsbeispiel die Lese-Wort-Leitung RWL, die Schreib-Wort-Leitung WWL, die Schreibbitleitung WBL und die Lesebitleitung RBL für die MTJ-Speicherzelle mit dem Magnettunnelübergang MTJ und dem Zugriffstransistor ATR bereitgestellt. Ein MOS-Transistor, der ein Feldeffekttransistor und auf dem Halbleitersubstrat SUB gebildet ist, wird typischerweise als Zugriffstransistor ATR verwendet.

[0427] Der Zugriffstransistor ATR hat sein Gate an die Lese-Wort-Leitung gekoppelt. Der Zugriffstransistor ATR wird in Antwort auf Aktivierung der Lese-Wort-Leitung RWL auf den ausgewählten Zustand (H-Pegel: Leistungsverorgungsspannung Vcc) eingeschaltet (aktiviert), wodurch ein Strompfad gebildet wird, der den Magnettunnelübergang MTJ enthält. Andererseits wird der Zugriffstransistor ATR ausgeschaltet, wenn die Lese-Wort-Leitung RWL in den nicht ausgewählten Zustand (L-Pegel: Massespannung Vss) deaktiviert wird. Folglich wird der Strompfad mit dem Magnettunnelübergang MTJ nicht gebildet.

[0428] Folglich können durch Bereitstellung der Lese-Wort-Leitung RWL und der Schreib-Wort-Leitung WWL, die sich senkrecht zueinander erstrecken, der Lese-Wort-Leitungstreiber 30r und der Schreib-Wort-Leitungstreiber 30w separat bereitgestellt werden.

[0429] Die Schreib-Wort-Leitung WWL und die Schreibbitleitung WBL erstrecken sich senkrecht zueinander nahe dem Magnettunnelübergang MTJ.

[0430] Die Schreib-Wort-Leitung WWL kann unabhängig ohne Kopplung mit anderen Bereichen der MTJ-Speicherzelle bereitgestellt werden. Entsprechend kann die Schreib-Wort-Leitung WWL angeordnet werden, um die Magnetkopplung mit dem Magnettunnelübergang MTJ zu verbessern. Folglich kann der Datenschreibstrom Ip, der durch die Schreib-Wort-Leitung WWL fließt, unterdrückt werden.

[0431] Da die jeweilige Aktivierung der Lese-Wort-Leitung RWL und der Schreib-Wort-Leitung WWL unabhängig in der Datenlese- und Datenschreiboperation gesteuert wird, können ihre jeweiligen Treiber von Haus aus als unabhängige Treiber designed (entworfen) werden. Entsprechend können der Schreib-Wort-Leitungstreiber 30w und der Lese-Wort-Leitungstreiber 30r, die jeweils eine reduzierte Größe aufweisen, separat in unterschiedlichen Regionen benachbart zu dem Speicherarray 10 bereitgestellt werden. Als ein Ergebnis wird die Layoutfreiheit verbessert, wodurch der Layoutbereich, also der Chipbereich, der MRAM-Vorrichtung reduziert werden kann.

[0432] Der Magnettunnelübergang MTJ ist elektrisch zwischen der Lesebitleitung RBL und dem Zugriffstransistor ATR gekoppelt. Entsprechend ist in der Datenleseoperation der Spannungspegel auf der Schreibbitleitung WBL, die keine Stromversorgung benötigt, auf die Massespannung Vss gesetzt. Als ein Ergebnis wird ein Strompfad durch die Lesebitleitung RBL, den Magnettunnelübergang MTJ, den Zugriffstransistor ATR und die Schreibbitleitung WBL (Massespannung Vss) gebildet, in Antwort auf das Einschalten des Zugriffstransistors ATR. In Antwort auf den Lese Strom Is, der an diesen Strompfad geliefert wird, wird eine Spannungsänderung korrespondierend zu dem Speicherdatenpegel im Magnettunnelübergang MTJ auf der Le-

sebbleitung RBL erzeugt, wodurch die Speicherdaten gelesen werden können.

[0433] In der Datenschreiboperation wird der Datenschreibstrom sowohl an die Schreib-Wort-Leitung WWL als auch an die Schreibbitleitung WBL geliefert. Wenn die Summe der Magnetfelder, die durch diese Datenschreibströme erzeugt werden, ein bestimmtes Magnetfeld erreichen, also den Bereich jenseits der Asteroid-Kennlinie, wie in Fig. 86 gezeigt, werden die Speicherdaten auf den Magnetunnelübergang MTJ geschrieben.

[0434] Im folgenden werden die Datenschreib- und Leseoperationen der MTJ-Speicherzelle gemäß dem fünften Ausführungsbeispiel unter Bezugnahme auf Fig. 33 beschrieben.

[0435] Zuerst wird die Datenschreiboperation beschrieben.

[0436] Gemäß dem Spaltauswahlergebnis des Spaltdekoders 25 treibt der Schreib-Wort-Leitungstreiber 30w die Spannung auf der Schreib-Wort-Leitung WWL, die zu der ausgewählten Spalte korrespondiert, auf den ausgewählten Zustand (H-Pegel). In den nicht ausgewählten Spalten werden die Spannungspegel auf den Schreib-Wort-Leitungen WWL in dem nicht ausgewählten Zustand (L-Pegel) gehalten. Da jede Schreib-Wort-Leitung WWL mit der Massespannung Vss durch die Wortleistungsstromsteuerschaltung 40 gekoppelt ist, fließt der Datenschreibstrom Ip durch die Schreib-Wort-Leitung WWL der ausgewählten Spalte.

[0437] In der Datenschreiboperation werden die Lese-Wort-Leitungen RWL im nicht ausgewählten Zustand (L-Pegel) gehalten. In der Datenschreiboperation liefert die Lesesteuerschaltung 50r keinen Lesestrom Is, lädt jedoch die Lesebitleitungen RBL auf den hohen Spannungszustand (Vcc) vor. Da die Zugriffstristoren ATR im AUS-Zustand gehalten werden, fließt kein Strom durch die Lesebitleitungen RBL in der Datenschreiboperation.

[0438] Die Schreibsteuerschaltungen 50w und 60w steuern die Spannung auf der Schreibbitleitung WBL an beiden Enden des Speicherarrays 10, wodurch ein Datenschreibstrom in der Richtung erzeugt wird, korrespondierend zu dem Pegel der Schreibdaten DIN.

[0439] Um zum Beispiel die Speicherdaten "1" zu schreiben, wird die Bitleitungsspannung auf der Seite der Schreibsteuerschaltung 60w auf den hohen Spannungszustand (Leistungsversorgungsspannung Vcc) gesetzt, und die Bitleitungsspannung auf der gegenüberliegenden Seite, also auf der Seite der Schreibsteuerschaltung 50w, wird auf den niedrigen Spannungszustand (Massespannung Vss) gesetzt. Als ein Ergebnis fließt der Datenschreibstrom +Iw durch die Schreibbitleitung WBL von der Schreibsteuerschaltung 60w an die Schreibsteuerschaltung 50w.

[0440] Um die Speicherdaten "0" zu schreiben, werden die Bitleitungsspannungen auf der Seite der Schreibsteuerschaltungen 50w und 60w jeweils auf den hohen und den niedrigen Spannungszustand gesetzt, wodurch der Datenschreibstrom -Iw durch die Schreibbitleitung WBL von der Schreibsteuerschaltung 50w zur Schreibsteuerschaltung 60w fließt. Zu dieser Zeit wird der Datenschreibstrom  $\pm Iw$  selektiv an die Schreibbitleitung WBL angelegt, die zu der ausgewählten Reihe korrespondiert, gemäß dem Reihenauswahlergebnis des Reihendekoders 20.

[0441] Durch Setzen der Richtungen der Datenschreibströme Ip und  $\pm Iw$  auf diese Weise wird einer der Datenschreibströme +Iw und -Iw unterschiedlicher Richtung gemäß dem Speicherdatenpegel "1" oder "0", der zu schreiben ist, ausgewählt, und der Datenschreibstrom Ip auf der Schreib-Wort-Leitung WWL kann dazu gebracht werden, unabhängig von dem Datenpegel in die fixierte (bestimmte) Richtung zu fließen. Folglich kann der Datenschreibstrom

Ip, der durch die Schreib-Wort-Leitung WWL fließt, immer in der fixierten Richtung gehalten werden. Als ein Ergebnis kann die Struktur der Wortleistungsstromsteuerschaltung 40 vereinfacht werden, wie oben beschrieben.

5 [0442] Als nächstes erfolgt die Beschreibung der Datenleseoperation.

[0443] In der Datenleseoperation werden die Schreib-Wort-Leitungen WWL in dem nicht ausgewählten Zustand (L-Pegel) gehalten, und deren Spannungspegel ist auf die 10 Massespannung Vss durch die Wortleistungsstromsteuerschaltungen 40 fixiert. In der Datenleseoperation liefern die Schreibsteuerschaltungen 50w und 60w nicht ununterbrochen den Datenschreibstrom an die Schreibbitleitung WBL und setzen die Schreibbitleitungen WBL auf die Massespannung Vss.

[0444] Der Lese-Wort-Leitungstreiber 30r treibt die Lese-Wort-Leitung RWL, die zu der ausgewählten Reihe korrespondiert auf den ausgewählten Zustand (H-Pegel), gemäß dem Reihenauswahlergebnis des Reihendekoders 20. In den nicht ausgewählten Reihen werden die Spannungspegel auf den Lese-Wort-Leitungen RWL in dem nicht ausgewählten Zustand (L-Pegel) gehalten. In der Datenleseoperation 25 beliefert die Lesesteuerschaltung 50r die Lesebitleitung RBL der ausgewählten Spalte mit einer festen Menge an Lesestrom Is zur Durchführung der Datenleseoperation. Die Lesebitleitungen RBL sind vor der Datenleseoperation auf den hohen Spannungszustand (Vcc) vorgeladen. Wenn der Zugriffstristor ATR in Antwort auf die Aktivierung der Lese-Wort-Leitung RWL eingeschaltet wird, wird folglich 30 ein Strompfad des Lesestroms Is innerhalb der MTJ-Speicherzelle gebildet, wodurch eine zu den Speicherdaten korrespondierende Spannungsänderung (Abfall) auf der Lesebitleitung RBL erzeugt wird.

[0445] In Fig. 33 wird nun angenommen, daß die fixierte 35 Magnetschicht FL und die freie Magnetschicht VL die gleiche Magnetfeldrichtung aufweisen, wenn der Speicherdatenpegel gleich "1" ist. In diesem Fall weist die Lesebitleitung RBL eine kleine Spannungsänderung  $\Delta V1$  auf, wenn die Speicherdaten gleich "1" sind, und eine Spannungsänderung  $\Delta V2$ , die größer als  $\Delta V1$  ist, wenn die Speicherdaten 40 gleich "0" sind. Die Speicherdaten der MTJ-Speicherzelle können gelesen werden, indem der Unterschied zwischen den Spannungsabfällen  $\Delta V1$  und  $\Delta V2$  festgestellt werden.

[0446] In der Datenschreiboperation werden die Lesebitleitungen RBL auf die gleiche Spannung gesetzt, wie die 45 Vorladespannung für die Datenleseoperation, also die Leistungsversorgungsspannung Vcc. Auf diese Weise kann die Vorladespannung für die Leseoperation effizient durchgeführt werden, wodurch die Datenleseoperationsgeschwindigkeit vergrößert wird. Wenn die Vorladespannung der Lesebitleitung RBL auf die Massespannung Vss gesetzt wird, müssen die Lesebitleitungen RBL nur auf die Massespannung Vss in der Datenleseoperation gesetzt werden.

[0447] Ähnlich können die Schreibbitleitungen WBL, die 50 in der Datenleseoperation auf die Massespannung Vss gesetzt werden müssen, nach der Datenschreiboperation auf die Massespannung Vss gesetzt werden, um die Datenlesegeschwindigkeit zu erhöhen.

[0448] Bezugnehmend auf Fig. 34 ist in der MTJ-Speicherzelle gemäß dem fünften Ausführungsbeispiel der Zugriffstristor ATR in einem p-Typ-Bereich PAR des Halbleitersubstrats SUB gebildet. Die Schreibbitleitung WBL ist in einer ersten Metallverdrahtungsschicht M1 gebildet, um elektrisch mit einer der Source/Drain-Regionen 110 gekoppelt zu sein, also des Zugriffstristors ATR. Die andere 60 Source/Drain-Region 120 ist durch eine in der ersten Metallverdrahtungsschicht M1 bereitgestellte Metallverdrahtung elektrisch mit dem Magnetunnelübergang MTJ, einem

Barrieremetall 140 und einem in einem Kontaktloch gebildeten Metallfilm 150 gekoppelt.

[0449] Die Lesebitleitung RBL ist in einer dritten Metallverdrahtungsschicht M3 bereitgestellt, um elektrisch mit dem Magnettunnelübergang MTJ gekoppelt zu sein. Die Schreib-Wort-Leitung WWL ist in einer zweiten Metallverdrahtungsschicht M2 bereitgestellt. Die Schreib-Wort-Leitung WWL kann unabhängig bereitgestellt sein, ohne mit anderen Teilen der MTJ-Speicherzelle gekoppelt zu sein. Folglich kann die Schreib-Wort-Leitung WWL willkürlich angeordnet werden, um die Magnetkopplung mit dem Magnettunnelübergang MTJ zu verbessern.

[0450] Mit einer derartigen Struktur werden die Lese-Wort-Leitung RWL und die Schreib-Wort-Leitung WWL für die MTJ-Speicherzelle derart bereitgestellt, daß sie sich senkrecht zueinander erstrecken, und der Lese-Wort-Leitungstreiber 30r und der Schreib-Wort-Leitungstreiber 30w, die jeweils zu der Lese-Wort-Leitung RWL und der Schreib-Wort-Leitung WWL korrespondieren sind unabhängig bereitgestellt. Folglich kann die Layoutfreiheit verbessert werden. Darüber hinaus wird verhindert, daß ein Wortleitungstreiberstrom in der Datenleseoperation übermäßig erhöht wird, wodurch die Erzeugung von unerwünschtem Magnetrauschen verhindert werden kann.

[0451] Bezugnehmend auf Fig. 35 sind in dem Speicherarray 10 gemäß dem fünften Ausführungsbeispiel die Speicherzellen MC, die die in Fig. 32 gezeigte Struktur aufweisen, in Reihen und Spalten angeordnet. Die Lese-Wort-Leitungen RWL und die Schreib-Wort-Leitungen WWL erstrecken sich jeweils in Reihen- und Spaltenrichtung. Die Lesebitleitungen RBL und die Schreibbitleitungen WBL erstrecken sich jeweils in Spalten- und Reihenrichtung. Die Lesebitleitungen und die Schreibbitleitungen sind allgemein jeweils mit RBL und WBL gekennzeichnet, und eine spezielle Lesebitleitung und Schreibbitleitung ist zum Beispiel mit RBL1 und WBL1 gekennzeichnet.

[0452] Die Wortleitungstromsteuerschaltung 40 koppelt jede Schreib-Wort-Leitung WWL an die Massespannung Vss. Folglich können in der Datenlese- und Datenschreiboperation die Spannung und der Strom auf der Schreib-Wort-Leitung WWL gesteuert werden, wie in Fig. 33 gezeigt.

[0453] Benachbarte Speicherzellen in Reihenrichtung teilen sich die Lesebitleitung RBL, und benachbarte Speicherzellen in Spaltenrichtung teilen sich die Schreibbitleitung WBL.

[0454] Die Speicherzellengruppe der ersten und zweiten Speicherzellenspalte teilen sich zum Beispiel die gleiche Lesebitleitung RBL1, und die Speicherzellengruppe der dritten und vierten Speicherzellenspalte teilen sich die gleiche Lesebitleitung RBL2. Außerdem teilen sich die Speicherzellengruppe der zweiten und dritten Speicherzellenreihe die Schreibbitleitung WBL2. In den folgenden Speicherzellenreihen und -spalten sind die Lesebitleitungen RBL und die Schreibbitleitungen WBL ähnlich angeordnet.

[0455] Falls die Daten von einer Mehrzahl von Speicherzellen MC der gleichen Lesebitleitung RBL oder Schreibbitleitung WBL gelesen werden muß oder auf diese geschrieben werden muß, tritt Datenkollision auf. Entsprechend sind die Speicherzellen MC abwechselnd angeordnet.

[0456] Mit einer derartigen Struktur können die Abstände der Lesebitleitungen RBL und der Schreibbitleitungen WBL in dem Speicherarray 10 erweitert werden. Als ein Ergebnis können die Speicherzellen MC effizient angeordnet werden, wodurch die Integration des Speicherarrays 10 verbessert werden und ein reduzierter Chipbereich der MRAM-Vorrichtung erreicht werden kann.

[0457] Im folgenden wird die periphere Schaltungsanord-

nung zur Lieferung des Lesestroms Is und des Datenschreibstroms  $\pm I_w$  beschrieben.

[0458] Die Spaltauswahl für die Datenleseoperation erfolgt unter Verwendung der Lesespaltauswahlleitungen RCSL und der Lesespaltauswahlgates RCSG, wobei beide korrespondierend zu den jeweiligen Lesebitleitungen RBL bereitgestellt sind. Fig. 35 zeigt beispielhaft die Lesespaltauswahlleitungen RCSL1, RCSL2 und die Lesespaltauswahlgates RCSG1, RCSG2, die korrespondierend zu den jeweiligen Lesebitleitungen RBL1 und RBL2 bereitgestellt sind.

[0459] In der Datenleseoperation aktiviert der Spaltendekoder 25 eine der Mehrzahl von Lesespaltauswahlleitungen RCSL auf den ausgewählten Zustand (H-Pegel) gemäß dem Spaltauswahlergebnis.

[0460] Das Lesespaltauswahlgate RCSG verbindet eine Lesedatenleitung RDL mit der korrespondierenden Lesebitleitung RBL gemäß der Spannung auf der entsprechenden Lesespaltauswahlleitung RCSL. Die Datenleseschaltung 55e liefert den Lesestrom Is an die Lesedatenleitung RDL.

[0461] Bezugnehmend auf Fig. 36 unterscheidet sich die Datenleseschaltung 55e von der in Fig. 15 gezeigten Datenleseschaltung 55d dadurch, daß die Datenleseschaltung 55e den Lesestrom Is nur an den Knoten Nr1 liefert. Entsprechend ist der in Fig. 15 gezeigte Transistor 164 eliminiert, und die Referenzspannung Vref ist nur an das Gate des Transistors 163 angelegt.

[0462] Die Datenleseschaltung 55e liest den Pegel der Lesedaten DOUT basierend auf dem Vergleich zwischen einem Spannungsabfall, der durch den Lesestrom Is erzeugt wird, und einem Referenzspannungsabfall  $\Delta V_r$ . Vorausgesetzt, daß die Datenleitung einen Spannungsabfall  $\Delta V_h$  aufweist, wenn die H-Pegeldaten gelesen werden, und einen Spannungsabfall  $\Delta V_l$ , wenn die L-Pegeldaten gelesen werden, wird  $\Delta V_r$  auf einen Zwischenwert von  $\Delta V_h$  und  $\Delta V_l$  gesetzt.

[0463] Entsprechend wird in der Datenleseschaltung 55e der Widerstandswert des Widerstandes 167 derart gesetzt, daß der Knoten Ns2 einen Spannungspegel ( $V_{cc} - \Delta V_r$ ) aufweist.

[0464] Erneut bezugnehmend auf Fig. 35 wird der Lesestrom Is selektiv an die Lesebitleitung RBL korrespondierend zu dem Spaltauswahlergebnis durch das Lesespaltauswahlgate RCSG geliefert.

[0465] Gemäß dem Reihenauswahlergebnis aktiviert der Lesewortleitungstreiber 30r selektiv die Lese-Wort-Leitung RWL. Folglich kann der Lesestrom Is an die MTJ-Speicherzelle geliefert werden, korrespondierend zu der ausgewählten Speicherzellenreihe.

[0466] Andererseits erfolgt die Spaltauswahl für die Datenschreiboperation in Antwort auf selektives Aktivieren der Schreib-Wort-Leitung WWL durch den Schreib-Wort-Leitungstreiber 30w gemäß dem Spaltauswahlergebnis. Jede Schreib-Wort-Leitung WWL ist in der Wortleitungstromsteuerschaltung 40 mit der Massespannung Vss gekoppelt.

[0467] Die Schreibbitleitung WBL sind entsprechend den jeweiligen Speicherzellenreihen bereitgestellt, um sich senkrecht zu den Schreib-Wort-Leitungen WWL zu erstrecken. Entsprechend erfolgt die Reihenauswahl für die Datenschreiboperation unter Verwendung der Schreibreihenauswahlleitungen und der Schreibreihenauswahlgates, die korrespondierend zu den jeweiligen Schreibbitleitungen WWL bereitgestellt sind.

[0468] Fig. 35 zeigt beispielhaft die Schreibreihenauswahlleitungen WRSL1, WRSL2 und die Schreibreihenauswahlgates WRSG1, WRSG2, die korrespondierend zu den Schreibbitleitungen WBL1, WBL2 bereitgestellt sind. Im

folgenden werden die Schreibreihenauswahlleitungen und die Schreibreihenauswahlgesetze ebenfalls allgemein jeweils mit WRSL und WRSG bezeichnet.

[0469] Das Schreibreihenauswahlgate WRSG ist elektrisch zwischen der korrespondierenden Schreibbitleitung WBL und einer Schreibdatenleitung WDL gekoppelt und wird gemäß der Spannung auf der korrespondierenden Schreibreihenauswahlleitung WRSL EIN/AUS-geschaltet.

[0470] Die Lese/Schreib-Steuerschaltung 60 enthält Bitleitungsstromsteuertransistoren, die korrespondierend zu den jeweiligen Schreibbitleitungen WBL bereitgestellt sind. Fig. 35 zeigt beispielhaft die Bitleitungsstromsteuertransistoren 63-1, 63-2, die jeweils korrespondierend zu den Schreibbitleitungen WBL1, WBL2 bereitgestellt sind. Im folgenden werden die Bitleitungsstromsteuertransistoren auch allgemein mit 63 gekennzeichnet.

[0471] Der Bitleitungsstromsteuertransistor 63 ist elektrisch zwischen der korrespondierenden Schreibbitleitung WBL und einer Schreibdatenleitung /WDL gekoppelt und wird gemäß der Spannung auf der korrespondierenden Schreibreihenauswahlleitung WRSL EIN/AUS-geschaltet.

[0472] Die in Fig. 7 gezeigte Datenschreibschaltung 51b liefert den Datenschreibstrom  $\pm I_w$  an die Schreibdatenleitungen WDL und /WDL. Folglich kann der Datenschreibstrom  $\pm I_w$  an die Schreibbitleitung WBL geliefert werden, die zu der ausgewählten Speicherzellenreihe korrespondiert, gemäß dem Reihenauswahlergebnis des Reihendekoders 20.

[0473] Die Lese/Schreib-Steuerschaltung 60 enthält ferner Vorladetransistoren, die korrespondierend zu den jeweiligen Lesebitleitungen RBL bereitgestellt sind, und Schreibbitleitungsspannungssteuertransistoren, die korrespondierend zu den jeweiligen Schreibbitleitungen WBL bereitgestellt sind.

[0474] Fig. 35 zeigt beispielhaft die Vorladetransistoren 64-1, 64-2, die korrespondierend zu den Lesebitleitungen RBL1, RBL2 bereitgestellt sind, und die Schreibbitleitungsspannungssteuertransistoren 65-1, 65-2, die jeweils korrespondierend zu den Schreibbitleitungen WBL, WBL2 bereitgestellt sind. Im folgenden wird die Mehrzahl der Schreibbitleitungsspannungssteuertransistoren auch allgemein mit 65 gekennzeichnet.

[0475] Jeder Schreibbitleitungsspannungssteuertransistor 65 wird in der Datenleseoperation eingeschaltet, um die entsprechende Schreibbitleitung WBL mit der Massespannung Vss zu koppeln, um den Strompfad des Lesestroms Is sicherzustellen. In jeder anderen Operation als der Datenleseoperation, wird jeder Schreibbitleitungsspannungssteuertransistor 65 ausgeschaltet, so daß jede Schreibbitleitung WBL von der Massespannung Vss getrennt wird. Da die Operation des Vorladetransistors 64 die gleiche ist, wie die oben in Verbindung mit Fig. 2 beschriebene, erfolgt keine erneute Beschreibung davon.

[0476] Mit einer derartigen Struktur kann in der Datenschreiboperation der Datenschreibstrom  $\pm I_w$  an die Schreibbitleitung WBL geliefert werden, die zu der ausgewählten Speicherzellenreihe korrespondiert, durch den Pfad, der durch die Schreibdatenleitung WDL, das Schreibreihenauswahlgate WRSG, die Schreibbitleitung WBL, den Bitleitungsstromsteuertransistor 63 und die Schreibdatenleitung /WDL gebildet wird. Es ist möglich, die Richtung des Datenschreibstroms  $\pm I_w$  zu steuern, indem die Spannung auf der Schreibdatenleitung WDL, /WDL auf gleiche Weise gesetzt wird, wie bei dem Schreibdatenbus WDB, /WDB gemäß dem ersten Ausführungsbeispiel. Entsprechend kann ähnlich wie bei dem ersten Ausführungsbeispiel die Struktur der peripheren Schaltungen, die mit der Datenschreiboperation assoziiert sind, also die Schreibsteuerschaltung 50w und 60w vereinfacht werden.

[0477] Folglich können die Datenschreib- und Leseoperationen, wie in Fig. 33 gezeigt, selbst in der Struktur durchgeführt werden, bei der sich die Lese-Wort-Leitungen RWL und die Schreib-Wort-Leitungen WWL senkrecht zueinander erstrecken, und die Schreibbitleitung WBL und die Lesebitleitung RBL von benachbarten Speicherzellen geteilt werden.

[0478] Mit einer derartigen Struktur können die Abstände der Schreibbitleitungen WBL und der Lesebitleitungen RBL in dem Speicherarray 10 erweitert werden. Als ein Ergebnis können die Speicherzellen MC effizient angeordnet werden, wodurch die Integration des Speicherarrays 10 verbessert wird, genauso wie ein reduzierter Chipbereich der MRAM-Vorrichtung erreicht werden kann.

[0479] Ein derartiger, vergrößerter Abstand der Schreibbitleitungen WBL stellt eine größere Leitungsbreite der Schreibbitleitungen WBL sicher. Entsprechend können folgende weitere Wirkungen erzielt werden.

[0480] Wie oben beschrieben, muß in der Datenschreiboperation der Datenschreibstrom sowohl an die Schreibbitleitung WBL als auch an die Schreib-Wort-Leitung WWL geliefert werden.

[0481] Wie in Fig. 34 gezeigt, ist in der MTJ-Speicherzellenstruktur gemäß dem fünften Ausführungsbeispiel der Abstand zwischen der Schreibbitleitung WBL und dem Magnetunnelübergang MTJ in vertikaler Richtung größer als zwischen der Schreib-Wort-Leitung WWL und dem Magnetunnelübergang MTJ. Entsprechend muß in der Datenschreiboperation ein größerer Strom an die Schreibbitleitung WBL geliefert werden, die von dem Magnetunnelübergang MTJ weiter weg lokalisiert ist.

[0482] Jedoch wird die Schreibbitleitung WBL zwischen benachbarten Speicherzellenspalten geteilt. Folglich kann die Schreibbitleitung WBL angeordnet werden, indem der Raum für zwei Speicherzellenreihen verwendet wird, wodurch die Leitungsbreite jeder Schreibbitleitung WBL vergrößert werden kann. Folglich kann eine Leitungsbreite zumindest größer als die der Schreib-Wort-Leitung WWL, also ein größerer Querschnittsbereich, der Schreibbitleitung WBL sichergestellt werden. Als ein Ergebnis wird die Stromdichte der Schreib-Wort-Leitung WWL reduziert.

[0483] Die Zuverlässigkeit der MRAM-Vorrichtung kann folglich verbessert werden, indem eine der Verdrahtungen geteilt wird, die die Datenschreibstromlieferung erfordert, also die Verdrahtung, die strukturbedingt von dem Magnetunnelübergang MTJ weiter weg zwischen benachbarten Speicherzellen lokalisiert ist.

[0484] Für eine verbesserte Zuverlässigkeit ist es ebenfalls wirkungsvoll, die Metallverdrahtung mit einem größeren Abstand zum Magnetunnelübergang MTJ zu bilden (die Schreibbitleitung WBL in Fig. 34) aus einem Material mit hoher Elektromigrationwiderstandsfähigkeit. Für den Fall, daß die anderen Metallverdrahtungen zum Beispiel aus einer Aluminiumlegierung (AL-Legierung) gebildet sind, können die Metallverdrahtungen, die möglicherweise der Elektromigration ausgesetzt sind, aus Kupfer (Cu) gebildet werden.

#### Erste Modifikation des fünften Ausführungsbeispiels

[0485] Bezugnehmend auf Fig. 37 teilen sich in dem Speicherarray gemäß der ersten Modifikation des fünften Ausführungsbeispiels benachbarte Speicherzellen die gleiche Schreib-Wort-Leitung WWL. Zum Beispiel teilen sich die Speicherzellengruppe der ersten und zweiten Speicherzellenspalten eine einzelne Schreib-Wort-Leitung WWL1. In den folgenden Speicherzellenspalten sind die Schreib-Wort-Leitungen WWL ähnlich angeordnet.

[0486] Zur Durchführung der normalen Datenschreiboperation darf eine Mehrzahl von Speicherzellen MC nicht an der Kreuzung der gleichen Wortleitung WWL und der gleichen Schreibbitleitung WBL vorhanden sein. Entsprechend sind die Speicherzellen MC abwechselnd angeordnet.

[0487] Da die Struktur der peripheren Schaltungen, die durch die Lesebitleitung RBL und die Schreibbitleitung WBL mit den Datenlese- und Datenschreiboperationen assoziiert sind, ebenso wie die Speicherzellenoperation beim Lesen und Schreiben der Daten die gleichen sind wie gemäß dem fünften Ausführungsbeispiel, erfolgt keine erneute detaillierte Beschreibung.

[0488] Mit einer derartigen Struktur kann der Abstand der Schreib-Wort-Leitungen WWL in dem Speicherarray 10 erweitert werden. Als ein Ergebnis können die Speicherzellen MC effektiv angeordnet werden, wodurch die Integration des Speicherarrays 10 verbessert wird, genauso wie ein reduzierter Chipbereich der MRAM-Vorrichtung erreicht werden kann.

#### Sechste Modifikation des fünften Ausführungsbeispiels

[0489] Bezugnehmend auf Fig. 38 unterscheidet sich das Speicherarray gemäß der zweiten Modifikation des fünften Ausführungsbeispiels von der ersten Modifikation des fünften Ausführungsbeispiels dadurch, daß benachbarte Speicherzellen in Spaltrichtung sich ebenfalls die gleiche Lese-Wort-Leitung RWL teilen. Zum Beispiel teilen sich die Speicherzellengruppe der ersten und zweiten Speicherzellenreihen die gleiche Lese-Wort-Leitung RWL1. In den folgenden Speicherzellenreihen sind die Lese-Wort-Leitungen RWL ähnlich angeordnet.

[0490] Zur Durchführung der normalen Datenlese- und Datenschreiboperation darf eine Mehrzahl von Speicherzellen MC, die durch eine einzelne Lese-Wort-Leitung RWL oder Schreib-Wort-Leitung WWL ausgewählt ist, nicht gleichzeitig mit der gleichen Lesebitleitung RBL oder Schreibbitleitung WBL gekoppelt sein. Entsprechend sind die Lesebitleitung RBL und die Schreibbitleitung WBL in jeder Speicherzellenspalte und jeder Speicherzellenreihe jeweils bereitgestellt, und die Speicherzellen MC sind abwechselnd angeordnet.

[0491] Da die Struktur der anderen Bereiche und die Speicherzellenoperation beim Lesen und Schreiben der Daten gleich ist, wie beim dem fünften Ausführungsbeispiel, erfolgt keine erneute detaillierte Beschreibung davon.

[0492] Mit einer derartigen Struktur können die Abstände der Lese-Wort-Leitungen RWL und der Schreib-Wort-Leitungen WWL in dem Speicherarray 10 erweitert werden. Als ein Ergebnis können die Speicherzellen MC effizienter angeordnet werden, wodurch die Integration des Speicherarrays 10 verbessert wird, genauso wie ein reduzierter Chipbereich der MRAM-Vorrichtung erzielt werden kann.

#### Dritte Modifikation des fünften Ausführungsbeispiels

[0493] Bezugnehmend auf Fig. 39 ist für die Speicherzellen mit der Struktur gemäß dem fünften Ausführungsbeispiel und der Anordnung in Reihen und Spalten, die gefaltete Bitleitungsstruktur in jedem Satz von benachbarten zwei Speicherzellenspalten realisiert, indem korrespondierende zwei Lesebitleitungen RBL verwendet werden. Zum Beispiel kann ein Lesebitleitungspaar aus den Lesebitleitungen RBL1 und RBL2 gebildet sein, die jeweils zu den ersten und zweiten Speicherzellenspalten korrespondieren. In diesem Fall wird auf die Lesebitleitung RBL2 ebenfalls Bezug genommen als Lesebitleitung /RBL1, da sie komplementär zu der Lesebitleitung RBL1 ist.

[0494] Im folgenden wird eine Lesebitleitung jedes Lesebitleitungspaares, das zu einer ungeraden Speicherzellenspalte korrespondiert, allgemein auch als Lesebitleitung RBL bezeichnet, und die andere Lesebitleitung, die zu einer geraden Speicherzellenspalte korrespondiert, wird allgemein auch als Lesebitleitung /RBL bezeichnet.

[0495] Eine Lesespaltauswahlleitung ist für jedes Lesebitleitungspaar bereitgestellt, also für jeden Satz von Speicherzellenspalten. Entsprechend werden zwei Lesespaltauswahlgates RCSG, die zu dem gleichen Satz korrespondieren, in Antwort auf die gemeinsame Lesespaltauswahlleitung RCSL EIN-/AUS-geschaltet.

[0496] Die Lesespaltauswahlgates RCSG1 und RCSG2, die zu dem ersten und zweiten Speicherzellenspalten korrespondieren, arbeiten in Antwort auf die gemeinsame Lesespaltauswahlleitung RCSL1. Die Lesespaltauswahlgates RCSG1, RCSG3, ..., die zu den Lesebitleitungen RBL der ungeraden Spalten korrespondieren, sind jeweils elektrisch zwischen der korrespondierenden Lesebitleitung RBL und der Lesedatenleitung RDL gekoppelt. Die Lesespaltauswahlgates RCSG2, RCSG4, ..., die zu den Lesebitleitungen /RBL der geraden Spalten korrespondieren, sind elektrisch zwischen der korrespondierenden Lesebitleitung /RBL und einer Lesedatenleitung /RDL gekoppelt.

[0497] In Antwort auf die Lesespaltauswahlleitung RCSL, die gemäß dem Spaltauswahlergebnis aktiviert ist, werden korrespondierende zwei Lesespaltauswahlgates RCSG eingeschaltet. Als ein Ergebnis werden die Lesebitleitungen RBL und /RBL des Lesebitleitungspaares, das zu der ausgewählten Speicherzellenspalte korrespondiert, jeweils elektrisch mit den Lesedatenleitungen RDL und /RDL des Lesedatenleitungspaares gekoppelt.

[0498] Darüber hinaus sind die gleichen Vorladetransistoren 64, wie die in Verbindung mit Fig. 35 beschriebenen, korrespondierend zu den jeweiligen Lesebitleitungen RBL und /RBL bereitgestellt. Wie oben beschrieben, werden die Vorladetransistoren 64 in der Datenleseoperation ausgeschaltet.

[0499] Als ein Ergebnis wird der Lesestrom Is durch die Lesedatenleitungen RDL und /RDL von der Datenleseschaltung 55d an jede der Lesebitleitungen RBL und /RBL geliefert, die zu der ausgewählten Speicherzellenspalte korrespondiert. Da die Struktur der Datenleseschaltung 55d in Verbindung mit Fig. 15 beschrieben wurde, erfolgt keine erneute Beschreibung davon.

[0500] Entsprechend wird die Datenleseoperation unter Verwendung der gleichen Dummypfeicherzellen DMC wie bei dem ersten Ausführungsbeispiel durchgeführt, wobei jede in der Lage ist, selektiv entweder mit der Lesebitleitung RBL oder der /RBL gekoppelt zu werden. Folglich kann die Datenlesetoleranz sichergestellt werden, basierend auf der sogenannten gefalteten Bitleitungsstruktur.

[0501] Ähnlich ist die gefaltete Bitleitungsstruktur in jedem Satz benachbarter zwei Speicherzellenreihen realisiert, unter Verwendung korrespondierender zwei Schreibbitleitungen WBL. Ein Schreibbitleitungspaar kann zum Beispiel aus den Schreibbitleitungen WBL1 und WBL2 gebildet werden, die jeweils zu der ersten und zweiten Speicherzellenreihe korrespondieren. In diesem Fall wird die Schreibbitleitung WBL2 auch als Schreibbitleitung /WBL1 bezeichnet, da sie komplementär zu der Schreibbitleitung WBL1 ist.

[0502] Auch in den folgenden Speicherzellenspalten sind die Lesebitleitungen RBL und die Schreibbitleitungen WBL ähnlich angeordnet, um jeweils ein Lesebitleitungspaar und ein Schreibbitleitungspaar in jedem Satz von Speicherzellenspalten und -reihen zu bilden.

[0503] Eine Schreibbitleitung jedes Schreibbitleitungs-

paars, das zu einer ungeraden Speicherzellenreihe korrespondiert, wird auch allgemein als Schreibbitleitung WBL bezeichnet, und eine andere Schreibbitleitung, die zu einer geraden Speicherzellenreihe korrespondiert, wird auch allgemein als Schreibbitleitung /WBL bezeichnet. Folglich kann die Datenschreiboperation basierend auf der sogenannten gefalteten Bitleitungsstruktur durchgeführt werden.

[0504] Die Schreibreihenauswahlleitung WRSL ist für jedes Schreibbitleitungspaar, also für jeden Satz von Speicherzellenreihen bereitgestellt. Entsprechend werden zwei Schreibreihenauswahlgates WRSG, die zu dem gleichen Satz korrespondieren, in Antwort auf die gemeinsame Schreibreihenauswahlleitung WRSL EIN-/AUS-geschaltet.

[0505] Die Schreibreihenauswahlgates WRSG1 und WRSG2, die zu der ersten und zweiten Speicherzellenreihe korrespondieren, arbeiten zum Beispiel in Antwort auf die gemeinsame Schreibreihenauswahlleitung WRSL1.

[0506] Die Schreibreihenauswahlgates WRSG1, WRSG3, ..., die zu den Schreibbitleitungen WBL der ungeraden Reihen korrespondieren, werden jeweils elektrisch zwischen die korrespondierende Schreibbitleitung WBL und die Schreibdatenleitung WDL gekoppelt. Die Schreibreihenauswahlgates WRSG2, WRSG4, ..., die zu den Schreibbitleitungen /WBL der geraden Reihen korrespondieren, werden jeweils elektrisch zwischen die korrespondierende Schreibbitleitung /WBL und die Schreibdatenleitung /WDL gekoppelt.

[0507] In Antwort auf die Schreibreihenauswahlleitung WRSL, die gemäß dem Reihenauswahlergebnis aktiviert wird, werden korrespondierende zwei Schreibreihenauswahlgates WRSG eingeschaltet. Als ein Ergebnis werden die Schreibbitleitungen WBL und /WBL des Schreibbitleitungspaares, das zu der ausgewählten Speicherzellenreihe korrespondiert, jeweils elektrisch mit den Schreibdatenleitungen WDL und /WDL des Schreibdatenleitungspaares gekoppelt.

[0508] Außerdem werden die Ausgleichstransistoren 62 zur Verbindung der Schreibbitleitungen WBL und /WBL des jeweiligen Schreibbitleitungspaares miteinander bereitgestellt, anstelle der Bitleistungsstromsteuertransistoren 63, wie in Fig. 35 gezeigt. Der Ausgleichstransistor 62 arbeitet in Antwort auf zum Beispiel das Steuersignal WE, um zwei Schreibbitleitungen, die das gleiche Schreibbitleitungspaar in der Datenschreiboperation bilden, kurzzuschließen. Die gleichen Schreibbitleitungsspannungssteuertransistoren 65, wie die in Verbindung mit Fig. 35 beschriebenen, werden korrespondierend zu den jeweiligen Schreibbitleitungen WBL und /WBL bereitgestellt.

[0509] Der Datenschreibstrom  $\pm I_w$  wird von der Datenschreibschaltung 51b an die Schreibdatenleitungen WDL und /WDL des Schreibdatenleitungspaares in gleicher Weise geliefert, wie für die Schreibdatenbusse WDB und /WDB des ersten Ausführungsbeispiels. Da die Struktur und Operation der Datenschreibschaltung 51b bereits in Verbindung mit Fig. 7 beschrieben worden sind, erfolgt keine erneute Beschreibung davon.

[0510] Als ein Ergebnis kann die Datenschreiboperation in dem Schreibbitleitungspaar korrespondierend zu dem Reihenauswahlergebnis durchgeführt werden, indem ein reziproker Strom verwendet wird, der von dem Ausgleichstransistor 62 zurückkehrt.

[0511] Mit einer derartigen Struktur wird in der Datenleseoperation ein ausgewähltes Lesebitleitungspaar mit dem Lesestrom in gleicher Weise versorgt, wie das Bitleitungspaar gemäß dem ersten Ausführungsbeispiel. Ähnlich wird in der Datenschreiboperation ein ausgewähltes Schreibbitleitungspaar mit dem Datenschreibstrom durch den korrespondierenden Ausgleichstransistor 62 in gleicher Weise

versorgt, wie das Bitleitungspaar gemäß dem ersten Ausführungsbeispiel.

[0512] Für den Fall, daß die Speicherzellen gemäß dem fünften Ausführungsbeispiel zur Reduktion des Chipbereichs in Reihen und Spalten angeordnet sind, kann die Lese- und Schreiboperationstoleranz sichergestellt werden, indem die gefaltete Bitleitungsstruktur verwendet wird.

#### Vierte Modifikation des fünften Ausführungsbeispiels

[0513] In der vierten Modifikation des fünften Ausführungsbeispiels wird die Schreibbitleitung WBL zwischen benachbarten Speicherzellen geteilt, zusätzlich zu der gefalteten Bitleitungsstruktur, wie in der dritten Modifikation des fünften Ausführungsbeispiels gezeigt.

[0514] Bezugnehmend auf Fig. 40 teilen sich in dem Speicherarray gemäß der vierten Modifikation des fünften Ausführungsbeispiels benachbarte Speicherzellen in Spaltrichtung die gemeinsame Schreibbitleitung WBL.

[0515] In der Leseoperation wird die Lese-Wort-Leitung RWL aktiviert. In jeder Lesebitleitung RBL sind Speicherzellen jeder anderen Lese-Wort-Leitung RWL bereitgestellt. Außerdem sind die Speicherzellen abwechselnd zwischen jeden benachbarten Lesebitleitungen RBL angeordnet. Folglich bildet jeder Satz von benachbarten zwei Speicherzellenspalten ein Lesebitleitungspaar, so daß die Datenleseoperation basierend auf der gefalteten Bitleitungsstruktur auf gleiche Weise durchgeführt werden kann, wie bei der dritten Modifikation des fünften Ausführungsbeispiels.

[0516] Andererseits kann die Datenschreiboperation nicht basierend auf der gefalteten Bitleitungsstruktur durchgeführt werden, da die Schreibbitleitung WBL geteilt wird. Entsprechend ist in der vierten Modifikation des fünften Ausführungsbeispiels die periphere Schaltungsanordnung, die mit der Auswahl der Schreibbitleitung WBL assoziiert ist, auf gleiche Weise angeordnet, wie in Fig. 35 gezeigt. Folglich kann wie im Falle des fünften Ausführungsbeispiels die Datenschreiboperation durchgeführt werden, indem die Datenschreibschaltung 51b mit einer einfachen Struktur verwendet wird.

[0517] Obwohl die Datenschreiboperation nicht basierend auf der gefalteten Bitleitungsstruktur durchgeführt werden kann, kann der Abstand der Schreibbitleitungen WBL in dem Speicherarray 10 erweitert werden. Als ein Ergebnis ist eine weitere verbesserte Integration des Speicherarrays 10 möglich, und folglich kann ein noch weiter reduzierter Chipbereich der MRAM-Vorrichtung erreicht werden. Verbesserte Zuverlässigkeit der MRAM-Vorrichtung kann ebenfalls erreicht werden, indem die Elektromigrationswiderstandsfähigkeit der Schreib-Wort-Leitungen WWL erhöht wird.

[0518] Obwohl Fig. 40 die Struktur zeigt, bei der die Schreibbitleitung WBL aus den Signalverdrahtungen, die mit der Datenschreiboperation assoziiert sind, zwischen benachbarten Speicherzellen geteilt wird, ist es auch möglich, die Schreib-Wort-Bitleitung WWL anstelle der Schreibbitleitung WBL zu teilen. In diesem Fall kann jedoch die Schreibbitleitung WBL nicht geteilt werden und muß in jeder Speicherzellenreihe bereitgestellt werden. Welche der Verdrahtungen geteilt werden sollte, um den Verdrahtungsabstand zu erweitern, kann aus Sicht der Strukturbedingungen bestimmt werden, aus Sicht des Designs und dergleichen, wie etwa des Abstands von dem Magnettunnelübergang MTJ.

#### Fünfte Modifikation des fünften Ausführungsbeispiels

[0519] In der fünften Modifikation des fünften Ausführungsbeispiels

rungsbeispiels wird die Lese-Wort-Leitung RWL zwischen benachbarten Speicherzellen geteilt, zusätzlich zu der gefalteten Bitleitungsstruktur der dritten Modifikation des fünften Ausführungsbeispiels:

[0520] Bezugnehmend auf Fig. 41 teilen sich in dem Speicherarray gemäß der fünften Modifikation des fünften Ausführungsbeispiels benachbarte Speicherzellen in Spaltrichtung die gleiche Lese-Wort-Leitung RWL.

[0521] Die Lese/Schreib-Steuerschaltung 60 enthält die Ausgleichstransistoren 62, die Vorladetransistoren 64 und die Schreibbitleitungsspannungssteuertransistoren 65, die auf gleiche Weise angeordnet sind, wie bei der dritten Modifikation des fünften Ausführungsbeispiels.

[0522] In der Datenschreiboperation wird die Schreib-Wort-Leitung WWL aktiviert. In jeder Schreibbitleitung WBL sind die Speicherzellen jeder anderen Schreib-Wort-Leitung WWL bereitgestellt. Darüber hinaus sind die Speicherzellen zwischen jeden benachbarten Schreibbitleitungen WBL jeweils angeordnet. Folglich kann jeder Satz von benachbarten zwei Speicherzellenreihen ein Schreibbitleitungspaar bilden. Als ein Ergebnis kann die Datenschreiboperation durchgeführt werden, basierend auf der gefalteten Bitleitungsstruktur, auf gleiche Weise wie bei der dritten Modifikation des fünften Ausführungsbeispiels, so daß die gleichen Effekte erzielt werden können.

[0523] Andererseits wird in der Datenleseoperation die Lese-Wort-Leitung RWL, die von einer Mehrzahl von Speicherzellenreihen geteilt wird, aktiviert. Folglich kann die Datenleseoperation nicht basierend auf der gefalteten Bitleitungsstruktur durchgeführt werden. Entsprechend ist in der fünften Modifikation des fünften Ausführungsbeispiels die periphere Schaltung, die mit der Auswahl der Lesebitleitung RBL assoziiert ist, auf gleiche Weise angeordnet, wie in Fig. 35 gezeigt.

[0524] Mit einer derartigen Struktur kann die Leseoperationstoleranz, die auf der gefalteten Bitleitungsstruktur basiert, nicht sichergestellt werden, jedoch kann der Abstand der Lese-Wort-Leitungen RWL in dem Speicherarray 10 erweitert werden, und die Datenleseoperation kann normal durchgeführt werden. Als ein Ergebnis kann eine verbesserte Integration des Speicherarrays 10 und folglich ein reduzierter Chipbereich der MRAM-Vorrichtung erreicht werden.

[0525] Entsprechend kann durch Durchführung der Datenschreiboperation basierend auf der gefalteten Bitleitungsstruktur unter Verwendung der Speicherzellen des fünften Ausführungsbeispiels, die Schreiboperationstoleranz sichergestellt werden, genauso wie eine vereinfachte Struktur der peripheren Schaltungsanordnung, und ein reduziertes Datenschreibrauschen kann erreicht werden. Darüber hinaus kann durch Teilen der Lese-Wort-Leitung RWL gleichzeitig auch eine verbesserte Integration des Speicherarrays 10 erreicht werden.

[0526] Obwohl Fig. 41 die Struktur zeigt, bei der die Lese-Wort-Leitung RWL aus den Signalverdrahtungen, die mit der Datenleseoperation assoziiert sind, zwischen benachbarten Speicherzellen geteilt wird, ist es ebenso möglich, die Lesebitleitung RBL anstelle der Lese-Wort-Leitung RWL zu teilen. In diesem Fall kann jedoch die Lese-Wort-Leitung RWL nicht geteilt werden und muß in jeder Speicherzellenreihe bereitgestellt werden. Welche der Verdrahtungen geteilt werden sollte, um den Verdrahtungsabstand zu erweitern, kann entsprechend aus Sicht der Strukturbedingungen, des Designs und dergleichen bestimmt werden.

#### Sechstes Ausführungsbeispiel

[0527] Bezugnehmend auf Fig. 42 unterscheidet sich die

MTJ-Speicherzelle gemäß dem sechsten Ausführungsbeispiel von der in Fig. 32 gezeigten in der Verbindung zwischen der Lesebitleitung RBL und der Schreibbitleitung WBL. Speziell ist die Lesebitleitung RBL nicht direkt mit dem Magnettunnelübergang MTJ gekoppelt, sondern mit diesem in Antwort auf ein Einschalten des Zugriffstransistors ATR gekoppelt. Außerdem wird die Schreibbitleitung WBL mit dem Magnettunnelübergang MTJ gekoppelt, um in den Lesestrompfad in der Datenleseoperation eingebunden zu werden.

[0528] Einschließlich der Ausbreitrichtung jeder Signalverdrahtung ist die Struktur im übrigen die gleiche wie in Fig. 32. Somit erfolgt keine detaillierte Beschreibung davon. Außerdem sind die Spannungs- und Stromwellenformen jeder Verdrahtung in der Datenlese- und Datenschreiboperation genauso wie in Fig. 33 gezeigt. Daher erfolgt auch hiervon keine erneute Beschreibung.

[0529] Entsprechend ist die Schreib-Wort-Leitung WWL nahe dem Magnettunnelübergang MTJ bereitgestellt, um sich senkrecht zu der Schreibbitleitung WBL zu erstrecken. Als ein Ergebnis können der Lese-Wort-Leitungstreiber 30r und der Schreib-Wort-Leitungstreiber 30w unabhängig bereitgestellt werden, wodurch die gleichen Effekte wie bei dem fünften Ausführungsbeispiel erhalten werden können.

[0530] Außerdem kann die Schreib-Wort-Leitung WWL unabhängig bereitgestellt werden, ohne mit den anderen Bereichen der MTJ-Speicherzelle gekoppelt zu sein. Folglich kann die Schreib-Wort-Leitung WWL willkürlich angeordnet werden, um so die Magnetkopplung mit dem Magnettunnelübergang MTJ zu verbessern.

[0531] Außerdem ist die Lesebitleitung RBL mit dem Magnettunnelübergang MTJ durch den Zugriffstransistor ATR gekoppelt. Folglich wird die Anzahl der Magnettunnelübergänge MTJ, die mit den Lesebitleitungen RBL gekoppelt sind, reduziert, und die Kapazität der Lesebitleitung RBL wird reduziert. Als ein Ergebnis kann die Datenlesegeschwindigkeit erhöht werden.

[0532] Bezugnehmend auf Fig. 43 wird in der MTJ-Speicherzelle gemäß dem sechsten Ausführungsbeispiel die Lesebitleitung RBL in der ersten Metallverdrahtungsschicht M1 bereitgestellt, um so elektrisch mit der Source/Drain-Region 110 des Zugriffstransistors ATR gekoppelt zu sein. Die Lese-Wort-Leitung RWL wird in der gleichen Schicht bereitgestellt, wie das Gate 130 des Zugriffstransistors ATR. Die Source/Drain-Region 120 des Zugriffstransistors ATR ist durch die Metallverdrahtungen, die in der ersten und zweiten Metallverdrahtungsschicht M1 und M2 bereitgestellt sind, das Barrieremetall 140 und den Metallfilm 150, der in dem Kontaktloch bereitgestellt ist, mit dem Magnettunnelübergang MTJ gekoppelt.

[0533] Der Magnettunnelübergang MTJ ist zwischen der zweiten und dritten Metallverdrahtungsschicht M2 und M3 bereitgestellt. Die Schreibbitleitung WBL ist in der dritten Metallverdrahtungsschicht M3 bereitgestellt, um so elektrisch mit dem Magnettunnelübergang MTJ gekoppelt zu sein. Die Schreib-Wort-Leitung WWL ist in der zweiten Metallverdrahtungsschicht M2 bereitgestellt. Gleichzeitig ist die Schreib-Wort-Leitung WWL bereitgestellt, um so eine verbesserte Magnetkopplung mit dem Magnettunnelübergang MTJ zu ermöglichen.

[0534] In der MTJ-Speicherzelle gemäß dem sechsten Ausführungsbeispiel kann der Abstand zwischen der Schreibbitleitung WBL und dem Magnettunnelübergang MTJ reduziert werden, verglichen mit der MTJ-Speicherzelle des fünften Ausführungsbeispiels, wie in Fig. 34 gezeigt. Entsprechend kann die Menge von Datenschreibstrom, der durch die Schreibbitleitung WBL fließt, reduziert werden.

[0535] Die Schreib-Wort-Leitung WWL ist weiter weg von dem Magnetunnelübergang MTJ angeordnet als die Schreibbitleitung WBL. Folglich muß in der MTJ-Speicherzelle gemäß dem sechsten Ausführungsbeispiel ein relativ großer Datenschreibstrom an die Schreib-Wort-Leitung WWL angelegt werden.

[0536] Bezugnehmend auf Fig. 44 sind in dem Speicherarray gemäß dem sechsten Ausführungsbeispiel die Speicherzellen MC mit der Struktur nach Fig. 42 in Reihen und Spalten angeordnet. Die Lese-Wort-Leitungen RWL und die Schreib-Wort-Leitungen WWL erstrecken sich jeweils in Reihen- und Spaltenrichtung. Die Lesebitleitungen RBL und die Schreibbitleitungen WBL erstrecken sich jeweils in Spalten- und Reihenrichtung.

[0537] Benachbarte Speicherzellen in Reihenrichtung teilen sich die Lesebitleitung RBL, und benachbarte Speicherzellen in Spaltenrichtung teilen sich die Schreibbitleitung WBL.

[0538] Die Speicherzellengruppe der ersten und zweiten Speicherzellenspalte teilen sich zum Beispiel die gleiche Lesebitleitung RBL1, und die Speicherzellengruppe der dritten und vierten Speicherzellenspalte teilen sich die gleiche Lesebitleitung RBL2. Außerdem teilen sich die Speicherzellengruppe der zweiten und dritten Speicherzellenreihe die Schreibbitleitung WBL2. In den folgenden Speicherzellenreihen und Spalten sind die Lesebitleitungen RBL und die Schreibbitleitungen WBL ähnlich angeordnet.

[0539] Falls die Daten von einer Mehrzahl von Speicherzellen MC der gleichen Lesebitleitung RBL gelesen bzw. auf eine Mehrzahl von Speicherzellen MC der gleichen Schreibbitleitung WBL geschrieben werden, tritt Datenkollision auf. Entsprechend sind die Speicherzellen MC abwechselnd angeordnet.

[0540] Mit einer derartigen Struktur können die Abstände der Lesebitleitungen RBL und der Schreibbitleitungen WBL in dem Speicherarray 10 erweitert werden, wie im Falle des fünften Ausführungsbeispiels. Als ein Ergebnis können die Speicherzellen MC effektiv angeordnet werden, wodurch eine verbesserte Integration des Speicherarrays 10 genauso wie ein reduzierter Chipbereich der MRAM-Vorrichtung erreicht werden kann.

[0541] Da die Struktur der peripheren Schaltungsanordnung zur selektiven Lieferung des Datenschreibstroms und des Lese Stroms an die Lesebitleitung RBL und die Schreibbitleitung WBL die gleiche ist, wie in Fig. 35 gezeigt, erfolgt keine erneute Beschreibung davon.

#### Erste Modifikation des sechsten Ausführungsbeispiels

[0542] Bezugnehmend auf Fig. 45 teilen sich in dem Speicherarray gemäß der ersten Modifikation des sechsten Ausführungsbeispiels benachbarte Speicherzellen die gleiche Schreib-Wort-Leitung WWL. Die Speicherzellengruppe der zweiten und dritten Speicherzellenspalte teilen sich zum Beispiel eine einzelne Schreib-Wort-Leitung WWL2. In den folgenden Speicherzellenspalten sind die Schreib-Wort-Leitungen WWL ähnlich angeordnet.

[0543] Zur Durchführung der normalen Datenschreiboperation darf eine Mehrzahl von Speicherzellen MC nicht auf der Kreuzung der gleichen Schreib-Wort-Leitung WWL und der gleichen Schreibbitleitung WBL vorhanden sein. Entsprechend sind die Speicherzellen MC abwechselnd angeordnet.

[0544] Außerdem teilen sich ähnlich wie beim sechsten Ausführungsbeispiel benachbarte Speicherzellen in Reihenrichtung die Lesebitleitung RBL.

[0545] Da die Struktur der peripheren Schaltungsanordnung, die mit der Datenlese- und Datenschreiboperation

durch die Lesebitleitung RBL und die Schreibbitleitung WBL assoziiert ist, ebenso wie die Speicherzellenoperation beim Lesen und Schreiben der Daten die gleichen sind wie gemäß dem sechsten Ausführungsbeispiel, erfolgt keine erneute Beschreibung davon.

[0546] Wie oben beschrieben, muß in der MTJ-Speicherzelle gemäß dem sechsten Ausführungsbeispiel ein relativ großer Datenschreibstrom an die Schreib-Wort-Leitung WWL angelegt werden. Entsprechend wird die Schreib-Wort-Leitung WWL zwischen benachbarten Speicherzellen geteilt, um den Leitungsabstand sicherzustellen. Als ein Ergebnis wird die Leitungsbreite, also der Querschnittsbereich der Schreib-Wort-Leitung WWL sichergestellt, so daß die Stromdichte reduziert wird. Als ein Ergebnis kann eine verbesserte Zuverlässigkeit der MRAM-Vorrichtung erzielt werden. Wie bereits oben für die verbesserte Betriebszuverlässigkeit beschrieben, ist es ebenso effektiv, ein Material für diese Verdrahtungen aus Sicht der Elektromigrationswiderstandsfähigkeit auszuwählen.

#### Zweite Modifikation des sechsten Ausführungsbeispiels

[0547] Bezugnehmend auf Fig. 46 teilen sich in dem Speicherarray gemäß der zweiten Modifikation des sechsten Ausführungsbeispiels benachbarte Speicherzellen ebenso in Spaltenrichtung die gleiche Lese-Wort-Leitung RWL. Zum Beispiel teilen sich die Speicherzellengruppe der zweiten und dritten Speicherzellenreihe die gleiche Lese-Wort-Leitung RWL2. In den folgenden Speicherzellenreihen sind die Lese-Wort-Leitungen RWL ähnlich angeordnet.

[0548] Zur Durchführung der normalen Leseoperation darf eine Mehrzahl von Speicherzellen MC, die durch die gemeinsame Lese-Wort-Leitung RWL ausgewählt sind, nicht gleichzeitig mit der gleichen Lesebitleitung RBL gekoppelt sein. Entsprechend ist die Lesebitleitung RBL in jeder Speicherzellenspalte bereitgestellt, und die Speicherzellen MC sind abwechselnd angeordnet.

[0549] Mit einer derartigen Struktur kann der Abstand der Schreib-Wort-Leitungen WWL in dem Speicherarray 10 erweitert werden. Als ein Ergebnis können die Speicherzellen MC effektiv angeordnet werden, wodurch eine verbesserte Integration des Speicherarrays 10 genauso wie ein reduzierter Chipbereich der MRAM-Vorrichtung erreicht werden kann.

#### Dritte Modifikation des sechsten Ausführungsbeispiels

[0550] Bezugnehmend auf Fig. 47 ist für die Speicherzellen mit der Struktur gemäß dem sechsten Ausführungsbeispiel und der Anordnung in Reihen und Spalten die gefaltete Bitleitungsstruktur in jedem Satz von benachbarten zwei Speicherzellenspalten realisiert, unter Verwendung korrespondierender zwei Lesebitleitungen RBL. Zum Beispiel kann ein Lesebitleitungspaar aus den Lesebitleitungen RBL1 und RBL2 (/RBL1) jeweils korrespondierend zu dem ersten und zweiten Speicherzellenspalten gebildet werden.

[0551] Ähnlich ist die gefaltete Bitleitungsstruktur in jedem Satz von benachbarten zwei Speicherzellenreihen realisiert, indem korrespondierende zwei Schreibbitleitungen WBL verwendet werden. Zum Beispiel kann ein Schreibbitleitungspaar aus den Schreibbitleitungen WBL1 und WBL2 (/WBL1) jeweils korrespondierend zu den ersten und zweiten Speicherzellenreihen gebildet werden.

[0552] Die Struktur der peripheren Schaltungsanordnungen zur Durchführungen der Reihenauswahl aus den Schreibbitleitungen WBL und /WBL des Schreibbitleitungspaares und zur Lieferung des Datenschreibstroms  $\pm I_w$  an diese und zur Durchführung der Spaltauswahl aus den

Lesebitleitungen RBL und /RBL der Lesebitleitungspaare und zur Lieferung des Lesestroms  $I_s$  an diese, ist genauso wie in Fig. 39 gezeigt. Folglich wird keine erneute Beschreibung davon gegeben.

[0553] Entsprechend können, selbst wenn die Speicherzellen gemäß dem sechsten Ausführungsbeispiel in Reihen und Spalten angeordnet sind, die Lese- und Schreiboperationstoleranzen sichergestellt werden, indem die gefaltete Bitleitungsstruktur verwendet wird.

#### Vierte Modifikation des sechsten Ausführungsbeispiels

[0554] In der vierten Modifikation des sechsten Ausführungsbeispiels wird die Schreibbitleitung WBL zwischen benachbarten Speicherzellen geteilt, zusätzlich zu der gefalteten Bitleitungsstruktur, wie in der dritten Modifikation des sechsten Ausführungsbeispiels gezeigt.

[0555] Bezugnehmend auf Fig. 48 teilen sich in dem Speicherarray gemäß der vierten Modifikation des sechsten Ausführungsbeispiels benachbarte Speicherzellen in Spaltrichtung die gleiche Schreibbitleitung WBL.

[0556] In der Leseoperation wird die Lesewortleitung RWL aktiviert. In jeder Lesebitleitung RBL sind die Speicherzellen jede andere Lese-Wort-Leitung RWL bereitgestellt. Außerdem sind die Speicherzellen abwechselnd zwischen jeden benachbarten Lesebitleitungen RWL bereitgestellt. Folglich bildet jeder Satz von benachbarten zwei Speicherzellenspalten ein Lesebitleitungspaar, so daß die Datenleseoperation basierend auf der gefalteten Bitleitungsstruktur auf gleiche Weise durchgeführt werden kann, wie gemäß der dritten Modifikation des sechsten Ausführungsbeispiels.

[0557] Andererseits kann die Datenschreiboperation nicht basierend auf der gefalteten Bitleitungsstruktur durchgeführt werden, da die Schreibbitleitung WBL geteilt wird. Entsprechend ist in der vierten Modifikation des sechsten Ausführungsbeispiels die periphere Schaltungsanordnung, die mit der Auswahl der Schreibbitleitung WBL assoziiert ist, auf gleiche Weise angeordnet, wie in Fig. 44 gezeigt. Folglich kann wie im Falle des sechsten Ausführungsbeispiels die Datenschreiboperation unter Verwendung der Datenschreibschaltung 51b mit einer einfachen Struktur durchgeführt werden.

[0558] Obwohl die Datenschreiboperation nicht basierend auf der gefalteten Bitleitungsstruktur durchgeführt werden kann, kann der Abstand der Schreibbitleitungen WBL in dem Speicherarray 10 erweitert werden. Als ein Ergebnis kann eine weiter verbesserte Integration des Speicherarrays 10 und ein weiter reduzierter Chipbereich der MRAM-Vorrichtung erreicht werden.

[0559] Obwohl Fig. 48 die Struktur zeigt, bei der die Schreibbitleitung WBL von den Signalverdrahtungen, die mit der Datenschreiboperation assoziiert sind, zwischen benachbarten Speicherzellen geteilt wird, ist es ebenso möglich, die Schreib-Wort-Leitung WWL anstelle der Schreibbitleitung WBL zu teilen. In diesem Fall kann jedoch die Schreibbitleitung WBL nicht geteilt werden und muß in jeder Speicherzellenreihe bereitgestellt werden. Welche der Verdrahtungen geteilt werden sollte, um den Verdrahtungsabstand zu erweitern, kann aus Sicht des Abstandes vom Magnetunnelübergang MTJ und dergleichen bestimmt werden.

#### Fünfte Modifikation des sechsten Ausführungsbeispiels

[0560] In der fünften Modifikation des sechsten Ausführungsbeispiels wird die Lese-Wort-Leitung RWL zwischen benachbarten Speicherzellen geteilt, zusätzlich zu der gefal-

teten Bitleitungsstruktur der dritten Modifikation des sechsten Ausführungsbeispiels.

[0561] Bezugnehmend auf Fig. 49 teilen sich in dem Speicherarray gemäß der fünften Modifikation des sechsten Ausführungsbeispiels benachbarte Speicherzellen in Spaltrichtung die gleiche Lese-Wort-Leitung RWL.

[0562] Die Lese/Schreib-Steuerschaltung 60 enthält die Ausgleichstransistoren 62, die Vorladetransistoren 64 und die Schreibbitleitungsspannungssteuertransistoren 65, die auf gleiche Weise angeordnet sind, wie bei der dritten Modifikation des sechsten Ausführungsbeispiels.

[0563] In der Datenschreiboperation wird die Schreib-Wort-Leitung WWL aktiviert. In jeder Schreibbitleitung WBL sind die Speicherzellen jede andere Schreib-Wort-Leitung WWL bereitgestellt. Außerdem sind die Speicherzellen abwechselnd zwischen jeden benachbarten Schreibbitleitungen WBL angeordnet. Folglich kann jeder Satz benachbarter zwei Speicherzellenreihen ein Schreibbitleitungspaar bilden. Als ein Ergebnis kann die Datenschreiboperation basierend auf der gefalteten Bitleitungsstruktur auf gleiche Weise durchgeführt werden, wie bei der dritten Modifikation des fünften Ausführungsbeispiels, so daß die gleichen Effekte erzielt werden können.

[0564] Andererseits wird in der Datenleseoperation die Lese-Wort-Leitung RWL, die durch eine Mehrzahl von Speicherzellenreihen geteilt wird, aktiviert. Folglich kann die Datenleseoperation nicht basierend auf der gefalteten Bitleitungsstruktur durchgeführt werden. Entsprechend ist in der fünften Modifikation des sechsten Ausführungsbeispiels die periphere Schaltungsanordnung, die mit der Auswahl der Lesebitleitung RBL assoziiert ist, in gleicher Weise angeordnet, wie in Fig. 44 gezeigt.

[0565] Mit einer derartigen Struktur kann die Leseoperationstoleranz basierend auf der gefalteten Bitleitungsstruktur nicht sichergestellt werden; jedoch kann der Abstand der Lese-Wort-Leitungen RWL in dem Speicherarray 10 erweitert werden, und die Datenleseoperation kann normal durchgeführt werden. Als ein Ergebnis kann eine verbesserte Integration des Speicherarrays 10 und folglich ein reduzierter Chipbereich der MRAM-Vorrichtung erreicht werden.

[0566] Entsprechend kann durch Durchführung der Datenschreiboperation basierend auf der gefalteten Bitleitungsstruktur unter Verwendung der Speicherzellen gemäß dem sechsten Ausführungsbeispiel die Schreiboperationstoleranz sichergestellt werden, genauso wie eine vereinfachte Struktur der peripheren Schaltungsanordnung, und reduziertes Datenschreibrauschen kann erhalten werden. Außerdem kann gleichzeitig durch das Teilen der Lese-Wort-Leitung RWL eine verbesserte Integration des Speicherarrays 10 erreicht werden.

[0567] Obwohl Fig. 49 die Struktur zeigt, bei der die Lese-Wort-Leitung RWL von den Signalverdrahtungen, die mit der Datenleseoperation assoziiert sind, zwischen benachbarten Speicherzellen geteilt wird, ist es ebenso möglich, die Lesebitleitung RBL anstelle der Lese-Wort-Leitung RWL zu teilen. In diesem Fall kann jedoch nicht die Lese-Wort-Leitung RWL geteilt werden und muß in jeder Speicherzellenreihe bereitgestellt werden. Welche der Verdrahtungen geteilt werden sollte, um den Verdrahtungsabstand zu erweitern, kann entsprechend aus Sicht der Strukturbedingungen, des Designs und dergleichen bestimmt werden.

#### Siebtes Ausführungsbeispiel

[0568] Bezugnehmend auf Fig. 50 wird in der MTJ-Speicherzelle gemäß dem siebten Ausführungsbeispiel die Lesebitleitung RBL an den Magnetunnelübergang MTJ durch den Zugriffstransistor ATR gekoppelt. Der Magnetunnel-

übergang MTJ ist zwischen der Schreib-Wort-Leitung WWL und dem Zugriffstransistor ATR gekoppelt. Die Lese-Wort-Leitung RWL ist an das Gate des Zugriffstransistors ATR gekoppelt. In der Struktur nach Fig. 50 erstrecken sich die Lese-Wort-Leitung RWL und die Schreib-Wort-Leitung WWL senkrecht zueinander.

[0569] Bezugnehmend auf Fig. 51 ist die Lesebitleitung RBL in der Metallverdrahtungsschicht M1 bereitgestellt. Die Lese-Wort-Leitung RWL ist in der gleichen Schicht gebildet, wie das Gate 130 des Zugriffstransistors ATR. Die Lesebitleitung RBL ist mit der Source/Drain-Region 110 des Zugriffstransistors ATR gekoppelt. Die Source/Drain-Region 120 ist durch die Metallverdrahtungen, die in der ersten und zweiten Metallverdrahtungsschicht M1 und M2 bereitgestellt sind, das Barrieremetall 140 und den in dem Kontaktloch bereitgestellten Metallfilm 150 mit dem Magnetunnelübergang MTJ gekoppelt.

[0570] Die Schreibbitleitung WBL ist in der zweiten Metallverdrahtungsschicht M2 nahe dem Magnetunnelübergang MTJ bereitgestellt. Die Schreib-Wort-Leitung WWL ist in der dritten Metallverdrahtungsschicht M3 bereitgestellt, um elektrisch mit dem Magnetunnelübergang MTJ gekoppelt zu sein.

[0571] Mit einer derartigen Struktur ist die Lesebitleitung RBL an den Magnetunnelübergang MTJ durch den Zugriffstransistor ATR gekoppelt. Entsprechend ist die Lesebitleitung RBL nur an die zu lesende MTJ-Speicherzelle MC elektrisch gekoppelt, also an die MTJ-Speicherzelle MC der Speicherzellenreihe, die zu der Lese-Wort-Leitung RWL korrespondiert, die auf den ausgewählten Zustand (H-Pegel) aktiviert ist. Entsprechend kann die Kapazität der Lesebitleitung RBL reduziert werden, wodurch eine Hochgeschwindigkeitsdatenleseoperation erreicht werden kann.

[0572] In der MTJ-Speicherzelle gemäß dem siebten Ausführungsbeispiel sind die Spannungs- und Stromwellenformen jeder Verdrahtung in der Datenlese- und Datenschreiboperation die gleichen, wie in Fig. 33 gezeigt. Folglich erfolgt keine erneute detaillierte Beschreibung davon.

[0573] In der MTJ-Speicherzelle gemäß dem siebten Ausführungsbeispiel kann der Abstand zwischen der Schreibbitleitung WBL und dem Magnetunnelübergang MTJ reduziert werden, verglichen zu der MTJ-Speicherzelle gemäß dem in Fig. 34 gezeigten fünften Ausführungsbeispiel. Entsprechend kann die Menge an Datenschreibstrom, der durch die Schreibbitleitung WBL fließt, reduziert werden.

[0574] Die Schreibbitleitung WBL ist weiter weg von dem Magnetunnelübergang MTJ angeordnet (lokalisiert) als die Schreib-Wort-Leitung WWL. Folglich muß in der MTJ-Speicherzelle gemäß dem siebten Ausführungsbeispiel ein relativ großer Datenschreibstrom an die Schreibbitleitung WBL angelegt werden.

[0575] Bezugnehmend auf Fig. 52 sind in dem Speicherarray gemäß dem siebten Ausführungsbeispiel die Speicherzellen MC, wie in Fig. 50 gezeigt, in Reihen und Spalten angeordnet. Die Lese-Wort-Leitungen RWL und die Schreib-Wort-Leitungen WWL erstrecken sich jeweils in Reihen- und Spaltenrichtung. Die Lesebitleitungen RBL und die Schreibbitleitungen WBL erstrecken sich jeweils in Spalten- und Reihenrichtung.

[0576] Benachbarte Speicherzellen in Reihenrichtung teilen sich die Lesebitleitung RBL, und benachbarte Speicherzellen in Spaltenrichtung teilen sich die Schreibbitleitung WBL.

[0577] Die Speicherzellengruppe der ersten und zweiten Speicherzellenspalte teilen sich zum Beispiel die gleiche Lesebitleitung RBL1, und die Speicherzellengruppe der dritten und vierten Speicherzellenspalte teilen sich die gleiche Lesebitleitung RBL2. Außerdem teilen sich die Spei-

cherzellengruppe der zweiten und dritten Speicherzellenreihe die Schreibbitleitung WBL2. In den folgenden Speicherzellenreihen und -spalten sind die Lesebitleitungen RBL und die Schreibbitleitungen WBL ähnlich angeordnet.

[0578] Falls die Daten, die von einer Mehrzahl von Speicherzellen MC der gleichen Lesebitleitung RBL zu lesen oder auf eine Mehrzahl von Speicherzellen MC der Schreibbitleitung WBL zu schreiben sind, tritt Datenkollision auf. Entsprechend sind die Speicherzellen MC abwechselnd angeordnet.

[0579] Mit einer derartigen Struktur können die Abstände der Lesebitleitungen RBL und die Schreibbitleitungen WBL in dem Speicherarray 10 erweitert werden. Als ein Ergebnis können die Speicherzellen MC effektiv angeordnet werden, wodurch eine verbesserte Integration des Speicherarrays 10 erreicht werden kann, genauso wie ein reduzierter Chipbereich der MRAM-Vorrichtung.

[0580] Da die Struktur der peripheren Schaltungsanordnung zur selektiven Lieferung des Datenschreibstroms und des Lesestroms an die Lesebitleitung RBL und die Schreibbitleitung WBL genauso ist, wie die in Fig. 35 gezeigte, erfolgt keine wiederholte, detaillierte Beschreibung davon.

[0581] Wie oben beschrieben, muß in der MTJ-Speicherzelle gemäß dem siebten Ausführungsbeispiel ein relativ großer Datenschreibstrom an die Schreibbitleitung WBL angelegt werden. Entsprechend wird die Schreibbitleitung WBL zwischen benachbarten Speicherzellen geteilt, um den Leitungsabstand dieser sicherzustellen. Als ein Ergebnis wird die Leitungsbreite, also der Querschnittsbereich der Schreibbitleitung WBL sichergestellt, so daß deren Stromdichte reduziert werden kann. Als ein Ergebnis kann eine verbesserte Zuverlässigkeit der MRAM-Vorrichtung erreicht werden. Wie oben beschrieben, ist es für verbesserte Betriebszuverlässigkeit auch wirkungsvoll, aus Sicht der Elektromigrationswiderstandsfähigkeit ein Material für diese Verdrahtungen auszuwählen.

#### Erste Modifikation des siebten Ausführungsbeispiels

[0582] Bezugnehmend auf Fig. 53 teilen sich in dem Speicherarray gemäß der ersten Modifikation des siebten Ausführungsbeispiels benachbarte Speicherzellen die gleiche Schreib-Wort-Leitung WWL. Zum Beispiel teilen sich die Speicherzellengruppe der zweiten und dritten Speicherzellenspalte eine einzelne Schreib-Wort-Leitung WWL2. In den folgenden Speicherzellenspalten sind Schreib-Wort-Leitungen WWL ähnlich angeordnet.

[0583] Zur Durchführung der normalen Datenschreiboperation darf eine Mehrzahl von Speicherzellen MC nicht auf der Verbindung der gleichen Schreib-Wort-Leitung WWL und der gleichen Schreibbitleitung WBL vorhanden sein. Entsprechend sind die Speicherzellen MC abwechselnd angeordnet.

[0584] Außerdem teilen sich ähnlich wie beim siebten Ausführungsbeispiel benachbarte Speicherzellen in der Reihenrichtung die Lesebitleitung RBL.

[0585] Da die Struktur der peripheren Schaltungsanordnung, die mit der Datenlese- und Datenschreiboperation durch die Lesebitleitung RBL und die Schreibbitleitung WBL assoziiert ist, ebenso wie die Speicherzellenoperation beim Lesen und Schreiben der Daten, die gleichen sind, wie gemäß dem siebten Ausführungsbeispiel, erfolgt keine erneute Beschreibung davon.

[0586] Mit einer derartigen Struktur können die Abstände der Lesebitleitungen RBL und der Schreib-Wort-Leitungen WWL in dem Speicherarray 10 erweitert werden. Als ein Ergebnis können die Speicherzellen MC effektiv angeordnet werden, wodurch eine verbesserte Integration des Speicher-

arrays 10 erreicht wird, genauso wie ein reduzierter Chipbereich der MRAM-Vorrichtung.

#### Zweite Modifikation des siebten Ausführungsbeispiels

[0587] Bezugnehmend auf Fig. 54 teilen sich in dem Speicherarray gemäß der zweiten Modifikation des siebten Ausführungsbeispiels benachbarte Speicherzellen in Spaltrichtung die gleiche Lese-Wort-Leitung RWL. Zum Beispiel teilen sich die Speicherzellengruppe der zweiten und dritten Speicherzellenreihe die gleiche Lese-Wort-Leitung RWL2. In den folgenden Speicherzellenreihen sind die Lese-Wort-Leitungen RWL ähnlich angeordnet.

[0588] Außerdem teilen sich benachbarte Speicherzellen in Reihenrichtung die gleiche Schreib-Wort-Leitung WWL. Zum Beispiel teilen sich die Speicherzellengruppe der zweiten und dritten Speicherzellenspalte die gleiche Schreib-Wort-Leitung WWL2. In den folgenden Speicherzellenspalten sind die Schreib-Wort-Leitungen WWL ähnlich angeordnet.

[0589] Zur Durchführung der normalen Datenlese- und Datenschreiboperation darf eine Mehrzahl von Speicherzellen MC, die durch die gleich Lese-Wort-Leitung RWL oder Schreib-Wort-Leitung WWL ausgewählt sind, nicht gleichzeitig mit der gleichen Lesebitleitung RBL oder Schreibbitleitung WBL gekoppelt sein. Entsprechend sind die Lesebitleitung RBL und die Schreibbitleitung WBL in jeder Speicherzellenspalte und jeder Speicherzellenreihe jeweils angeordnet, und die Speicherzellen sind abwechselnd angeordnet.

[0590] Da die Struktur im übrigen die gleiche ist, wie gemäß dem siebten Ausführungsbeispiel, erfolgt keine erneute detaillierte Beschreibung davon.

[0591] Mit einer derartigen Struktur können die Abstände der Schreib-Wort-Leitungen WWL und der Lese-Wort-Leitungen RWL in dem Speicherarray 10 erweitert werden. Als ein Ergebnis können die Speicherzellen MC effektiver angeordnet werden, wodurch eine verbesserte Integration des Speicherarrays 10 erreicht wird, genauso wie ein reduzierter Chipbereich der MRAM-Vorrichtung.

#### Dritte Modifikation des siebten Ausführungsbeispiels

[0592] Bezugnehmend auf Fig. 55 wird für die Speicherzellen mit der Struktur gemäß dem siebten Ausführungsbeispiel und der Anordnung in Reihen und Spalten die gefaltete Bitleitungsstruktur in jedem Satz von benachbarten zwei Speicherzellenspalten realisiert, indem entsprechende zwei Lesebitleitungen RBL verwendet werden. Zum Beispiel kann ein Lesebitleitungspaar aus den Lesebitleitungen RBL1 und RBL2 (/RBL1) jeweils entsprechend zu der ersten und zweiten Speicherzellenspalte gebildet werden.

[0593] Ähnlich wird die gefaltete Bitleitungsstruktur in jedem Satz von benachbarten zwei Speicherzellenreihen realisiert, indem entsprechende zwei Schreibbitleitungen WBL verwendet werden. Zum Beispiel kann ein Schreibbitleitungspaar aus den Schreibbitleitungen WBL1 und WBL2 (/WBL1) jeweils korrespondierend zu der ersten und zweiten Speicherzellenreihe gebildet werden.

[0594] Die Struktur der peripheren Schaltungsanordnung zur Durchführung der Reihenauswahl aus den Schreibbitleitungen WBL und /WBL der Schreibbitleitungspaare und zur Lieferung des Datenschreibstroms  $\pm I_w$  an diese, und zur Durchführung der Spaltauswahl aus den Lesebitleitungen RBL und /RBL des Lesebitleitungspaars und zur Lieferung des Lesestroms  $I_s$  an diese, ist genauso wie in Fig. 39 gezeigt. Somit erfolgt keine erneute detaillierte Beschreibung davon.

[0595] Selbst wenn die Speicherzellen gemäß dem siebten Ausführungsbeispiel in Reihen und Spalten angeordnet sind, können entsprechend die Lese- und Schreiboperationstoleranzen sichergestellt werden, indem die gefaltete Bitleitungsstruktur verwendet wird.

#### Vierte Modifikation des siebten Ausführungsbeispiels

[0596] In der vierten Modifikation des siebten Ausführungsbeispiels wird die Schreib-Wort-Leitung WWL zwischen benachbarten Speicherzellen geteilt, zusätzlich zu der gefalteten Bitleitungsstruktur, wie in der dritten Modifikation des siebten Ausführungsbeispiels gezeigt.

[0597] Bezugnehmend auf Fig. 56 teilen sich in dem Speicherarray gemäß der vierten Modifikation des siebten Ausführungsbeispiels benachbarte Speicherzellen in Reihenrichtung die gleiche Schreib-Wort-Leitung WWL.

[0598] In der Leseoperation wird die Lese-Wort-Leitung RWL aktiviert. In jeder Lesebitleitung RBL sind die Speicherzellen jede andere Lese-Wort-Leitung RWL bereitgestellt. Außerdem sind die Speicherzellen abwechselnd zwischen jeder der benachbarten Lesebitleitungen RBL angeordnet. Folglich bildet jeder Satz von benachbarten zwei Speicherzellenspalten ein Lesebitleitungspaar, so daß die Datenleseoperation basierend auf der gefalteten Bitleitungsstruktur durchgeführt werden kann, ähnlich wie bei der dritten Modifikation des siebten Ausführungsbeispiels.

[0599] Andererseits kann die Datenschreiboperation nicht basierend auf der gefalteten Bitleitungsstruktur durchgeführt werden, da die Schreib-Wort-Leitung WWL geteilt wird. Entsprechend ist in der vierten Modifikation des siebten Ausführungsbeispiels die periphere Schaltungsanordnung, die mit der Auswahl der Schreibbitleitung WBL assoziiert ist, auf gleiche Weise angeordnet, wie in Fig. 52 gezeigt. Folglich kann wie im Falle des siebten Ausführungsbeispiels die Datenschreiboperation durchgeführt werden, indem die Datenschreibschaltung 51b mit einer einfachen Struktur verwendet wird.

[0600] Obwohl die Datenschreiboperation nicht basierend auf der gefalteten Bitleitungsstruktur durchgeführt werden kann, kann der Abstand der Schreib-Wort-Leitungen WWL in dem Speicherarray 10 erweitert werden. Als ein Ergebnis kann eine weiter verbesserte Integration des Speicherarrays 10 erreicht werden und folglich ein weiter reduzierter Chipbereich der MRAM-Vorrichtung.

[0601] Obwohl Fig. 56 die Struktur zeigt, bei der die Schreibwort-Leitung WWL aus den Signalverdrahtungen, die mit der Datenschreiboperation assoziiert sind, zwischen benachbarten Speicherzellen geteilt wird, ist es ebenso möglich, die Schreibbitleitung WBL anstelle der Schreib-Wort-Leitung WWL zu teilen. In diesem Fall kann jedoch die Schreib-Wort-Leitung WWL nicht geteilt werden und muß in jeder Speicherzellenspalte bereitgestellt werden. Welche der Verdrahtungen geteilt werden sollte, um den Verdrahtungsabstand zu erweitern, kann aus Sicht des Abstandes vom Magnetunnelübergang MTJ und dergleichen bestimmt werden.

#### Fünfte Modifikation des siebten Ausführungsbeispiels

[0602] In der fünften Modifikation des siebten Ausführungsbeispiels wird die Lese-Wort-Leitung RWL zwischen benachbarten Speicherzellen geteilt, zusätzlich zu der gefalteten Bitleitungsstruktur der dritten Modifikation des siebten Ausführungsbeispiels.

[0603] Bezugnehmend auf Fig. 57 teilen sich in dem Speicherarray gemäß der fünften Modifikation des siebten Ausführungsbeispiels benachbarte Speicherzellen in Spaltrichtung

tung die gleiche Lese-Wort-Leitung RWL.

[0604] Die Lese/Schreib-Steuerschaltung 60 enthält die Ausgleichstransistoren 62, die Vorladetransistoren 64 und die Schreibbitleitungsspannungssteuertransistoren 65, die auf gleiche Weise angeordnet sind, wie bei der dritten Modifikation des siebten Ausführungsbeispiels.

[0605] In der Datenschreiboperation wird die Schreib-Wort-Leitung WWL aktiviert. In jeder Schreibbitleitung WBL sind die Speicherzellen jede andere Schreib-Wort-Leitung WWL bereitgestellt. Außerdem sind die Speicherzellen abwechselnd zwischen jeden benachbarten Schreibbitleitungen WBL angeordnet. Folglich kann jeder Satz von benachbarten zwei Speicherzellenreihen ein Schreibbitleitungspaar bilden. Als ein Ergebnis kann die Datenschreiboperation basierend auf der gefalteten Bitleitungsstruktur auf gleiche Weise durchgeführt werden, wie bei der dritten Modifikation des fünften Ausführungsbeispiels, so daß die gleichen Wirkungen erzielt werden können.

[0606] Andererseits wird in der Datenleseoperation die Lese-Wort-Leitung RWL, die von einer Mehrzahl von Speicherzellenreihen geteilt wird, aktiviert. Folglich kann die Datenleseoperation nicht basierend auf der gefalteten Bitleitungsstruktur durchgeführt werden. Entsprechend ist in der fünften Modifikation des siebten Ausführungsbeispiels die periphere Schaltungsanordnung, die mit der Auswahl der Lesebitleitung RBL assoziiert ist, auf gleiche Weise angeordnet, wie in Fig. 52 gezeigt.

[0607] Mit einer derartigen Struktur kann die Leseoperationstoleranz basierend auf der gefalteten Bitleitungsstruktur nicht sichergestellt werden; jedoch kann der Abstand der Lese-Wort-Leitungen RWL in dem Speicherarray 10 erweitert werden, und die Datenleseoperation kann normal durchgeführt werden. Als ein Ergebnis kann eine verbesserte Integration des Speicherarrays 10 erreicht werden und folglich ein reduzierter Chipbereich der MRAM-Vorrichtung.

[0608] Entsprechend kann durch Durchführung der Datenschreiboperation, basierend auf der gefalteten Bitleitungsstruktur, indem die Speicherzellen des siebten Ausführungsbeispiels verwendet werden, die Schreiboperationstoleranz sichergestellt werden, genauso wie eine einfache Struktur der peripheren Schaltungsanordnung, und es kann ein reduziertes Datenschreibrauschen erreicht werden. Außerdem kann gleichzeitig durch Teilen der Lese-Wort-Leitung RWL eine verbesserte Integration des Speicherarrays 10 erreicht werden.

[0609] Obwohl Fig. 57 die Struktur zeigt, bei der die Lese-Wort-Leitung RWL aus den Signalverdrahtungen, die mit der Datenleseoperation assoziiert sind, zwischen benachbarten Speicherzellen geteilt wird, ist es ebenso möglich, die Lesebitleitung RBL anstelle der Lese-Wort-Leitung RWL zu teilen. In diesem Fall kann jedoch die Lese-Wort-Leitung RWL nicht geteilt werden und muß in jeder Speicherzellenreihe bereitgestellt werden. Welche der Verdrahtungen geteilt werden soll, um den Verdrahtungsabstand zu erweitern, kann entsprechend aus Sicht der Strukturbedingungen, des Designs und dergleichen bestimmt werden.

#### Achtes Ausführungsbeispiel

[0610] Bezugnehmend auf Fig. 58 unterscheidet sich die MTJ-Speicherzelle gemäß der achten Modifikation von dem in Fig. 50 gezeigten, siebten Ausführungsbeispiel dadurch, daß die Lesebitleitung RBL und die Schreibwortleitung WWL in Position geschaltet werden. Da die Anordnung der Leitungen im übrigen genauso ist, wie in Fig. 50 gezeigt, erfolgt keine erneute Beschreibung davon. Eine derartige Struktur erlaubt auch der Lese-Wort-Leitung RWL und der Schreib-Wort-Leitung WWL, sich senkrecht zueinander zu

erstrecken.

[0611] Bezugnehmend auf Fig. 59 unterscheidet sich die Struktur der MTJ-Speicherzelle gemäß dem achten Ausführungsbeispiel von der gemäß dem in Fig. 51 gezeigten, siebten Ausführungsbeispiel dadurch, daß die Schreib-Wort-Leitung WWL und die Lesebitleitung RBL in Position geschaltet werden. Speziell ist die Schreib-Wort-Leitung WWL in der ersten Metallverdrahtungsschicht M1 bereitgestellt, um mit der Source/Drain-Region 110 des Zugriffstransistors ATR gekoppelt zu sein. Die Lesebitleitung RBL ist in der dritten Metallverdrahtungsschicht M3 bereitgestellt, um so elektrisch mit dem Magnetunnelübergang MTJ gekoppelt zu sein.

[0612] In dem achten Ausführungsbeispiel ist die Lesebitleitung RBL direkt mit dem Magnetunnelübergang MTJ gekoppelt. Folglich kann eine derart erhöhte Leseoperationsgeschwindigkeit wie bei dem siebten Ausführungsbeispiel nicht erreicht werden. In der Struktur gemäß dem achten Ausführungsbeispiel können jedoch der Lese-Wort-Leitungstreiber 30r und der Schreib-Wort-Leitungstreiber 30w unabhängig bereitgestellt werden, wodurch die gleichen Wirkungen wie bei dem siebten Ausführungsbeispiel erhalten werden können.

[0613] In der MTJ-Speicherzelle gemäß dem achten Ausführungsbeispiel sind die Spannungs- und Stromwellenformen jeder Verdrahtung in der Datenlese- und Datenschreiboperation die gleichen, wie die in Fig. 33 gezeigten. Somit erfolgt keine erneute, detaillierte Beschreibung davon.

[0614] In der MTJ-Speicherzelle gemäß dem achten Ausführungsbeispiel ist die Schreib-Wort-Leitung WWL weiter weg von dem Magnetunnelübergang MTJ angeordnet, als die Schreibbitleitung WBL. Folglich muß ein relativ großer Datenschreibstrom an die Schreib-Wort-Leitung WWL angelegt werden.

[0615] Bezugnehmend auf Fig. 60 sind in dem Speicherarray gemäß dem achten Ausführungsbeispiel die Speicherzellen MC mit der in Fig. 58 gezeigten Struktur in Reihen und Spalten angeordnet. Die Lese-Wort-Leitungen RWL und die Schreib-Wort-Leitungen WWL erstrecken sich jeweils in Reihen- und Spaltenrichtung. Die Lesebitleitung RBL und die Schreibbitleitungen WBL erstrecken sich jeweils in Spalten- und Reihenrichtung.

[0616] Benachbarten Speicherzellen in Reihenrichtung teilen sich die gleiche Schreib-Wort-Leitung WWL.

[0617] Zum Beispiel teilen sich die Speicherzellengruppe der ersten und zweiten Speicherzellenspalte die gleiche Schreib-Wort-Leitung WWL1, und die Speicherzellengruppe der dritten und vierten Speicherzellenspalte teilen sich die gleiche Schreib-Wort-Leitung WWL2. In den folgenden Speicherzellenspalten sind die Schreib-Wort-Leitungen WWL ähnlich angeordnet.

[0618] Falls die Daten auf einer Mehrzahl von Speicherzellen MC der gleichen Schreibbitleitung WBL geschrieben werden sollen, tritt Datenkollision auf. Entsprechend sind die Speicherzellen MC abwechselnd angeordnet.

[0619] Mit einer derartigen Struktur kann der Abstand der Schreib-Wort-Leitungen WWL in dem Speicherarray 10 erweitert werden. Als ein Ergebnis können die Speicherzellen MC effektiv angeordnet werden, wodurch verbesserte Integration des Speicherarrays 10 erreicht werden kann, genauso wie ein reduzierter Chipbereich der MRAM-Vorrichtung.

[0620] Da die Struktur der peripheren Schaltungsanordnungen zur selektiven Lieferung des Datenschreibstroms und des Lesestroms an die Lesebitleitung RBL und an die Schreibbitleitung WBL die gleiche ist, wie die in Fig. 35 gezeigte, erfolgt keine erneute detaillierte Beschreibung davon.

[0621] Wie oben beschrieben, muß in der MTJ-Speicherzelle gemäß dem achten Ausführungsbeispiel ein relativ großer Datenschreibstrom an die Schreib-Wort-Leitung WWL angelegt werden. Entsprechend wird die Schreib-Wort-Leitung WWL zwischen benachbarten Speicherzellen geteilt, um den Leitungsabstand sicherzustellen. Als ein Ergebnis wird die Leitungsbreite, also der Querschnittsbereich der Schreib-Wort-Leitung WWL, sichergestellt, so daß deren Stromdichte reduziert werden kann. Folglich kann eine verbesserte Zuverlässigkeit der MRAM-Vorrichtung erreicht werden. Wie oben beschrieben, ist es für die verbesserte Betriebszuverlässigkeit ebenfalls effektiv, ein Material dieser Verdrahtungen aus Sicht der Elektromigrationswiderstandsfähigkeit auszuwählen.

#### Erste Modifikation des achten Ausführungsbeispiels

[0622] Bezugnehmend auf Fig. 61 teilen sich in dem Speicherarray gemäß der ersten Modifikation des achten Ausführungsbeispiels benachbarte Speicherzellen die gleiche Lesebitleitung RBL. Die Speicherzellengruppe der zweiten und dritten Speicherzellenspalte teilen sich zum Beispiel die gleiche Lesebitleitung RBL2. In den folgenden Speicherzellenspalten sind die Lesebitleitungen RBL ähnlich angeordnet.

[0623] Zur Durchführung der normalen Datenleseoperation darf eine Mehrzahl von Speicherzellen MC nicht an der Kreuzung der gleichen Lese-Wort-Leitung RWL und der gleichen Lesebitleitung RBL vorhanden sein. Entsprechend sind die Speicherzellen MC abwechselnd angeordnet.

[0624] Außerdem teilen sich benachbarte Speicherzellen die gleiche Schreibbitleitung WBL. Zum Beispiel teilen sich die Speicherzellengruppe der ersten und zweiten Speicherzellenreihe die gleiche Schreibbitleitung WBL1. In den folgenden Speicherzellenreihen sind die Schreibbitleitungen WBL ähnlich angeordnet.

[0625] Zur Durchführung der normalen Datenschreiboperation darf eine Mehrzahl von Speicherzellen MC nicht an der Kreuzung der gleichen Schreib-Wort-Leitung WWL und der gleichen Schreibbitleitung WBL vorhanden sein.

[0626] Da die Struktur der peripheren Schaltungsanordnung, die mit der Datenlese- und Datenschreiboperation assoziiert ist, durch die Lesebitleitung RBL und die Schreibbitleitung WBL, genauso wie die Speicherzellenoperation beim Lesen und Schreiben der Daten gleich sind wie gemäß dem achten Ausführungsbeispiel, erfolgt keine erneute, detaillierte Beschreibung davon.

[0627] Mit einer derartigen Struktur können die Abstände der Lesebitleitungen RBL und der Schreibbitleitungen WBL in dem Speicherarray 10 erweitert werden. Als ein Ergebnis können die Speicherzellen MC effektiv angeordnet werden, wodurch eine verbesserte Integration des Speicherarrays 10 erhalten werden kann, genauso wie ein reduzierter Chipbereich der MRAM-Vorrichtung.

#### Zweite Modifikation des achten Ausführungsbeispiels

[0628] Bezugnehmend auf Fig. 62 teilen sich in dem Speicherarray gemäß der zweiten Modifikation des achten Ausführungsbeispiels benachbarte Speicherzellen in Spaltrichtung die gleiche Lese-Wort-Leitung RWL. Zum Beispiel teilen sich die Speicherzellengruppe der zweiten und dritten Speicherzellenreihe die gleiche Lese-Wort-Leitung RWL2. In den folgenden Speicherzellenreihen sind die Lese-Wort-Leitungen RWL ähnlich angeordnet.

[0629] Außerdem teilen sich benachbarte Speicherzellen in Spaltrichtung die gleiche Schreibbitleitung WBL. Zum Beispiel teilen sich die Speicherzellengruppe der ersten und

zweiten Speicherzellenreihe die gleiche Schreibbitleitung WBL1. In den folgenden Speicherzellenreihen sind die Schreibbitleitungen WBL ähnlich angeordnet.

[0630] Zur Durchführung der normalen Datenleseoperation darf eine Mehrzahl von Speicherzellen MC, die durch die gleiche Lese-Wort-Leitung RWL ausgewählt sind, nicht gleichzeitig mit der gleichen Lesebitleitung RBL gekoppelt sein. Entsprechend ist die Lesebitleitung RBL in jeder Speicherzellenspalte bereitgestellt, und die Speicherzellen MC sind abwechselnd angeordnet.

[0631] Da die Struktur im übrigen genauso ist, wie die gemäß dem achten Ausführungsbeispiel, erfolgt keine erneute, detaillierte Beschreibung davon.

[0632] Mit einer derartigen Struktur kann der Abstand der Lese-Wort-Leitungen RWL in dem Speicherarray 10 erweitert werden. Als ein Ergebnis können die Speicherzellen MC effizient angeordnet werden, wodurch eine verbesserte Integration des Speicherarrays 10 erhalten werden kann, genauso wie ein reduzierter Chipbereich der MRAM-Vorrichtung.

#### Dritte Modifikation des achten Ausführungsbeispiels

[0633] Bezugnehmend auf Fig. 63 wird für die Speicherzellen mit der Struktur gemäß dem achten Ausführungsbeispiel und der Anordnung in Reihen und Spalten die gefaltete Bitleitungsstruktur in jedem Satz von benachbarten zwei Speicherzellenspalten realisiert, indem entsprechende zwei Lesebitleitungen RWL verwendet werden. Zum Beispiel kann ein Lesebitleitungspaar aus den Lesebitleitungen RBL1 und RBL2 (/RBL1) gebildet werden, jeweils entsprechend zu den ersten und zweiten Speicherzellenspalten.

[0634] Ähnlich wird die gefaltete Bitleitungsstruktur in jedem Satz von benachbarten zwei Speicherzellenreihen realisiert, indem entsprechende zwei Schreibbitleitungen WBL verwendet werden. Zum Beispiel kann ein Schreibbitleitungspaar aus den Schreibbitleitungen WBL1 und WBL2 (/WBL1) gebildet werden, jeweils entsprechend zu der ersten und zweiten Speicherzellenreihe.

[0635] Die Struktur der peripheren Schaltungsanordnung zur Durchführung der Reihenauswahl für die Schreibbitleitungen WBL und /WBL des Schreibbitleitungspaares und zur Lieferung des Datenschreibstroms  $\pm I_w$  an diese, und zur Durchführung der Spaltauswahl aus den Lesebitleitungen RBL und /RBL der Lesebitleitungspare und zur Lieferung des Lesestroms  $I_s$  an diese ist genauso wie in Fig. 39 gezeigt. Somit erfolgt keine detaillierte Beschreibung davon.

[0636] Entsprechend können selbst wenn die Speicherzellen gemäß dem achten Ausführungsbeispiel in Reihen und Spalten angeordnet sind, die Datenlese- und Datenschreiboperationstoleranzen sichergestellt werden, indem die gefaltete Bitleitungsstruktur verwendet wird.

#### Vierte Modifikation des achten Ausführungsbeispiels

[0637] In der vierten Modifikation des achten Ausführungsbeispiels wird die Schreib-Wort-Leitung WWL zwischen benachbarten Speicherzellen geteilt, zusätzlich zu der gefalteten Bitleitungsstruktur, wie in der dritten Modifikation des achten Ausführungsbeispiels gezeigt.

[0638] Bezugnehmend auf Fig. 64 teilen sich in dem Speicherarray gemäß der vierten Modifikation des achten Ausführungsbeispiels benachbarte Speicherzellen in Reiherrichtung die gleiche Schreib-Wort-Leitung WWL.

[0639] In der Leseoperation wird die Lese-Wort-Leitung RWL aktiviert. In jeder Lesebitleitung RBL werden die Speicherzellen jede andere Lese-Wort-Leitung RWL bereitgestellt. Außerdem werden die Speicherzellen abwechselnd

zwischen jeden benachbarten Lesebitleitungen RBL bereitgestellt. Folglich bildet jeder Satz von benachbarten zwei Speicherzellenspalten ein Lesebitleitungspaar, so daß die Datenleseoperation basierend auf der gefalteten Bitleitungsstruktur auf gleiche Weise durchgeführt werden kann, wie gemäß der dritten Modifikation des achten Ausführungsbeispiels.

[0640] Andererseits kann die Datenschreiboperation nicht basierend auf der gefalteten Bitleitungsstruktur durchgeführt werden, da die Schreib-Wort-Leitung WWL geteilt wird. Entsprechend ist in der vierten Modifikation des achten Ausführungsbeispiels die periphere Schaltungsanordnung, die mit der Auswahl der Schreibbitleitung WBL assoziiert ist, auf gleiche Weisung angeordnet wie in Fig. 60 gezeigt. Folglich kann wie im Falle des achten Ausführungsbeispiels die Datenschreiboperation durchgeführt werden, indem die Datenschreibschaltung 51b mit einer einfachen Struktur verwendet wird.

[0641] Obwohl die Datenschreiboperation nicht basierend auf der gefalteten Bitleitungsstruktur durchgeführt werden kann, kann der Abstand der Schreib-Wort-Leitungen WWL in dem Speicherarray 10 erweitert werden. Als ein Ergebnis kann eine weiter verbesserte Integration des Speicherarrays 10 erreicht werden, und folglich ein weiter reduzierter Chipbereich der MRAM-Vorrichtung.

[0642] Obwohl Fig. 64 die Struktur zeigt, bei der die Schreib-Wort-Leitung WWL aus den Signalverdrahtungen, die mit der Datenschreiboperation assoziiert sind, zwischen benachbarten Speicherzellen geteilt wird, ist es ebenso möglich, die Schreibbitleitung WBL anstelle der Schreib-Wort-Leitung WWL zu teilen. In diesem Fall kann jedoch die Schreib-Wort-Leitung WWL nicht geteilt werden und muß in jeder Speicherzellenspalte bereitgestellt werden. Welche der Verdrahtungen geteilt werden sollte, um den Verdrahtungsabstand zu erweitern, kann aus Sicht des Abstandes von dem Magnettunnelübergang MTJ und dergleichen bestimmt werden.

#### Fünfte Modifikation des achten Ausführungsbeispiels

[0643] In der fünften Modifikation des achten Ausführungsbeispiels wird die Lese-Wort-Leitung RWL zwischen benachbarten Speicherzellen geteilt, zusätzlich zu der gefalteten Bitleitungsstruktur der dritten Modifikation des achten Ausführungsbeispiels.

[0644] Bezugnehmend auf Fig. 65 teilen sich in dem Speicherarray gemäß der fünften Modifikation des achten Ausführungsbeispiels benachbarte Speicherzellen in Spaltrichtung die gleiche Lese-Wort-Leitung RWL.

[0645] Die Lese/Schreib-Steuerschaltung 60 enthält die Ausgleichstransistoren 62, die Vorladetransistoren 64 und die Schreibbitleitungsspannungssteuertransistoren 65, die auf gleiche Weise angeordnet sind, wie bei der dritten Modifikation des achten Ausführungsbeispiels.

[0646] In der Datenschreiboperation wird die Schreib-Wort-Leitung WWL aktiviert. In jeder Schreibbitleitung WBL sind die Speicherzellen in jeder anderen Schreib-Wort-Leitung WWL bereitgestellt. Außerdem sind die Speicherzellen abwechselnd zwischen jeden benachbarten Schreibbitleitungen WBL bereitgestellt. Folglich kann jeder Satz von benachbarten zwei Speicherzellenreihen ein Schreibbitleitungspaar bilden. Als ein Ergebnis kann die Datenschreiboperation basierend auf der gefalteten Bitleitungsstruktur auf gleiche Weise durchgeführt werden, wie gemäß der dritten Modifikation des achten Ausführungsbeispiels, so daß die gleichen Effekte erzielt werden können. [0647] Andererseits wird in der Datenleseoperation die Lese-Wort-Leitung RWL, die von einer Mehrzahl von Spei-

cherzellen geteilt wird, aktiviert. Folglich kann die Datenleseoperation nicht basierend auf der gefalteten Bitleitungsstruktur durchgeführt werden. Entsprechend ist in der fünften Modifikation des achten Ausführungsbeispiels die periphere Schaltungsanordnung, die mit der Auswahl der Lesebitleitung RBL assoziiert ist, auf gleiche Weise angeordnet, wie in Fig. 60 gezeigt.

[0648] Mit einer derartigen Struktur kann die Leseoperationstoleranz basierend auf der gefalteten Bitleitungsstruktur nicht sichergestellt werden, jedoch kann der Abstand der Lese-Wort-Leitungen RWL in dem Speicherarray 10 erweitert werden, und die Datenleseoperation kann normal durchgeführt werden.

[0649] Als ein Ergebnis kann eine verbesserte Integration des Speicherarrays 10 erreicht werden und folglich ein reduzierter Chipbereich der MRAM-Vorrichtung.

[0650] Entsprechend kann durch Durchführung der Datenschreiboperation, basierend auf der gefalteten Bitleitungsstruktur, in der die Speicherzellen des achten Ausführungsbeispiels verwendet werden, die Schreiboperationstoleranz sichergestellt werden, genauso wie eine vereinfachte Struktur der peripheren Schaltungsanordnungen, und ein reduziertes Datenschreibrauschen kann erreicht werden. Außerdem kann gleichzeitig durch Teilen der Lese-Wort-Leitung RWL eine verbesserte Integration des Speicherarrays 10 erreicht werden.

[0651] Obwohl Fig. 65 die Struktur zeigt, in der die Lese-Wort-Leitung RWL aus den Signalverdrahtungen, die mit der Datenleseoperation assoziiert sind, zwischen benachbarten Speicherzellen geteilt wird, ist es auch möglich, die Lesebitleitung RBL anstelle der Lese-Wort-Leitung RWL zu teilen. In diesem Fall kann jedoch die Lese-Wort-Leitung RWL nicht geteilt werden und muß in jeder Speicherzellenreihe bereitgestellt werden. Welche der Verdrahtungen geteilt werden sollte, um den Verdrahtungsabstand zu erweitern, kann entsprechend aus Sicht der Strukturbedingungen, des Designs und dergleichen bestimmt werden.

#### Neuntes Ausführungsbeispiel

[0652] Bezugnehmend auf Fig. 66 wird in der MTJ-Speicherzelle gemäß dem neunten Ausführungsbeispiel der Zugriffstransistor ATR elektrisch zwischen dem Magnettunnelübergang MTJ und der Schreibbitleitung WBL gekoppelt. Der Magnettunnelübergang MTJ ist zwischen dem Zugriffstransistor ATR und einer gemeinsamen Leitung CML gekoppelt. Der Zugriffstransistor ATR hat sein Gate mit der Lese-Wort-Leitung RWL gekoppelt. In der Struktur nach Fig. 66 erstrecken sich die gemeinsame Leitung CML, die als Schreib-Wort-Leitung WWL dient und die Lese-Wort-Leitung RWL senkrecht zueinander. Folglich können die jeweiligen Treiberschaltungen für die gemeinsame Leitung CML und die Lese-Wort-Leitung RWL separat bereitgestellt werden, wodurch die Layoutdesignfreiheit verbessert werden kann.

[0653] Fig. 67 zeigt eine Zeittafel, die die Datenschreib- und Datenleseoperation der MTJ-Speicherzelle gemäß dem neunten Ausführungsbeispiel verdeutlicht.

[0654] Bezugnehmend auf Fig. 67 wird in der Datenschreiboperation der Datenschreibstrom  $\pm I_w$  an die Schreibbitleitung WBL geliefert. Außerdem fließt in Antwort auf das Einschalten eines Stromsteuertransistors, wie oben beschrieben, der Datenschreibstrom  $I_p$  durch die gemeinsame Leitung CML, die zu der ausgewählten Spalte korrespondiert, gemäß dem Spaltauswahlergebnis. Folglich werden die Spannung und der Strom auf der gemeinsamen Leitung CML in der Datenschreiboperation in gleicher Weise gesetzt, wie bei der in Fig. 33 gezeigten Schreib-

Wort-Leitung WWL.

[0655] Als ein Ergebnis kann das Magnetfeld, das zu dem Pegel der Schreibdaten DIN korrespondiert, auf den Magnettunnelübergang MTJ geschrieben werden. Außerdem, wie in Fig. 33 gezeigt, werden die Lesebitleitungen RBL nicht während der Datenschreiboperation benötigt. Folglich können die jeweiligen Funktionen der Lesebitleitung RBL und der Schreib-Wort-Leitung WWL in die gemeinsame Leitung CML integriert werden.

[0656] In einer anderen Operation als der Datenschreiboperation werden die oben genannten Stromsteuertransistoren ausgeschaltet. Die gemeinsamen Leitungen CML sind vor der Datenleseoperation auf die Massespannung Vss vorgeladen.

[0657] In der Datenleseoperation wird der Spannungspiegel auf den Schreibbitleitungen WBL auf den Massespannungspiegel Vss gesetzt. Außerdem wird der Lesestrom Is für die Datenleseoperation an die gemeinsame Leitung CML geliefert. Entsprechend wird in der Datenleseoperation die Lese-Wort-Leitung RWL auf den ausgewählten Zustand (H-Pegel) aktiviert, um den Zugriffstransistor ATR einzuschalten. Somit kann der Lesestrom Is durch den Pfad geliefert werden, der durch die gemeinsame Leitung CML, den Magnettunnelübergang MTJ, den Zugriffstransistor ATR und die Schreibbitleitung WBL gebildet wird.

[0658] Wenn der Strompfad des Lesestroms Is in der MTJ-Speicherzelle gebildet wird, wird eine Spannungsänderung (Anstieg) korrespondierend zu den Speicherdaten auf der gemeinsamen Leitung CML erzeugt.

[0659] In Fig. 67 wird nun angenommen, daß die fixierte Magnetschicht FL und die freie Magnetschicht VL die gleiche Magnetfeldrichtung aufweisen, wenn der Speicherdatenpegel gleich "1" ist. In diesem Fall weist die gemeinsame Leitung CML eine kleine Spannungsänderung  $\Delta V1$  auf, wenn die Speicherdaten gleich "1" sind, und eine Spannungsänderung  $\Delta V2 > \Delta V1$ , wenn die Speicherdaten gleich "0" sind. Die Speicherdaten in der MTJ-Speicherzelle können gelesen werden, indem der Unterschied zwischen den Spannungsänderungen  $\Delta V1$  und  $\Delta V2$  auf der gemeinsamen Leitung CML gelesen wird.

[0660] Außerdem, wie in Fig. 33 gezeigt, werden die Lese-Wort-Leitungen WWL nicht während der Datenleseoperation benötigt. Somit können die Schreib-Wort-Leitungen WWL und die Lesebitleitungen RBL in die gemeinsamen Leitungen CML integriert werden.

[0661] Somit können die gleichen Datenschreib- und Datenleseoperationen durchgeführt werden, selbst mit der MTJ-Speicherzelle, die die gemeinsame Leitung CML verwendet, die die jeweiligen Funktionen der Schreib-Wort-Leitung WWL und der Lesebitleitung RBL integriert, um so die Anzahl der Verdrahtungen zu reduzieren. Die Vorladespannung der gemeinsamen Leitungen CML, die als Lesebitleitungen RBL in der Datenleseoperation dienen, wird auf den gleichen Spannungspegel gesetzt, wie der auf den gemeinsamen Leitungen CML in der Datenschreiboperation, also auf die Massespannung Vss. Als ein Ergebnis kann eine Vorladeoperation zur Vorbereitung für die Lesedatenoperation effizienter durchgeführt werden, wodurch die Datenleseoperationsgeschwindigkeit erhöht werden kann.

[0662] Bezugnehmend auf Fig. 68 wird in der MTJ-Speicherzelle gemäß dem neunten Ausführungsbeispiel die Schreibbitleitung WBL in der ersten Metallverdrahtungsschicht M1 bereitgestellt, und die Lese-Wort-Leitung RWL wird in der gleichen Schicht bereitgestellt wie das Gate 130 des Zugriffstransistors ATR. Die Schreibbitleitung WBL wird elektrisch mit der Source/Drain-Region 110 des Zugriffstransistors ATR gekoppelt. Die andere Source/Drain-Region 120 wird durch die Metallverdrahtung, die in der er-

sten Metallverdrahtungsschicht M1 bereitgestellt ist, das Barrieremetall 140 und den in dem Kontaktloch bereitgestellten Metallfilm 150 an den Magnettunnelübergang MTJ gekoppelt.

[0663] Die gemeinsame Leitung CML wird in der zweiten Metallverdrahtungsschicht M2 bereitgestellt, um so elektrisch mit dem Magnettunnelübergang MTJ gekoppelt zu sein. Da die gemeinsame Leitung CML sowohl die Funktion der Lesebitleitung RBL als auch die Funktion der Schreib-Wort-Leitung WWL aufweist, kann eine Reduktion der Anzahl der Verdrahtungen genauso wie der Anzahl von Metallverdrahtungsschichten erreicht werden und folglich eine Reduktion der Herstellungskosten, zusätzlich zu den Wirkungen, die durch die MTJ-Speicherzelle gemäß dem sechsten Ausführungsbeispiel erzielt werden.

[0664] In der MTJ-Speicherzelle gemäß dem neunten Ausführungsbeispiel ist die Schreibbitleitung WBL von dem Magnettunnelübergang MTJ weiter weg lokalisiert als die gemeinsame Leitung CML, die als Schreib-Wort-Leitung WWL fungiert. Folglich muß in der MTJ-Speicherzelle gemäß dem neunten Ausführungsbeispiel ein relativ großer Datenschreibstrom an die Schreibbitleitung WBL angelegt werden.

[0665] Bezugnehmend auf Fig. 69 sind in dem Speicherarray gemäß dem neunten Ausführungsbeispiel die Speicherzellen MC, wie in Fig. 66 gezeigt, in Reihen und Spalten angeordnet. Die Lese-Wort-Leitungen RWL und die Schreibbitleitungen WBL erstrecken sich in Reihenrichtung. Die gemeinsamen Leitungen CML erstrecken sich in Spaltrichtung. Wie die Lese-Wort-Leitungen RWL und dergleichen sind die gemeinsamen Leitungen CML allgemein mit CML bezeichnet, und eine spezifische, gemeinsame Leitung wird als CML1 und dergleichen gekennzeichnet.

[0666] Benachbarte Speicherzellen in Reihenrichtung teilen sich die gemeinsame Leitung CML.

[0667] Zum Beispiel teilen sich die Speicherzellengruppe der ersten und zweiten Speicherzellenspalte die gleiche, gemeinsame Leitung CML1, und die Speicherzellengruppe der dritten und vierten Speicherzellenspalte teilen sich die gleiche, gemeinsame Leitung CML2. In den folgenden Speicherzellenspalten sind die gemeinsamen Leitungen CML ähnlich angeordnet.

[0668] Falls die Daten von einer Mehrzahl von Speicherzellen MC der gemeinsamen Leitung CML zu lesen oder zu schreiben sind, tritt Datenkollision auf. Entsprechend sind die Speicherzellen MC abwechselnd angeordnet.

[0669] Mit einer derartigen Struktur kann der Abstand der gemeinsamen Leitungen CML in dem Speicherarray 10 erweitert werden. Als ein Ergebnis können die Speicherzellen MC effizient angeordnet werden, wodurch eine verbesserte Integration des Speicherarrays 10 erreicht wird, genauso wie ein reduzierter Chipbereich der MRAM-Vorrichtung.

[0670] Die periphere Schaltungsanordnung zur selektiven Lieferung des Lesestroms, der für die Lesebitleitungen RBL in Fig. 35 bereitgestellt wird, wird für die gemeinsamen Leitungen CML bereitgestellt.

[0671] Stromsteuertransistoren werden entsprechend zu den jeweiligen gemeinsamen Leitungen CML bereitgestellt. Fig. 69 zeigt beispielhaft die Stromsteuertransistoren 41-1 und 41-2, die jeweils zu den gemeinsamen Leitungen CML1 und CML2 korrespondieren. Im folgenden sind die Stromsteuertransistoren allgemein mit 41 bezeichnet.

[0672] Der Stromsteuertransistor 41 ist zwischen der korrespondierenden, gemeinsamen Leitung CML und der Massespannung Vss bereitgestellt. In der Datenschreiboperation, bei der die gemeinsame Leitung CML als eine Schreib-Wort-Leitung WWL fungiert, wird der Stromsteuertransistor 41 in Antwort auf Aktivierung des Signalsignals WE

eingeschaltet, so daß der Schreib-Wort-Leitungstreiber 30w den Datenschreibstrom  $I_p$  an die gemeinsame Leitung CML liefern kann, die auf den ausgewählten Zustand (Leistungsversorgungsspannung  $V_{cc}$ ) aktiviert ist.

[0673] Wie in Verbindung mit Fig. 67 beschrieben, werden die gemeinsamen Leitungen CML auf die Massespannung  $V_{ss}$  vor der Datenleseoperation vorgeladen. Folglich können die Vorladetransistoren 44 weggelassen werden, indem die Stromsteuertransistoren 41 auch in Antwort auf das Bitleitungsvorladesignal BLPR arbeiten.

[0674] Da die Struktur der peripheren Schaltungsanordnung zur selektiven Lieferung des Datenschreibstroms an die Schreibbitleitung WBL die gleiche ist wie in Fig. 35 gezeigt, erfolgt keine erneute, detaillierte Beschreibung davon.

#### Erste Modifikation des neunten Ausführungsbeispiels

[0675] Bezugnehmend auf Fig. 70 teilen sich in dem Speicherarray gemäß der ersten Modifikation des neunten Ausführungsbeispiels benachbarte Speicherzellen die gleiche Schreibbitleitung WBL.

[0676] Zum Beispiel teilen sich die Speicherzellengruppe der zweiten und dritten Speicherzellenreihe die gleiche Schreibbitleitung WBL2. In den folgenden Speicherzellenspalten sind die Schreibbitleitungen WBL ähnlich angeordnet.

[0677] Zur Durchführung der normalen Schreiboperation darf eine Mehrzahl von Speicherzellen MC nicht an der Kreuzung der gleichen gemeinsamen Leitung CML und der gleichen Schreibbitleitung WBL vorhanden sein. Entsprechend wird die gemeinsame Leitung CML in jeder Spalte bereitgestellt, und die Speicherzellen MC werden abwechselnd angeordnet.

[0678] Da die Struktur der peripheren Schaltungsanordnung, die mit der Datenleseoperation und der Datenschreiboperation durch die gemeinsame Leitung CML und die Schreibbitleitung WBL assoziiert ist, ebenso wie die Speicherzellenoperation beim Lesen und Schreiben der Daten die gleichen sind, wie gemäß dem neunten Ausführungsbeispiel, erfolgt keine erneute, detaillierte Beschreibung davon.

[0679] Mit einer derartigen Struktur kann der Abstand der Schreibbitleitungen WBL in den Speicherarrays 10 erweitert werden. Als ein Ergebnis können die Speicherzellen MC effizient angeordnet werden, wodurch eine verbesserte Integration des Speicherarrays 10 erreicht werden kann, genauso wie ein reduzierter Chipbereich der MRAM-Vorrichtung.

[0680] Wie oben beschrieben, muß in der MTJ-Speicherzelle gemäß dem neunten Ausführungsbeispiel ein relativ großer Datenschreibstrom an die Schreibbitleitung WBL angelegt werden. Entsprechend wird die Schreibbitleitung WBL zwischen benachbarten Speicherzellen geteilt, um den Leitungsabstand sicherzustellen. Als ein Ergebnis wird der Leitungsabstand, also der Querschnittsbereich der Schreibbitleitung WBL, sichergestellt, so daß deren Stromdichte reduziert werden kann. Als ein Ergebnis kann eine verbesserte Zuverlässigkeit der MRAM-Vorrichtung erreicht werden. Wie oben beschrieben, ist es für eine verbesserte Betriebszuverlässigkeit ebenfalls wirkungsvoll, aus Sicht der Elektromigrationswiderstandsfähigkeit ein Material für diese Verdrahtungen auszuwählen.

#### Zweite Modifikation des neunten Ausführungsbeispiels

[0681] Bezugnehmend auf Fig. 71 teilen sich in dem Speicherarray gemäß der zweiten Modifikation des neunten Ausführungsbeispiels benachbarte Speicherzellen in Spaltrichtung die gleiche Lese-Wort-Leitung RWL. Die Speicherzel-

lengruppe der ersten und zweiten Speicherzellenreihe teilen sich zum Beispiel die gleiche Lese-Wort-Leitung RWL1. In den folgenden Speicherzellenreihen sind die Lese-Wort-Leitungen RWL ähnlich angeordnet.

[0682] Außerdem teilen sich benachbarte Speicherzellen in Spaltrichtung die gleiche Schreibbitleitung WBL. Die Speicherzellengruppe der zweiten und dritten Speicherzellenreihe teilen sich zum Beispiel die gleiche Schreibbitleitung WBL2. In den folgenden Speicherzellenreihen sind die Schreibbitleitungen WBL ähnlich angeordnet.

[0683] Zur Durchführung der normalen Datenleseoperation darf eine Mehrzahl von Speicherzellen MC, die durch die gleiche Lese-Wort-Leitung RWL ausgewählt sind, nicht gleichzeitig mit der gleichen gemeinsamen Leitung CML gekoppelt sein. Entsprechend ist die gemeinsame Leitung CML in jeder Speicherzellenspalte bereitgestellt, und die Speicherzellen MC sind abwechselnd angeordnet.

[0684] Da die Struktur im übrigen die gleiche ist, wie gemäß dem neunten Ausführungsbeispiel, erfolgt keine erneute, detaillierte Beschreibung davon.

[0685] Mit einer derartigen Struktur können die Abstände der Lese-Wort-Leitungen RWL und der Schreibbitleitungen WBL in dem Speicherarray 10 erweitert werden. Als ein Ergebnis können die Speicherzellen MC effizient angeordnet werden, wodurch eine verbesserte Integration des Speicherarrays 10 erreicht werden kann, genauso wie ein reduzierter Chipbereich der MRAM-Vorrichtung.

#### Dritte Modifikation des neunten Ausführungsbeispiels

[0686] Bezugnehmend auf Fig. 72 wird für die Speicherzellen mit der Struktur gemäß dem neunten Ausführungsbeispiel und der Anordnung in Reihen und Spalten die gefaltete Bitleitungsstruktur in jedem Satz von benachbarten zwei Speicherzellenspalten realisiert, indem entsprechende, zwei gemeinsame Leitungen CML verwendet werden. Zum Beispiel kann ein Datenleitungspaar, das einem Lesebitleitungspaar entspricht, aus den gemeinsamen Leitungen CML1 und CML2 (/CML1) gebildet werden, die jeweils zu der ersten und zweiten Speicherzellenspalte korrespondieren.

[0687] Ähnlich wird die gefaltete Bitleitungsstruktur in jedem Satz von benachbarten zwei Speicherzellenreihen realisiert, indem entsprechende zwei Schreibbitleitungen WBL verwendet werden. Zum Beispiel kann ein Schreibbitleitungspaar aus den Schreibbitleitungen WBL1 und WBL2 (/WBL1) gebildet werden, die jeweils zu der ersten und zweiten Speicherzellenreihe korrespondieren.

[0688] Die Struktur der peripheren Schaltungsanordnungen zur Durchführung der Reihenauswahl aus den Schreibbitleitungen WBL und /WBL der Schreibbitleitungspaare und zur Lieferung des Datenschreibstroms  $\pm I_w$  an diese ist die gleiche wie Fig. 39 gezeigt. Somit erfolgt keine erneute, detaillierte Beschreibung davon.

[0689] Außerdem, vorausgesetzt, daß eine der gemeinsamen Leitungen, die jedes Datenleitungspaar in der Datenleseoperation bildet, allgemein mit CML bezeichnet ist, und die andere allgemein mit /CML, wird die periphere Schaltungsanordnung zur Durchführung der Spaltauswahl aus den Lesebitleitungen RBL und /RBL in der in Fig. 39 gezeigten Struktur, und zur Lieferung des Lesestroms  $I_s$  an diese entsprechend zu den Spaltleitungen CML und /CML bereitgestellt.

[0690] Selbst wenn die Speicherzellen gemäß dem neunten Ausführungsbeispiel in Reihen und Spalten angeordnet sind, können entsprechend die Datenlese- und Datenschreiboperationstoleranzen sichergestellt werden, indem die gefaltete Bitleitungsstruktur verwendet wird.

## Vierte Modifikation des neunten Ausführungsbeispiels

[0691] In der vierten Modifikation des neunten Ausführungsbeispiels wird die Schreibbitleitung WBL zwischen benachbarten Speicherzellen geteilt, zusätzlich zu der gefalteten Bitleitungsstruktur, wie bei der dritten Modifikation des neunten Ausführungsbeispiels gezeigt.

[0692] Bezugnehmend auf Fig. 73 teilen sich in dem Speicherarray gemäß der vierten Modifikation des neunten Ausführungsbeispiels benachbarte Speicherzellen in Spaltrichtung die gleiche Schreibbitleitung WBL.

[0693] In der Leseoperation wird die Lese-Wort-Leitung RWL aktiviert. In jeder gemeinsamen Leitung CML, die als Lesebitleitung RBL fungiert, sind die Speicherzellen jede andere Lese-Wort-Leitung RWL bereitgestellt. Außerdem sind die Speicherzellen abwechselnd zwischen jeden benachbarten, gemeinsamen Leitungen CML angeordnet. Folglich bildet jeder Satz von benachbarten zwei Speicherzellenspalten ein Datenleitungspaar, so daß die Datenleseoperation basierend auf der gefalteten Bitleitungsstruktur auf gleiche Weise durchgeführt werden kann, wie gemäß der dritten Modifikation des neunten Ausführungsbeispiels.

[0694] Andererseits kann die Datenschreiboperation nicht basierend auf der gefalteten Bitleitungsstruktur durchgeführt werden, da die Schreibbitleitung WBL geteilt wird. Entsprechend ist in der vierten Modifikation des neunten Ausführungsbeispiels die periphere Schaltungsanordnung, die mit der Auswahl der Schreibbitleitung WBL assoziiert ist, in der gleichen Weise angeordnet, wie in Fig. 69 gezeigt. Folglich kann die Datenschreiboperation wie bei dem neunten Ausführungsbeispiel durchgeführt werden, indem die Datenschreibschaltung 51b mit einer einfachen Struktur verwendet wird.

[0695] Obwohl die Datenschreiboperation nicht basierend auf der gefalteten Bitleitungsstruktur durchgeführt werden kann, kann der Abstand der Schreib-Wort-Leitungen WWL in dem Speicherarray 10 erweitert werden. Als ein Ergebnis kann eine weiter verbesserte Integration des Speicherarrays 10 erreicht werden, und folglich ein weiter reduzierter Chipbereich der MRAM-Vorrichtung.

## Fünfte Modifikation des neunten Ausführungsbeispiels

[0696] In der fünften Modifikation des neunten Ausführungsbeispiels wird die Lese-Wort-Leitung RWL zwischen benachbarten Speicherzellen geteilt, zusätzlich zu der gefalteten Bitleitungsstruktur der dritten Modifikation des neunten Ausführungsbeispiels.

[0697] Bezugnehmend auf Fig. 74 teilen sich in dem Speicherarray gemäß der fünften Modifikation des neunten Ausführungsbeispiels benachbarte Speicherzellen in Spaltrichtung die gleiche Lese-Wort-Leitung RWL.

[0698] Die Lese-Wort-Steuerschaltung 60 enthält die Ausgleichstransistoren 62 und die Schreibbitleitungsspannungsteuertransistoren 65, die auf gleiche Weise angeordnet sind, wie bei der dritten Modifikation des neunten Ausführungsbeispiels.

[0699] In jeder Schreibbitleitung WBL sind die Speicherzellen jede andere gemeinsame Leitung CML bereitgestellt. Außerdem sind die Speicherzellen abwechselnd zwischen jeden benachbarten Schreibbitleitungen WBL angeordnet. Folglich kann in der Datenschreiboperation jeder Satz von benachbarten zwei Speicherzellenreihen ein Schreibbitleitungspaar bilden. Als ein Ergebnis kann die Datenschreiboperation basierend auf der gefalteten Bitleitungsstruktur auf gleiche Weise durchgeführt werden, wie bei der dritten Modifikation des neunten Ausführungsbeispiels, so daß die gleichen Wirkungen erzielt werden können.

[0700] Andererseits ist in der Datenleseoperation die Lese-Wort-Leitung RWL, die durch eine Mehrzahl von Speicherzellenreihen geteilt wird, aktiviert. Folglich kann die Datenleseoperation nicht basierend auf der gefalteten Bitleitungsstruktur durchgeführt werden. Entsprechend ist in der fünften Modifikation des neunten Ausführungsbeispiels die periphere Schaltungsanordnung, die mit der Auswahl der gemeinsamen Leitung CML assoziiert ist, die als eine Lesebitleitung RBL fungiert, auf gleiche Weise angeordnet wie in Fig. 69 gezeigt.

[0701] Mit einer derartigen Struktur kann die Leseoperationstoleranz basierend auf der gefalteten Bitleitungsstruktur nicht sichergestellt werden, jedoch kann der Abstand der Lese-Wort-Leitungen RWL in dem Speicherarray 10 erweitert werden, und die Datenleseoperation kann normal durchgeführt werden. Als ein Ergebnis kann eine verbesserte Integration des Speicherarrays 10 erreicht werden und folglich ein reduzierter Chipbereich der MRAM-Vorrichtung.

[0702] Entsprechend kann durch Durchführung der Datenschreiboperation basierend auf der gefalteten Bitleitungsstruktur unter Verwendung der Speicherzellen gemäß dem neunten Ausführungsbeispiel die Schreiboperationstoleranz sichergestellt werden, genauso wie eine vereinfachte Struktur der peripheren Schaltungsanordnung, und ein reduziertes Datenschreibrauschen kann erreicht werden. Außerdem kann gleichzeitig durch Teilen der Lese-Wort-Leitung RWL eine verbesserte Integration des Speicherarrays 10 erreicht werden.

## Zehntes Ausführungsbeispiel

[0703] Bezugnehmend auf Fig. 75 ist in der MTJ-Speicherzelle gemäß dem zehnten Ausführungsbeispiel der Zugriffstransistor ATR zwischen der gemeinsamen Leitung CML und dem Magnettunnelübergang MTJ gekoppelt. Die Lese-Wort-Leitung RWL ist an das Gate des Zugriffstransistors ATR gekoppelt. Die Schreibbitleitung WBL erstreckt sich in gleicher Richtung wie die Lese-Wort-Leitung RWL und ist elektrisch mit dem Magnettunnelübergang MTJ gekoppelt.

[0704] In der Datenschreiboperation wird die gemeinsame Leitung CML wie die Schreib-Wort-Leitung WWL selektiv durch den Schreib-Wort-Leitungstreiber 30w aktiviert. In der Datenleseoperation wird der Lese-Strom Is an die gemeinsame Leitung CML geliefert. In der Datenschreiboperation fließt in Antwort auf ein Einschalten des Stromsteuertransistors 41-1 bis 41-m der Datenschreibstrom Ip durch die gemeinsame Leitung CML, die auf den ausgewählten Zustand (H-Pegel) aktiviert ist, wie die Schreib-Wort-Leitung WWL. In der Datenleseoperation wird der Stromsteuertransistor 41-1 bis 41-m ausgeschaltet, wodurch der Lese-Strom Is durch den Pfad fließt, der durch die gemeinsame Leitung CML, den Magnettunnelübergang MTJ, den Zugriffstransistor ATR und die Schreibbitleitung WBL (Maschenpotential Vss) gebildet ist. Als ein Ergebnis wird eine Spannungsänderung korrespondierend zu den Speicherdaten des Magnettunnelübergangs MTJ auf der gemeinsamen Leitung CML erzeugt, wie in Verbindung mit Fig. 67 beschrieben.

[0705] Folglich dient die gemeinsame Leitung CML wie in dem neunten Ausführungsbeispiel als eine Schreib-Wort-Leitung WWL in der Datenschreiboperation, und als eine Lesebitleitung RBL in der Datenleseoperation, wodurch die Anzahl der Verdrahtungen reduziert werden kann.

[0706] Außerdem erstrecken sich die Lese-Wort-Leitung RWL und die gemeinsame Leitung CML, die als eine Schreib-Wort-Leitung in der Datenschreiboperation dient, im wesentlichen senkrecht zueinander. Folglich können der

Lese-Wort-Leitungstreiber 30r und der Schreib-Wort-Leitungstreiber 30w unabhängig bereitgestellt werden, wobei die gleichen Wirkungen erzielt werden, wie gemäß dem sechsten Ausführungsbeispiel.

[0707] Bezugnehmend auf Fig. 76 ist in der MTJ-Speicherzelle gemäß dem zehnten Ausführungsbeispiel die gemeinsame Leitung CML in der ersten Metallverdrahtungsschicht M1 bereitgestellt, um elektrisch mit der Source/Drain-Region 110 des Zugriffstransistors ATR gekoppelt zu sein. Die Lese-Wort-Leitung RWL ist in der gleichen Schicht gebildet, wie das Gate 130 des Zugriffstransistors ATR.

[0708] Die Source-/Drain-Region 120 ist durch die Metallverdrahtung, die in der ersten Metallverdrahtungsschicht M1 gebildet ist, das Barrieremetall 140 und den in dem Kontaktloch gebildeten Metallfilm 150 mit dem Magnet-tunnelübergang MTJ gekoppelt. Die Schreibbitleitung WBL ist in der zweiten Metallverdrahtungsschicht M2 bereitgestellt, um elektrisch mit dem Magnet-tunnelübergang MTJ gekoppelt zu sein.

[0709] Die gemeinsame Leitung CML und der Magnet-tunnelübergang MTJ sind miteinander durch den Zugriffstransistor ATR gekoppelt.

[0710] Folglich ist die gemeinsame Leitung CML mit dem Magnet-tunnelübergang MTJ nur gekoppelt, wenn der Zugriffstransistor ATR eingeschaltet ist. Als ein Ergebnis wird die Kapazität der gemeinsamen Leitung CML, die als eine Lesebitleitung RBL in der Datenleseoperation dient, reduziert, wodurch die Datenleseoperationsgeschwindigkeit weiter erhöht werden kann.

[0711] In der MTJ-Speicherzelle gemäß dem zehnten Ausführungsbeispiel sind die Spannungs- und Stromwellenformen jeder Verdrahtung in der Datenlese- und Datenschreiboperation die gleichen wie gemäß dem neunten Ausführungsbeispiel. Somit erfolgt keine erneute, detaillierte Beschreibung davon.

[0712] In der MTJ-Speicherzelle des zehnten Ausführungsbeispiels ist die gemeinsame Leitung CML, die als eine Schreib-Wort-Leitung WWL dient, weiter weg von dem Magnet-tunnelübergang MTJ angeordnet, als die Schreibbitleitung WBL. Folglich muß in der MTJ-Speicherzelle gemäß dem zehnten Ausführungsbeispiel ein relativ großer Datenschreibstrom an die gemeinsame Leitung CML angelegt werden.

[0713] Bezugnehmend auf Fig. 77 sind in dem Speicherarray gemäß dem zehnten Ausführungsbeispiel die Speicherzellen MC, wie in Fig. 75 gezeigt, in Reihen und Spalten angeordnet.

[0714] Die Lese-Wort-Leitungen und die Schreibbitleitungen WBL erstrecken sich in Reihenrichtungen. Die gemeinsamen Leitungen CML erstrecken sich in Spaltrichtung.

[0715] Benachbarte Speicherzellen in Reihenrichtung teilen sich die gemeinsame Leitung CML.

[0716] Die Speicherzellengruppe der ersten und zweiten Speicherzellenspalte teilen sich die gemeinsame Leitung CML1, und die Speicherzellengruppe der dritten und vierten Speicherzellenspalte teilen sich die gleiche gemeinsame Leitung CML2. In den folgenden Speicherzellenspalten sind die gemeinsamen Leitungen CML ähnlich angeordnet.

[0717] Falls die Daten von einer Mehrzahl von Speicherzellen MC der gleichen gemeinsamen Leitung CML gelesen oder geschrieben werden müssen, tritt Datenkollision auf. Entsprechend sind die Speicherzellen MC abwechselnd angeordnet.

[0718] Mit einer derartigen Struktur kann der Abstand der gemeinsamen Leitungen CML in dem Speicherarray 10 erweitert werden. Als ein Ergebnis können die Speicherzellen

MC effizient angeordnet werden, wodurch eine verbesserte Integration des Speicherarrays 10 erreicht werden kann, genauso wie ein reduzierter Chipbereich der MRAM-Vorrichtung.

5 [0719] Da die Struktur der peripheren Schaltungsanordnung zur selektiven Lieferung des Datenschreibstroms an die gemeinsame Leitung CML und die Schreibbitleitung WBL genauso ist, wie in Fig. 69 gezeigt, erfolgt keine erneute, detaillierte Beschreibung davon.

10 [0720] Wie oben beschrieben, muß in der MTJ-Speicherzelle gemäß dem zehnten Ausführungsbeispiel ein relativ großer Datenschreibstrom an die gemeinsame Leitung CML angelegt werden. Entsprechend wird die gemeinsame Leitung CML zwischen benachbarten Speicherzellen geteilt, um so den Leitungsabstand sicherzustellen. Als ein Ergebnis wird die Leitungsbreite, also der Querschnittsbereich der gemeinsamen Leitung CML sichergestellt, um so deren Strom-dichte zu reduzieren. Folglich kann eine verbesserte Zuverlässigkeit der MRAM-Vorrichtung erreicht werden. Wie

20 oben beschrieben, ist es für die verbesserte Betriebszuverlässigkeit ebenfalls effektiv, ein Material für diese Verdrahtungen aus Sicht der Elektromigrationswiderstandsfähigkeit auszuwählen.

25 Erste Modifikation des zehnten Ausführungsbeispiels

[0721] Bezugnehmend auf Fig. 78 teilen sich in dem Speicherarray gemäß der ersten Modifikation des zehnten Ausführungsbeispiels benachbarte Speicherzellen die gleiche Schreibbitleitung WBL. Die Speicherzellengruppe der zweiten und dritten Speicherzellenreihe teilen sich zum Beispiel die gleiche Schreibbitleitung WBL2. In den folgenden Speicherzellenreihen sind die Schreibbitleitungen WBL ähnlich angeordnet.

30 [0722] Zur Durchführung der normalen Schreiboperation darf eine Mehrzahl von Speicherzellen MC nicht an der Kreuzung der gemeinsamen Leitung CML und der gemeinsamen Schreibbitleitung WBL vorhanden sein. Entsprechend ist die gemeinsame Leitung CML in jeder Spalte bereitgestellt, und die Speicherzellen MC sind abwechselnd angeordnet.

40 [0723] Da die Struktur der peripheren Schaltungsanordnung, die mit der Datenlese- und Datenschreiboperation durch die gemeinsame Leitung CML und die Schreibbitleitung WBL assoziiert ist, und ebenso die Speicherzellenoperation beim Lesen und Schreiben der Daten die gleichen sind, wie gemäß dem zehnten Ausführungsbeispiel, erfolgt keine erneute, detaillierte Beschreibung davon.

50 [0724] Mit einer derartigen Anordnung kann der Abstand der Schreibbitleitungen WBL in dem Speicherarray 10 erweitert werden. Als ein Ergebnis können die Speicherzellen MC effizient angeordnet werden, wodurch eine verbesserte Integration des Speicherarrays 10 erreicht kann, genauso wie ein reduzierter Chipbereich der MRAM-Vorrichtung.

55 Zweite Modifikation des zehnten Ausführungsbeispiels

[0725] Bezugnehmend auf Fig. 79 teilen sich in dem Speicherarray gemäß der zweiten Modifikation des zehnten Ausführungsbeispiels benachbarte Speicherzellen in Spaltrichtung die gleiche Lese-Wort-Leitung RWL. Zum Beispiel teilen sich die Speicherzellengruppe der ersten und zweiten Speicherzellenreihe die gleiche Lese-Wort-Leitung RWL1. In den folgenden Speicherzellenreihen sind die Lese-Wort-

65 Leitungen RWL ähnlich angeordnet. [0726] Außerdem teilen sich benachbarte Speicherzellen in Spaltrichtung die gleiche Schreibbitleitung WBL. Die Speicherzellengruppe der zweiten und dritten Speicherzel-

lenreihe teilen sich zum Beispiel die gleiche Schreibbitleitung WBL2. In den folgenden Speicherzellenreihen sind die Schreibbitleitungen WBL ähnlich angeordnet.

[0727] Zur Durchführung der normalen Datenleseoperation darf eine Mehrzahl von Speicherzellen MC, die durch die gleiche Lese-Wort-Leitung RWL ausgewählt sind, nicht gleichzeitig mit der gemeinsamen Leitung CML gekoppelt sein. Entsprechend ist die gemeinsame Leitung CML in jeder Speicherzellenspalte bereitgestellt, und die Speicherzellen MC sind abwechselnd angeordnet.

[0728] Da die Struktur im übrigen genauso ist, wie gemäß dem zehnten Ausführungsbeispiel, erfolgt keine erneute, detaillierte Beschreibung davon.

[0729] Mit einer derartigen Struktur können die Abstände der Lese-Wort-Leitungen RWL und der Schreibbitleitungen WBL in dem Speicherarray 10 erweitert werden. Als ein Ergebnis können die Speicherzellen MC effizient angeordnet werden, wodurch eine verbesserte Integration des Speicherarrays 10 erreicht werden kann, genauso wie ein reduzierter Chipbereich der MRAM-Vorrichtung.

#### Dritte Modifikation des zehnten Ausführungsbeispiels

[0730] Bezugnehmend auf Fig. 80 ist für die Speicherzellen mit der Struktur gemäß dem zehnten Ausführungsbeispiel und der Anordnung in Reihen und Spalten die gefaltete Bitleitungsstruktur in jedem Satz von benachbarten zwei Speicherzellenspalten realisiert, indem entsprechende, zwei gemeinsame Leitungen CML verwendet werden. Zum Beispiel kann ein Datenleitungspaar, korrespondierend zu einem Lesebitleitungspaar, aus den gemeinsamen Leitungen CML1 und CML2 (/CML1) gebildet werden, die jeweils zu der ersten und zweiten Speicherzellenspalte korrespondieren.

[0731] Ähnlich wird die gefaltete Bitleitungsstruktur in jedem Satz von benachbarten zwei Speicherzellenreihen realisiert, indem entsprechende zwei Schreibbitleitungen WBL verwendet werden. Ein Schreibbitleitungspaar kann zum Beispiel aus den Schreibbitleitungen WBL1 und WBL2 (/WBL1) gebildet werden, jeweils entsprechend zu der ersten und zweiten Speicherzellenreihe.

[0732] Die Struktur der peripheren Schaltungsanordnung zur Durchführung der Reihenauswahl aus den Schreibbitleitungen WBL und /WBL der Schreibbitleitungspaare und zur Lieferung des Datenschreibstroms  $\pm I_w$  an diese ist genauso wie in Fig. 72 gezeigt. Somit erfolgt keine erneute, detaillierte Beschreibung davon.

[0733] Ähnlich ist die Struktur der peripheren Schaltungsanordnung zur Durchführung der Spaltauswahl für die gemeinsamen Leitungen CML und /CML, die die Datenleitungspaare in der Datenleseoperation bilden, und zur Lieferung des Lesestroms  $I_s$  an diese die gleiche wie in Fig. 72 gezeigt. Somit erfolgt keine detaillierte Beschreibung davon.

[0734] Selbst wenn die Speicherzellen gemäß dem zehnten Ausführungsbeispiel in Reihen und Spalten angeordnet sind, können entsprechend die Datenlese- und Datenschreiboperationstoleranzen sichergestellt werden, indem die gefaltete Bitleitungsstruktur verwendet wird.

#### Vierte Modifikation des zehnten Ausführungsbeispiels

[0735] In der vierten Modifikation des zehnten Ausführungsbeispiels wird die Schreibbitleitung WBL zwischen benachbarten Speicherzellen geteilt, zusätzlich zu der in der dritten Modifikation des zehnten Ausführungsbeispiels gezeigten, gefalteten Bitleitungsstruktur.

[0736] Bezugnehmend auf Fig. 81 teilen sich in dem Spei-

cherarray gemäß der vierten Modifikation des zehnten Ausführungsbeispiels benachbarte Speicherzellen in Spaltrichtung die gleiche Schreibbitleitung WBL.

[0737] In der Leseoperation wird die Lese-Wort-Leitung RWL aktiviert. In jeder gemeinsamen Leitung CML, die als eine Lesebitleitung RBL fungiert, sind die Speicherzellen jede andere Lese-Wort-Leitung RWL bereitgestellt. Außerdem sind die Speicherzellen abwechselnd zwischen jeden benachbarten, gemeinsamen Leitungen CML angeordnet. Somit bildet jeder Satz von benachbarten zwei Speicherzellenspalten ein Datenleitungspaar, so daß die Datenleseoperation basierend auf der gefalteten Bitleitungsstruktur auf gleiche Weise durchgeführt werden kann, wie bei der dritten Modifikation des zehnten Ausführungsbeispiels.

[0738] Andererseits kann die Datenschreiboperation nicht basierend auf der gefalteten Bitleitungsstruktur durchgeführt werden, da die Schreibbitleitung WBL geteilt wird. Entsprechend ist in der vierten Modifikation des zehnten Ausführungsbeispiels die periphere Schaltungsanordnung, die mit der Auswahl der Schreibbitleitung WBL assoziiert ist, in der gleichen Weise angeordnet, wie in Fig. 77 gezeigt. Somit kann die Datenschreiboperation wie bei dem zehnten Ausführungsbeispiel durchgeführt werden, indem die Datenschreibschaltung 51b mit einer einfachen Struktur verwendet wird.

[0739] Obwohl die Datenschreiboperation nicht basierend auf der gefalteten Bitleitungsstruktur durchgeführt werden kann, kann der Abstand der Schreib-Wort-Leitung WWL in dem Speicherarray 10 erweitert werden. Als ein Ergebnis kann eine verbesserte Integration des Speicherarrays 10 erreicht werden und folglich ein weiter reduzierter Chipbereich der MRAM-Vorrichtung.

#### Fünfte Modifikation des zehnten Ausführungsbeispiels

[0740] In der fünften Modifikation des zehnten Ausführungsbeispiels ist die Lese-Wort-Leitung RWL zwischen benachbarten Speicherzellen geteilt, zusätzlich zu der gefalteten Bitleitungsstruktur der dritten Modifikation des zehnten Ausführungsbeispiels.

[0741] Bezugnehmend auf Fig. 82 teilen sich in dem Speicherarray gemäß der fünften Modifikation des zehnten Ausführungsbeispiels benachbarte Speicherzellen in Spaltrichtung die gleiche Lese-Wort-Leitung RWL. Die Lese/Schreib-Steuerschaltung 60 enthält die Ausgleichstransistoren 62 und die Schreibbitleitungsspannungssteuertransistoren 65, die in gleicher Weise angeordnet sind, wie bei der dritten Modifikation des zehnten Ausführungsbeispiels.

[0742] In jeder Schreibbitleitung WBL sind die Speicherzellen in jeder anderen gemeinsamen Leitung CML bereitgestellt. Außerdem sind die Speicherzellen abwechselnd zwischen jeden benachbarten Schreibbitleitungen WBL angeordnet. Folglich kann in der Datenschreiboperation jeder Satz von benachbarten zwei Speicherzellenreihen ein Schreibbitleitungspaar bilden. Als ein Ergebnis kann die Datenschreiboperation basierend auf der gefalteten Bitleitungsstruktur in der gleichen Weise durchgeführt werden, wie bei der dritten Modifikation des zehnten Ausführungsbeispiels, so daß die gleichen Wirkungen erzielt werden können.

[0743] Andererseits wird in der Datenleseoperation die Lese-Wort-Leitung RWL, die durch eine Mehrzahl von Speicherzellenreihen geteilt wird, aktiviert. Somit kann die Datenleseoperation nicht basierend auf der gefalteten Bitleitungsstruktur durchgeführt werden. Entsprechend ist in der fünften Modifikation des zehnten Ausführungsbeispiels die periphere Schaltungsanordnung, die mit der Auswahl der

gemeinsamen Leitung CML assoziiert ist, die als eine Lesebitleitung RBL dient, in der gleichen Weise angeordnet, wie in Fig. 69 gezeigt.

[0744] Mit einer derartigen Struktur kann die Leseoperationstoleranz basierend auf der gefalteten Bitleitungsstruktur nicht sichergestellt werden, jedoch kann der Abstand der Lese-Wort-Leitungen RWL in dem Speicherarray 10 erweitert werden, und die Datenleseoperation kann normal durchgeführt werden. Als ein Ergebnis kann eine verbesserte Integration des Speicherarrays 10 erreicht werden und folglich ein reduzierter Chipbereich der MRAM-Vorrichtung.

[0745] Entsprechend kann durch Durchführung der Datenschreiboperation basierend auf der gefalteten Bitleitungsstruktur unter Verwendung der Speicherzellen des zehnten Ausführungsbeispiels die Schreiboperationstoleranz sichergestellt werden, genauso wie eine vereinfachte Struktur der peripheren Schaltungsanordnung, und ein reduziertes Datenschreibrauschen kann erreicht werden. Außerdem kann gleichzeitig durch Teilen der Lese-Wort-Leitung RWL eine verbesserte Integration des Speicherarrays 10 erreicht werden.

[0746] Obwohl die Erfindung im Vorangegangenen beschrieben und im Detail verdeutlicht wurde, ist es selbstverständlich, daß dies nur beispielhaft geschehen ist und in keinerlei Hinsicht eine Einschränkung des Schutzbereichs der Erfindung bedeutet.

#### Patentansprüche

1. Dünnfilmmagnetspeichervorrichtung mit:
  - einem Speicherarray (10), enthaltend eine Mehrzahl von Magnetspeicherzellen (MC, MCD), die in Reihen und Spalten angeordnet sind, wobei jede der Mehrzahl von Magnetspeicherzellen entweder einen ersten oder zweiten Widerstandswert gemäß ihrem Speicherdatenpegel aufweist;
  - einer Mehrzahl von ersten Bitleitungen (BL), die korrespondierend zu jeweiligen Spalten der Magnetspeicherzellen bereitgestellt sind;
  - einer Mehrzahl von Lese-Wort-Leitungen (RWL), die korrespondierend zu jeweiligen Reihen der Magnetspeicherzellen bereitgestellt sind, zur elektrischen Kopplung der Magnetspeicherzellen, korrespondierend zu einer adressierten Reihe zwischen der Mehrzahl von ersten Bitleitungen, die jeweils auf eine erste Spannung (Vcc) und eine zweite Spannung (Vss) gesetzt sind, um einen Datenlesestrom (Is) durch die Magnetspeicherzellen hindurchzulassen;
  - einer ersten Lesedatenleitung (RDB) zur Übertragung von Lesedaten (DOUT);
  - einer Lesegateschaltung (RG, RCG) zum Setzen einer Spannung der ersten Lesedatenleitung gemäß einer Spannung auf einer der Mehrzahl von ersten Bitleitungen, die zu einer adressierten Spalte korrespondiert, und
  - einer Datenleseschaltung (55a, 55b, 55c) zum Setzen eines Pegels der Lesedaten gemäß der Spannung auf der ersten Lesedatenleitung.
2. Dünnfilmmagnetspeichervorrichtung nach Anspruch 1, ferner mit:
  - einer zweiten Lesedatenleitung (IO), die hierarchisch in Bezug auf die Mehrzahl von ersten Bitleitungen bereitgestellt ist, und die selektiv mit der ersten Bitleitung gekoppelt wird, die zu der adressierten Spalte in der Datenleseoperation korrespondiert, wobei die Lesegateschaltung (RCG) eine Stromsteuerschaltung (Qc1, Qc3) zur Bildung eines Strompfades zwischen der ersten Lesedatenleitung (RDB) und der zweiten Span-

nung (Vss) enthält, die zu einer Spannung auf der zweiten Lesedatenleitung korrespondiert.

3. Dünnfilmmagnetspeichervorrichtung nach Anspruch 1 oder 2, ferner mit:

einer Mehrzahl von zweiten Bitleitungen (/BL), die jeweils als komplementäre Bitleitungen der Mehrzahl von ersten Bitleitungen (BL) bereitgestellt sind; einer zweiten Lesedatenleitung (/RDB), die als komplementäre Datenleitung der ersten Lesedatenleitung (RDB) bereitgestellt ist;

einer Mehrzahl von Dummyspeicherzellen (DMC), die jeweils einen Zwischenwiderstandswert der ersten und zweiten Widerstandswerte aufweisen, und jeweils entweder mit der entsprechenden ersten oder zweiten Bitleitung gekoppelt sind, und

einer Mehrzahl von Dummylesewortleitungen (DRWL1, DRWL2) zur Auswahl der Mehrzahl von Dummyspeicherzellen, wobei

die Mehrzahl von Lese-Wort-Leitungen (RWL) die Magnetspeicherzellen (MC, MCD) elektrisch koppelt, die zu der ausgewählten Reihe zwischen einer der Mehrzahl von ersten Bitleitungen und der Mehrzahl von zweiten Bitleitungen korrespondieren, die bei der Datenleseoperation jeweils auf die erste Spannung (Vcc) und die zweite Spannung (Vss) gesetzt sind, und wobei die Mehrzahl von Dummylesewortleitungen die Dummyspeicherzellen zwischen der anderen der Mehrzahl von ersten Bitleitungen und der Mehrzahl von zweiten Bitleitungen elektrisch koppelt, die in der Datenleseoperation jeweils auf die erste Spannung und die zweite Spannung gesetzt sind;

die Lesegateschaltung (RG, RCG) die Spannungspegel auf der ersten und zweiten Lesedatenleitung setzt, gemäß den Spannungspegeln auf einer der Mehrzahl von ersten Bitleitungen und einer der Mehrzahl von zweiten Bitleitungen, korrespondierend zu der ausgewählten Spalte, und

wobei die Datenleseschaltung (55a, 55b) den Pegel der Lesedaten (DOUT) gemäß einer Spannungsdifferenz zwischen der ersten und zweiten Lesedatenleitung setzt.

4. Dünnfilmmagnetspeichervorrichtung mit einem Normaloperationsmodus und einem Testmodus, enthaltend:

ein Speicherarray (10) mit einer Mehrzahl von Magnetspeicherzellen (MC, MCD), die in Reihen und Spalten angeordnet sind, wobei jede der Mehrzahl von Magnetspeicherzellen einen unterschiedlichen Widerstandswert aufweist, gemäß einem Pegel der Speicherdaten, die geschrieben werden, wenn ein Datenschreibmagnetfeld, das durch einen ersten und einen zweiten Datenschreibstrom ( $I_p$ ,  $\pm I_w$ ) angelegt wird, größer ist als ein vorbestimmtes Magnetfeld;

eine Mehrzahl von Schreib-Wort-Leitungen (WWL), die korrespondierend zu jeweiligen Reihen der Magnetspeicherzellen bereitgestellt sind, und die jeweils selektiv gemäß einem Reihenauswahlergebnis in einer Datenschreiboperation aktiviert werden;

eine Schreib-Wort-Leitungstreiberschaltung (30) zur Lieferung des ersten Datenschreibstroms an die aktivierte Wortleitung in einer Menge, die zu einem Spannungspegel auf einem ersten Steuerknoten (Np1) korrespondiert;

eine Datenschreibschaltung (51a, 51b, 51c) zur Lieferung des zweiten Datenschreibstroms in der Datenschreiboperation in einer Menge, die zu einem Spannungspegel auf einem zweiten Steuerknoten (Nf1) korrespondiert, und

eine Mehrzahl von Bitleitungen (BL), die korrespondierend zu den jeweiligen Spalten der Magnetspeicherzellen bereitgestellt sind, und die selektiv mit der Datenschreibschaltung gemäß einem Spaltauswahlergebnis in der Datenschreiboperation gekoppelt sind, wobei mindestens eine der Schreib-Wort-Leitungstreiberschaltung und der Datenwortschaltung einen Eingangsanschluß (202, 204/212, 214/270-273) enthält, zum externen Setzen des Spannungspegels eines korrespondierenden des ersten und/oder zweiten Steuerknotens im Testmodus.

5. Dünnfilmmagnetspeichervorrichtung nach Anspruch 4, wobei der Eingangsanschluß (202, 204/212, 214) einen Referenzspannungseingangsanschluß (202, 204) enthält, der elektrisch mit einem korrespondierenden der ersten und/oder zweiten Steuerknoten im Testmodus gekoppelt ist, wobei der Referenzspannungseingangsanschluß extern eine vorbestimmte Spannung erhalten kann.

6. Dünnfilmmagnetspeichervorrichtung nach Anspruch 4 oder 5, wobei mindestens eine der Schreib-Wort-Leitungstreiberschaltung (30) und der Datenschreibschaltung (51a, 51b, 51c) eine Referenzspannungseinstellungsschaltung (230) enthält, zur Einstellung einer Referenzspannung (Vrp, Vrw) auf einem Korrespondierenden der ersten und/oder zweiten Steuerknoten (Np1, Nf1), wobei die Referenzspannungseinstellungsschaltung folgendes enthält: eine Mehrzahl von Programmelementen (251-253), die sich jeweils von einem ersten Zustand in einen zweiten Zustand in einer nicht flüchtigen Art und Weise in Antwort auf eine externe Durchbrenneingabe ändern, und einen Spannungseinstellungsbereich (231b) zum Setzen eines Pegels der Referenzspannung gemäß der Kombination jeweiliger Zustände der Mehrzahl von Programmelementen.

7. Dünnfilmmagnetspeichervorrichtung mit: einem Speicherarray (10) mit einer Mehrzahl von Magnetspeicherzellen (MC, MCD), die in Reihen und Spalten angeordnet sind, wobei jede der Mehrzahl von Magnetspeicherzellen einen Magnetspeicherbereich (MTJ) enthält, der entweder einen ersten oder einen zweiten Widerstandswert aufweist gemäß einem Pegel der Speicherdaten, die geschrieben werden, wenn ein Datenschreibmagnetfeld, das durch einen ersten und zweiten Datenschreibstrom ( $I_p$ ,  $\pm I_w$ ) angelegt wird, größer ist als ein vorbestimmtes Magnetfeld; einer Mehrzahl von Schreib-Wort-Leitungen (WWL), die korrespondierend zu den jeweiligen Reihen der Magnetspeicherzellen bereitgestellt sind, und die jeweils selektiv gemäß einem Adressauswahlergebnis aktiviert werden, um den ersten Datenschreibstrom in einer Datenschreiboperation durchzulassen; und einer Mehrzahl von Bitleitungspaaren (BLP), die korrespondierend zu den jeweiligen Spalten der Magnetspeicherzellen bereitgestellt sind, um den zweiten Datenschreibstrom durchzulassen, wobei jedes der Mehrzahl von Bitleitungspaaren eine erste und zweite Bitleitung (BL, /BL) enthält, und wobei die erste und zweite Bitleitung jeweils gebildet ist, indem Verdrahtungen verwendet werden, die jeweils in einer ersten und zweiten Metallverdrahtungsschicht (M2, M3/M4) gebildet sind, mit den Magnetspeicherbereichen (MTJ), die dazwischenliegend auf einem Halbleitersubstrat (SUB) angeordnet sind; einer Mehrzahl von Kopplungsschaltungen (62), die jeweils korrespondierend zu der Mehrzahl von Bitlei-

tungspaaren bereitgestellt sind, jeweils zur elektrischen Kopplung von korrespondierenden ersten und zweiten Bitleitungen miteinander, wobei der zweite Datenschreibstrom als ein reziproker Strom durch die erste und zweite Bitleitung fließt, die elektrisch durch die korrespondierende Kopplungsschaltung miteinander gekoppelt sind.

8. Dünnfilmmagnetspeichervorrichtung nach Anspruch 7, wobei:

jede erste Bitleitung (BL) eine Verdrahtung enthält, die in der ersten Metallverdrahtungsschicht (M2, M3) gebildet ist,

jede zweite Bitleitung (/BL) eine Verdrahtung enthält, die in der zweiten Metallverdrahtungsschicht (M4) gebildet ist, und

die Dünnfilmmagnetspeichervorrichtung ferner folgendes enthält:

eine Datenschreibschaltung (51b) zum Setzen eines Endes der ersten Bitleitung in einem Bitleitungspaar auf einen hohen Potentialzustand (Vcc) oder einen niedrigen Potentialzustand (Vss), und zum Setzen eines Endes der zweiten Bitleitung, die in dem einen Bitleitungspaar enthalten ist, auf den anderen Potentialzustand,

wobei das eine Bitleitungspaar von einer Mehrzahl von Bitleitungspaaren (BLP) gemäß einem Adressauswahlergebnis ausgewählt wird und

wobei jede der Kopplungsschaltungen (62) das andere Ende der ersten Bitleitung mit dem anderen Ende der zweiten Bitleitung in der Datenschreiboperation koppelt.

9. Dünnfilmmagnetspeichervorrichtung nach Anspruch 7 oder 8, wobei:

die erste und zweite Bitleitung (BL, /BL) gebildet sind, indem die erste und zweite Metallverdrahtungsschicht (M3, M4) verwendet wird, um sich in einem vorbestimmten Bereich auf dem Speicherarray zu kreuzen, und

jede der Magnetspeicherzellen (MC, MCD) entweder mit der ersten oder zweiten Bitleitung in der ersten Metallverdrahtungsschicht (M3) gekoppelt ist, und die Dünnfilmmagnetspeichervorrichtung ferner enthält:

eine Mehrzahl von Lese-Wort-Leitungen (RWL), die korrespondierend zu jeweiligen Reihen der Magnetspeicherzellen bereitgestellt sind, die jeweils selektiv gemäß dem Adressauswahlergebnis in der Datenleseoperation aktiviert werden;

eine Mehrzahl von Dummyspeicherzellen (DMC), die jeweils einen Zwischenwiderstandswert vom ersten und zweiten Widerstandswerts aufweisen, und die jeweils entweder mit der korrespondierenden ersten oder zweiten Bitleitung gekoppelt sind;

eine Mehrzahl von Dummylesewortleitungen (DRWL1, DRWL2) zur Auswahl der Mehrzahl von Dummyspeicherzellen, und

eine Datenleseschaltung (55d) zum Setzen eines Pegels der Lesedaten (DOUT) gemäß einer Spannungsdifferenz zwischen der ersten und zweiten Bitleitung korrespondierend zu einer ausgewählten Spalte, wobei die Mehrzahl von Lese-Wort-Leitungen und die Mehrzahl von Dummylesewortleitungen aktiviert werden, um so die Magnetspeicherzellen und die Dummyspeicherzellen zwischen der Mehrzahl von ersten und zweiten Bitleitungen elektrisch zu koppeln, die jeweils auf eine erste Spannung (Vcc) und eine zweite Spannung (Vss) gesetzt sind, um einen Datenschreibstrom (Is) gemäß dem Adressauswahlergebnis durchzulassen.

10. Dünnfilmmagnetspeichervorrichtung mit:

einem Speicherarray (10) mit einer Mehrzahl von Magnetspeicherzellen (MC, MCD), die in Reihen und Spalten angeordnet sind, wobei jede der Mehrzahl von Magnetspeicherzellen mit einem Magnetspeicherbereich (MTJ) einen unterschiedlichen Widerstandswert aufweist, gemäß einem Pegel der Speicherdaten, die geschrieben werden, wenn ein Datenschreibmagnetfeld, das durch einen ersten und zweiten Datenschreibstrom ( $\pm I_w$ ,  $I_p$ ) angelegt wird, größer ist als ein vorbestimmtes Magnetfeld;

einer Mehrzahl von Bitleitungen (BL), die korrespondierend zu jeweiligen Spalten der Magnetspeicherzellen bereitgestellt sind, jeweils zum Durchlassen des ersten Datenschreibstroms in der Datenschreiboperation, und

einer Mehrzahl von Schreib-Wort-Leitungen (WWL), die korrespondierend zu den jeweiligen Reihen der Magnetspeicherzellen bereitgestellt sind, und die selektiv gemäß einem Adressauswahlergebnis aktiviert werden, um den zweiten Datenschreibstrom in der Datenschreiboperation durchzulassen, wobei jede der Schreib-Wort-Leitungen eine erste und zweite Nebenschreibwortleitung (WWLu, WWL1) enthält, die jeweils in der ersten und zweiten Metallverdrahtungsschicht (M2, M4) gebildet sind, mit den Magnetspeicherbereichen (MTJ), die dazwischenliegend in einer vertikalen Richtung auf einem Halbleitersubstrat (SUB) angeordnet sind, und die Dünnfilmmagnetspeichervorrichtung ferner enthält:

eine Mehrzahl von Kopplungsschaltungen (145, TSW), die jeweils korrespondierend zu der Mehrzahl von Schreib-Wort-Leitungen bereitgestellt sind, jeweils zur elektrischen Kopplung der korrespondierenden ersten und zweiten Nebenschreibwortleitung miteinander, wobei der zweite Datenschreibstrom als ein reziproker Strom durch die erste und zweite Nebenschreibwortleitung fließt, die elektrisch durch eine Korrespondierende der Mehrzahl von Kopplungsschaltungen miteinander gekoppelt sind.

11. Dünnfilmmagnetspeichervorrichtung nach Anspruch 10, ferner mit:

einer Mehrzahl von Schreib-Wort-Treibern (WWD1-WWDn), die jeweils korrespondierend zu der Mehrzahl von Schreib-Wort-Leitungen (WWL) bereitgestellt sind, zum Setzen eines Endes der ersten Nebenschreibwortleitung (WWLu) in einer korrespondierenden Schreib-Wort-Leitung auf eine ersten Spannung ( $V_{cc}$ ) gemäß dem Adressauswahlergebnis, wobei ein Ende jeder der zweiten Nebenschreibwortleitungen (WWL1) mit einer zweiten Spannung ( $V_{ss}$ ) gekoppelt ist, und

jede der Kopplungsschaltungen (TSW, 145) eine Verdrahtung (145) enthält, zur Kopplung der anderen Enden der korrespondierenden ersten und zweiten Nebenschreibwortleitungen miteinander.

12. Dünnfilmmagnetspeichervorrichtung nach Anspruch 11, wobei die Mehrzahl der Schreib-Wort-Treiber (WWD1-WWDn) separat derart bereitgestellt sind, daß die Schreib-Wort-Treiber, die zu einer vorbestimmten Anzahl von Reihen korrespondieren, in jeder Region bereitgestellt sind, die benachbart zu dem Speicherarray (10) in Reihenrichtung lokalisiert ist.

13. Dünnfilmmagnetspeichervorrichtung nach einem der Ansprüche 10 bis 12, wobei ein Ende jeder der ersten und zweiten Nebenschreibwortleitung (WWLu, WWL1) jeweils mit der ersten und zweiten Spannung ( $V_{cc}$ ,  $V_{ss}$ ) gekoppelt ist, und die Kopplungsschaltung eine Mehrzahl von Schaltschaltungen (TSW1-TSWn)

enthält, die jeweils korrespondierend zu der Mehrzahl der Schreib-Wort-Leitungen (WWL1-WWLn) bereitgestellt sind, jeweils zur elektrischen Kopplung der anderen Enden der ersten und zweiten Nebenschreibwortleitungen in einer Korrespondierenden der Mehrzahl von Schreib-Wort-Leitungen miteinander gemäß dem Adressauswahlergebnis.

14. Dünnfilmmagnetspeichervorrichtung mit:

einem Speicherarray (10) mit einer Mehrzahl von Magnetspeicherzellen (MCD), die in Reihen und Spalten angeordnet sind, wobei jede der Mehrzahl von Magnetspeicherzellen einschließlich einem Magnetspeicherbereich (MTJ) einen unterschiedlichen Widerstandswert gemäß einem Pegel der Speicherdaten aufweist, die geschrieben werden, wenn ein Datenschreibmagnetfeld, das durch einen ersten und einen zweiten Datenschreibstrom ( $I_p$ ,  $\pm I_w$ ) angelegt wird, größer ist als ein vorbestimmtes Magnetfeld;

einer Mehrzahl von Lese-Wort-Leitungen (RWL), die korrespondierend zu jeweiligen Reihen der Magnetspeicherzellen bereitgestellt sind, und die gemäß einem Adressauswahlergebnis in einer Datenleseoperation auf eine erste Spannung ( $V_{ss}$ ) getrieben werden;

einer Mehrzahl von Schreib-Wort-Leitungen (WWL), die korrespondierend zu jeweiligen Reihen bereitgestellt sind, und die selektiv gemäß dem Adressauswahlergebnis aktiviert werden, um so den ersten Datenschreibstrom in einer Datenschreiboperation durchzulassen; und

einer Mehrzahl von Bitleitung (BL), die korrespondierend zu den jeweiligen Spalten der Magnetspeicherzellen bereitgestellt sind, um sich in einer Richtung zu erstrecken, die die Mehrzahl von Schreib-Wort-Leitungen kreuzt, und die jeweils mit den korrespondierenden Magnetspeicherbereichen gekoppelt sind, wobei eine der Mehrzahl von Bitleitungen die gemäß dem Adressauswahlergebnis ausgewählt ist, einen Datenlesestrom ( $I_s$ ) durchläßt, sowie jeweils den zweiten Datenschreibstrom in der Datenleseoperation und der Datenschreiboperation, und

jede der Magnetspeicherzellen ferner ein Gleichrichtungselement (DM) enthält, das zwischen dem korrespondierenden Magnetspeicherbereich und einer korrespondierenden der Mehrzahl von Lese-Wort-Leitungen gekoppelt ist.

15. Dünnfilmmagnetspeichervorrichtung nach Anspruch 14, wobei benachbarte Magnetspeicherzellen (MCD) sich eine der Mehrzahl von Schreib-Wort-Leitungen (WWL) teilen.

16. Dünnfilmmagnetspeichervorrichtung mit:

einem Speicherarray (10) mit einer Mehrzahl von Magnetspeicherzellen (MCD'), die in Reihen und Spalten angeordnet sind, wobei jede der Mehrzahl von Magnetspeicherzellen mit einem Magnetspeicherbereich (MTJ) einen unterschiedlichen Widerstandswert aufweist, gemäß einem Pegel der Speicherdaten, die geschrieben werden, wenn ein Datenschreibmagnetfeld, das durch einen ersten und einen zweiten Datenschreibstrom ( $I_p$ ,  $\pm I_w$ ) angelegt wird, größer ist als ein vorbestimmtes Magnetfeld;

einer Mehrzahl von Wortleitungen (WL), die korrespondierend zu jeweiligen Reihen der Magnetspeicherzellen bereitgestellt sind, und die jeweils zwischen korrespondierenden, benachbarten Magnetspeicherzellen in Spaltrichtung geteilt werden, wobei eine der Mehrzahl von Wortleitungen, die gemäß einem Adressauswahlergebnis ausgewählt ist, aktiviert wird, um den ersten Datenschreibstrom und einen Datenlesestrom ( $I_s$ )

jeweils in einer Datenschreiboperation und einer Datenleseoperation durchzulassen, und einer Mehrzahl von Bitleitungen (BL), die korrespondierend zu jeweiligen Spalten der Magnetspeicherzellen bereitgestellt sind, um sich in einer Richtung zu erstrecken, die die Mehrzahl von Schreib-Wort-Leitungen kreuzt, und die jeweils mit korrespondierenden Magnetspeicherbereichen gekoppelt sind, wobei eine der Mehrzahl von Bitleitungen, die gemäß dem Adressauwahlergebnis ausgewählt ist, den Datenlesestrom und den zweiten Datenschreibstrom jeweils in der Datenleseoperation und der Datenschreiboperation durchläßt, und wobei jede der Magnetspeicherzellen ferner ein Gleichrichtungselement (DM) enthält, das zwischen dem korrespondierenden Magnetspeicherbereich und einer Korrespondierenden der Mehrzahl von Wortleitungen verbunden ist.

17. Dünnfilmmagnetspeichervorrichtung nach Anspruch 16, wobei jede Wortleitung (WL) einen größeren Querschnittsbereich aufweist als jede Bitleitung (BL).

18. Dünnfilmmagnetspeichervorrichtung mit: einem Speicherarray (10) mit einer Mehrzahl von Magnetspeicherzellen (MC), die in Reihen und Spalten angeordnet sind, wobei jede der Mehrzahl von Magnetspeicherzellen folgendes enthält:

einen Magnetspeicherbereich (MTJ) mit einem unterschiedlichen Widerstandswert gemäß einem Pegel der Speicherdaten, die geschrieben werden, wenn ein Datenschreibmagnetfeld, das durch einen ersten und zweiten Datenschreibstrom ( $I_p$ ,  $\pm I_w$ ) angelegt wird, größer ist als ein vorbestimmtes Magnetfeld, und ein Speicherzellenauswahlgate (ATR) zum Durchlassen eines Datenlesestroms ( $I_s$ ) in den Magnetspeicherbereich bei einer Datenleseoperation;

eine Mehrzahl von Lese-Wort-Leitungen (RWL), die korrespondierend zu jeweiligen Reihen der Magnetspeicherzellen bereitgestellt sind, jeweils zur Aktivierung des korrespondierenden Speicherzellenauswahlgates gemäß einem Adressauwahlergebnis in der Datenleseoperation;

eine Mehrzahl von Schreib-Wort-Leitungen (WWL), die korrespondierend zu jeweiligen Spalten der Magnetspeicherzellen bereitgestellt sind, und die jeweils selektiv auf einen aktiven Zustand getrieben werden, gemäß einem Adressauwahlergebnis, um so den ersten Datenschreibstrom in einer Datenschreiboperation durchzulassen;

eine Mehrzahl von Schreibdatenleitungen (WBL), die korrespondierend zu jeweiligen Reihen bereitgestellt sind, zum Durchlassen des zweiten Datenschreibstroms in der Datenschreiboperation; und

eine Mehrzahl von Lesedatenleitungen (RBL), die korrespondierend zu jeweiligen Spalten bereitgestellt sind, zum Durchlassen des Datenlesestroms in der Datenleseoperation, wobei benachbarte Magnetspeicherzellen sich eine korrespondierende von mindestens einer der Mehrzahl von Schreib-Wort-Leitungen, der Mehrzahl von Lese-Wort-Leitungen, der Mehrzahl von Schreibdatenleitungen und der Mehrzahl von Lesedatenleitungen teilen.

19. Dünnfilmmagnetspeichervorrichtung mit: einem Speicherarray (10) mit einer Mehrzahl von Magnetspeicherzellen (MC), die in Reihen und Spalten angeordnet sind, wobei jede der Mehrzahl von Magnetspeicherzellen folgendes enthält: einen Magnetspeicherbereich (MTJ) mit einem unter-

schiedlichen Widerstandswert gemäß einem Pegel der Speicherdaten, die geschrieben werden, wenn ein Datenschreibmagnetfeld, das durch einen ersten und zweiten Datenschreibstrom ( $\pm I_w$ ,  $I_p$ ) angelegt wird, größer ist als ein vorbestimmtes Magnetfeld, und ein Speicherzellenauswahlgate (ATR) zum Durchlassen eines Datenlesestroms ( $I_s$ ) in den Magnetspeicherbereich in einer Datenleseoperation;

eine Mehrzahl von Lese-Wort-Leitungen (RWL), die korrespondierend zu jeweiligen Reihen der Magnetspeicherzellen bereitgestellt sind, jeweils zur Aktivierung des korrespondierenden Speicherzellenauswahlgates gemäß einem Adressauwahlergebnis in der Datenleseoperation;

eine Mehrzahl von Schreibdatenleitungen (WBL), die korrespondierend zu jeweiligen Reihen bereitgestellt sind, zum Durchlassen des ersten Datenschreibstroms in einer Datenschreiboperation;

eine Mehrzahl von gemeinsamen Leitungen (CML), die korrespondierend zu jeweiligen Spalten der Magnetspeicherzellen bereitgestellt sind,

wobei jede der Mehrzahl von gemeinsamen Leitungen selektiv eine Versorgung des Datenlesestroms gemäß dem Adressauwahlergebnis in der Datenleseoperation erhält, und

wobei jede der Mehrzahl von gemeinsamen Leitungen selektiv auf eine erste Spannung ( $V_{cc}$ ) zum Durchlassen des zweiten Datenschreibstroms gemäß dem Adressauwahlergebnis in der Datenschreiboperation getrieben wird, und

eine Stromsteuerschaltung (40) zur elektrischen Kopplung und Trennung jeder gemeinsamen Leitung mit und von einer zweiten Spannung ( $V_{ss}$ ) jeweils in der Datenschreiboperation und der Datenleseoperation, wobei die zweite Spannung von der ersten Spannung verschieden ist, und

wobei benachbarte Magnetspeicherzellen sich eine korrespondierende von mindestens einer der Mehrzahl von Schreibdatenleitungen, der Mehrzahl von Lese-Wort-Leitungen und der Mehrzahl von gemeinsamen Leitungen teilen.

20. Dünnfilmmagnetspeichervorrichtung nach Anspruch 19, wobei:

die benachbarten Magnetspeicherzellen (MC) sich eine Korrespondierenden der Mehrzahl von gemeinsamen Leitungen (CML) und einer korrespondierenden der Mehrzahl von Schreibdatenleitungen (WBL) teilen, die weiter weg von den jeweiligen Magnetspeicherbereichen (MTJ) lokalisiert ist, und

jede der gemeinsamen Leitungen und der Schreibdatenleitungen, die von den benachbarten Speicherzellen geteilt werden, einen größeren Querschnittsbereich aufweist, als der von jeder der anderen der gemeinsamen Leitung und der Schreibdatenleitung.

---

Hierzu 73 Seite(n) Zeichnungen

---

FIG. 1

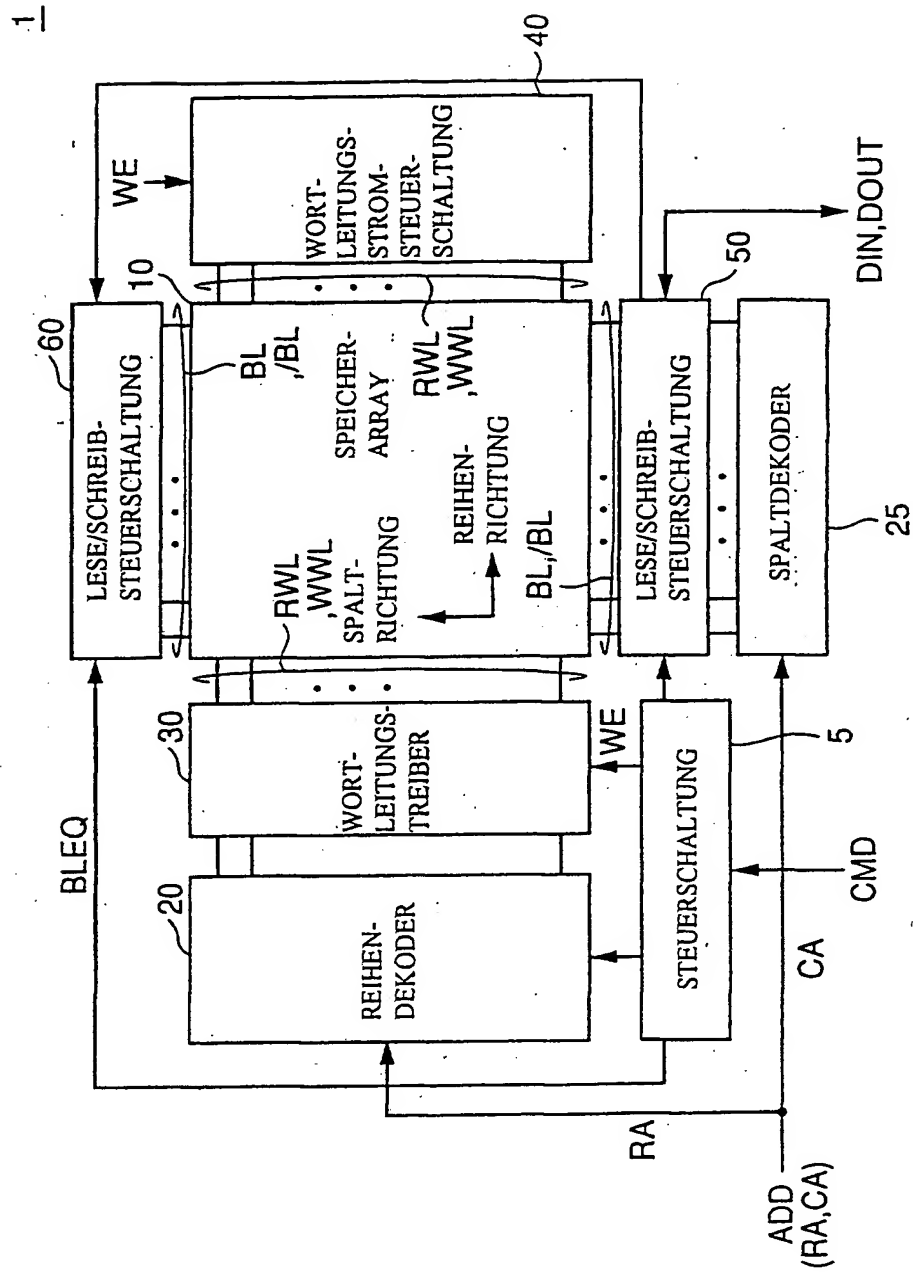
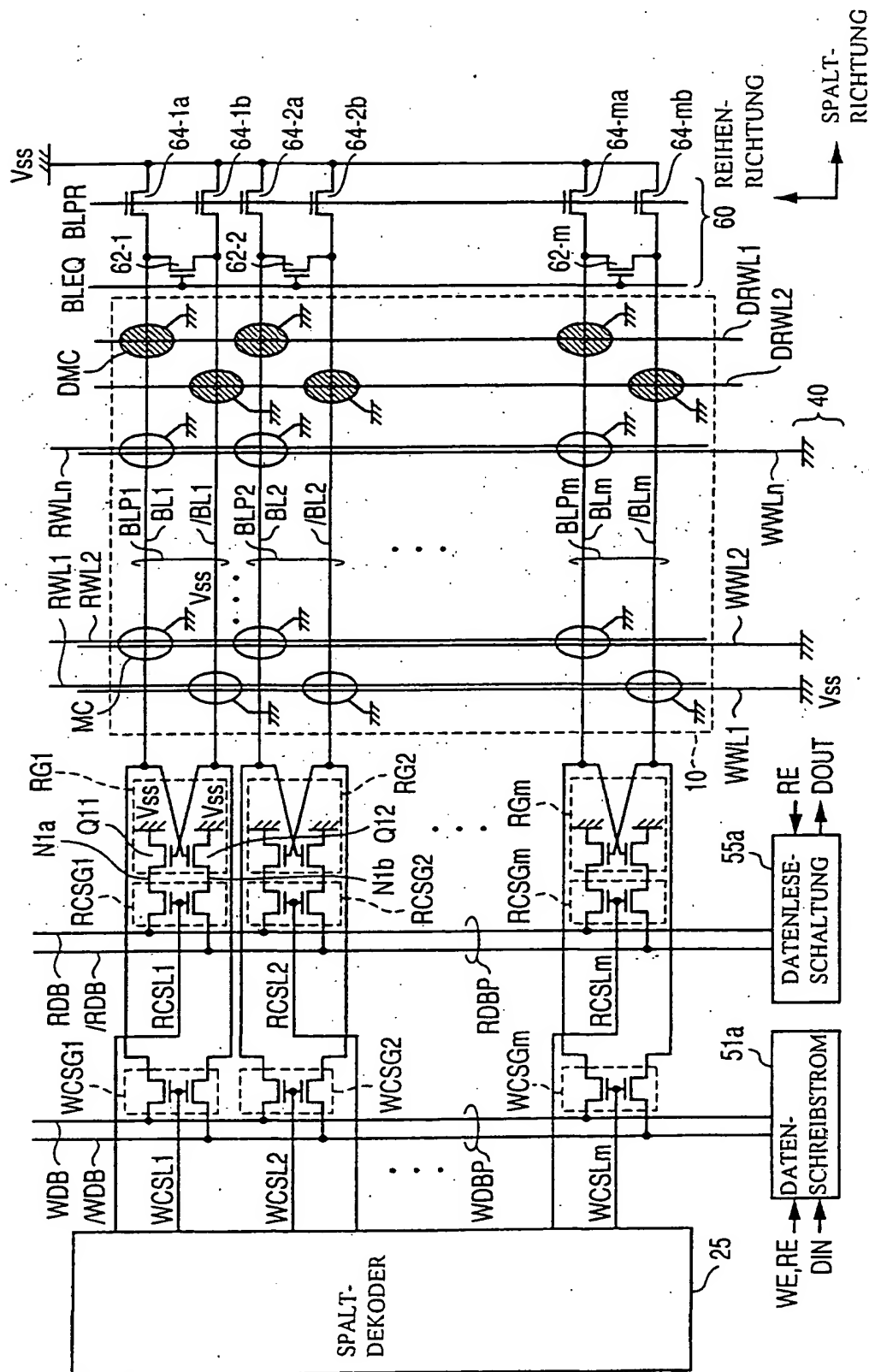


FIG.2



*FIG.3*

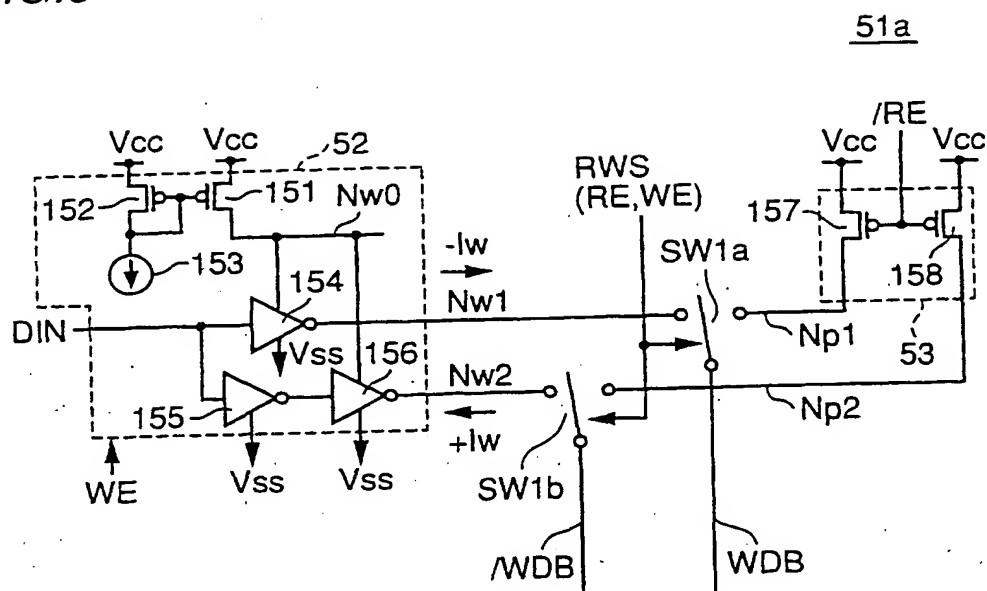


FIG.4

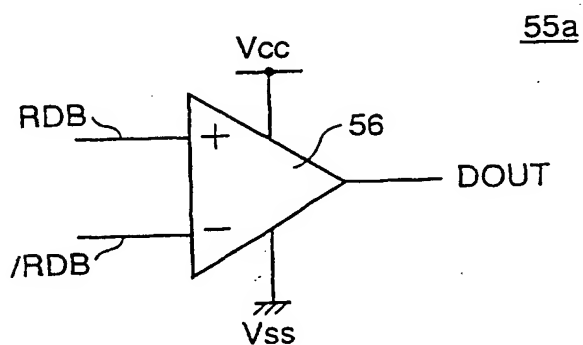


FIG.5

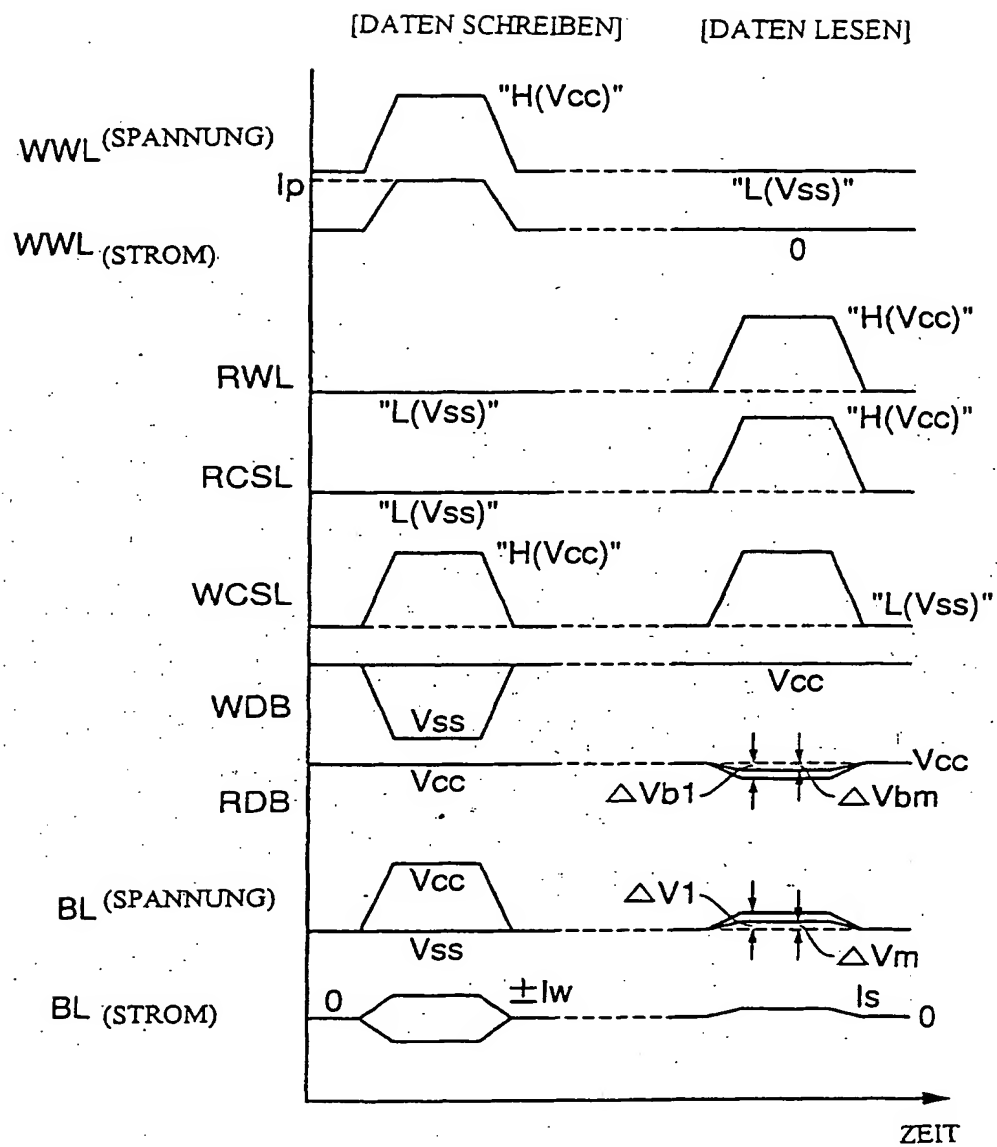
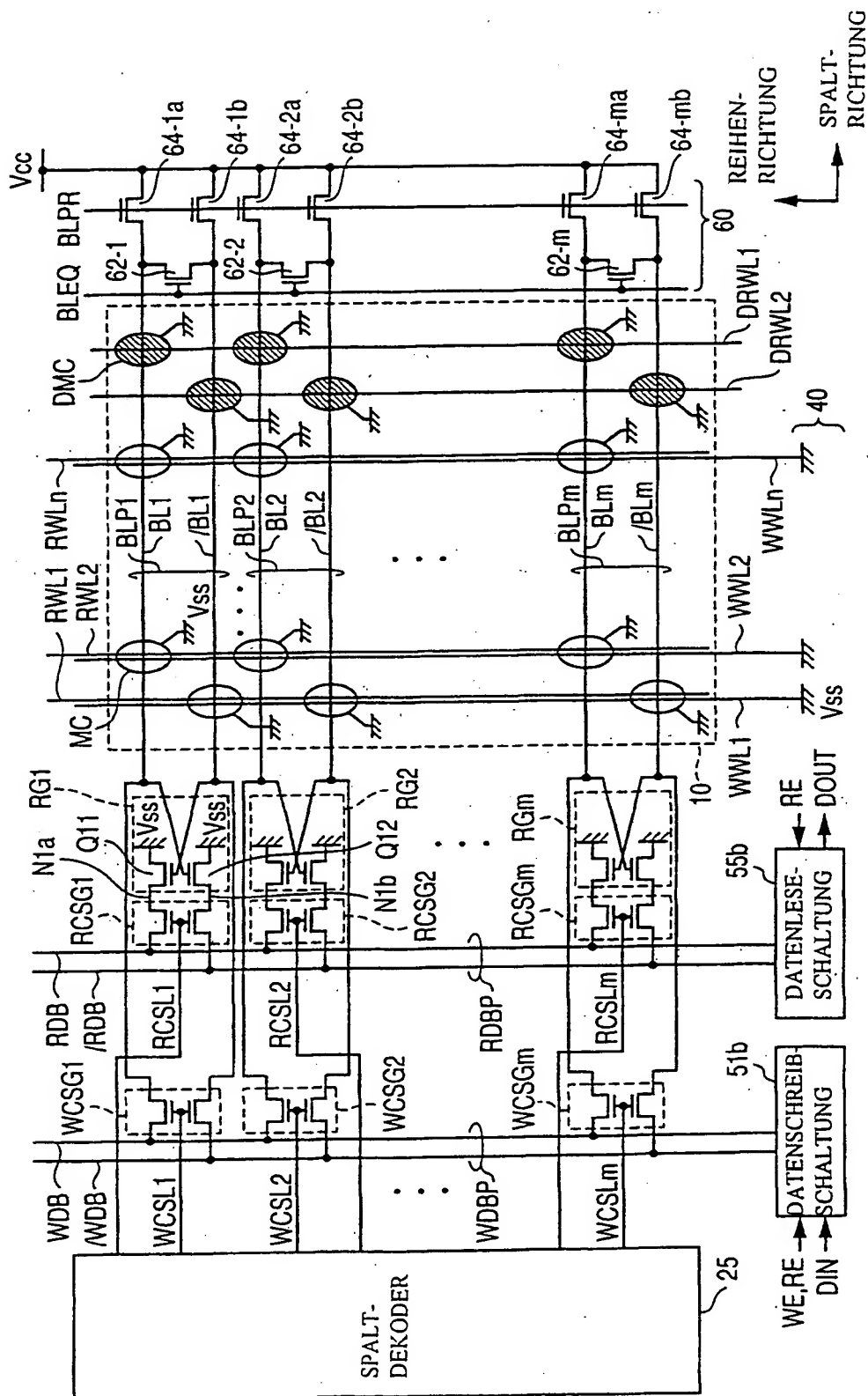
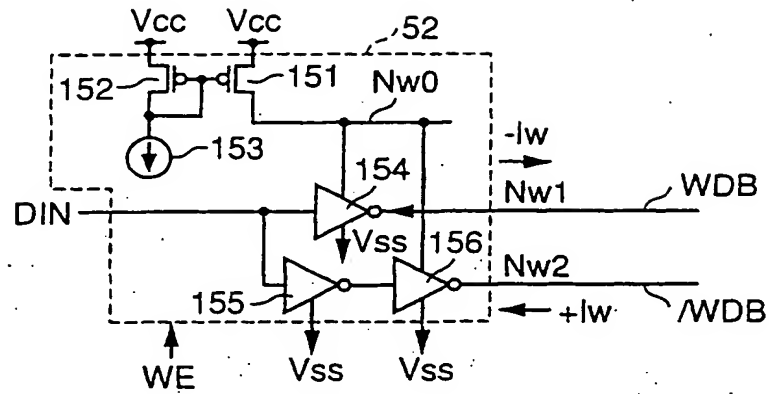


FIG. 6



*FIG. 7*

51b



**FIG.8**

55b

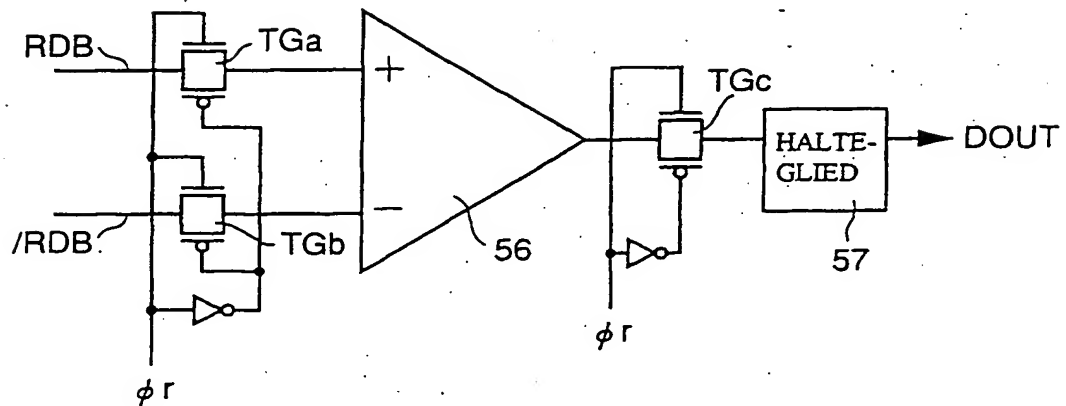


FIG.9

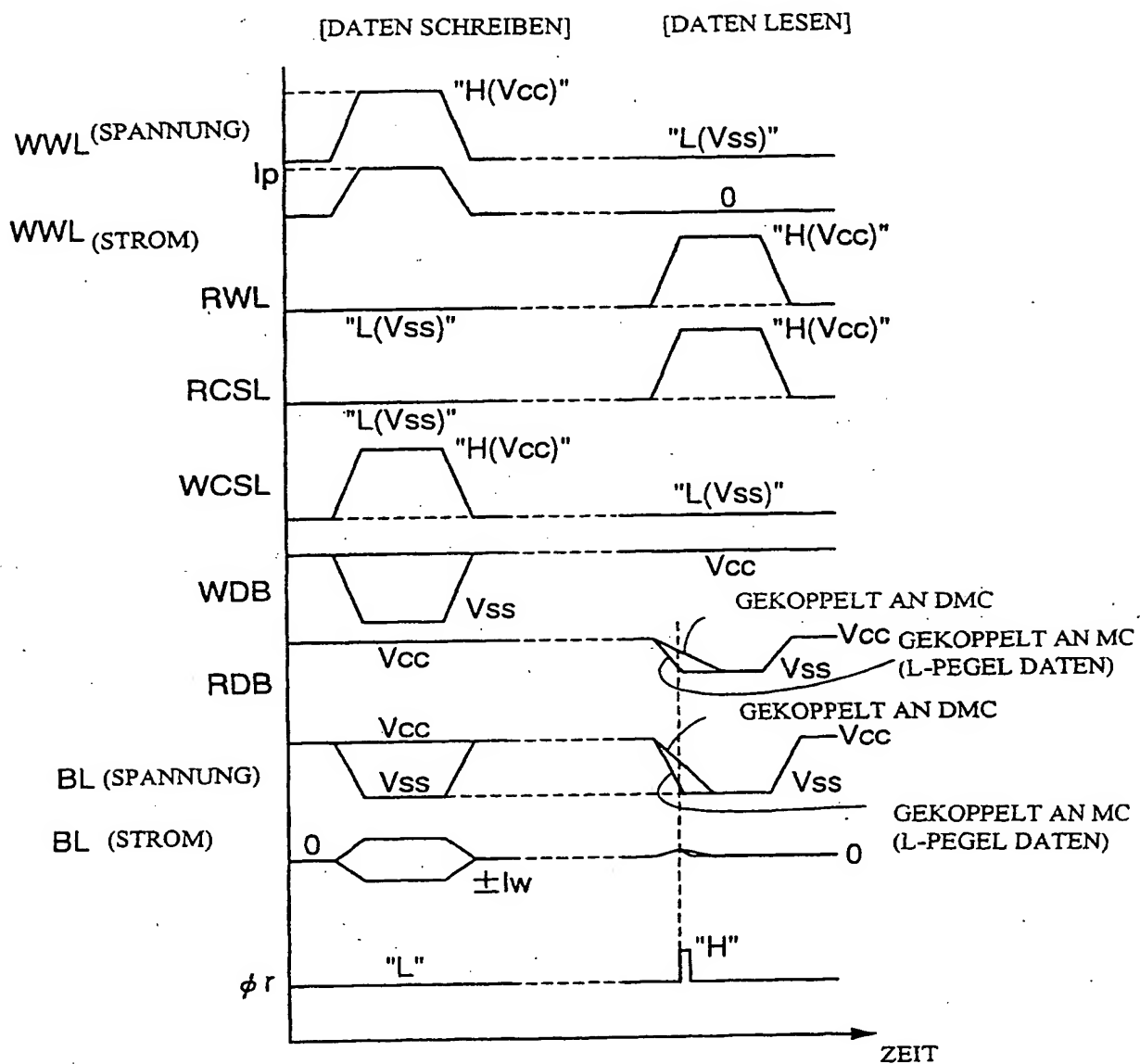


FIG.10

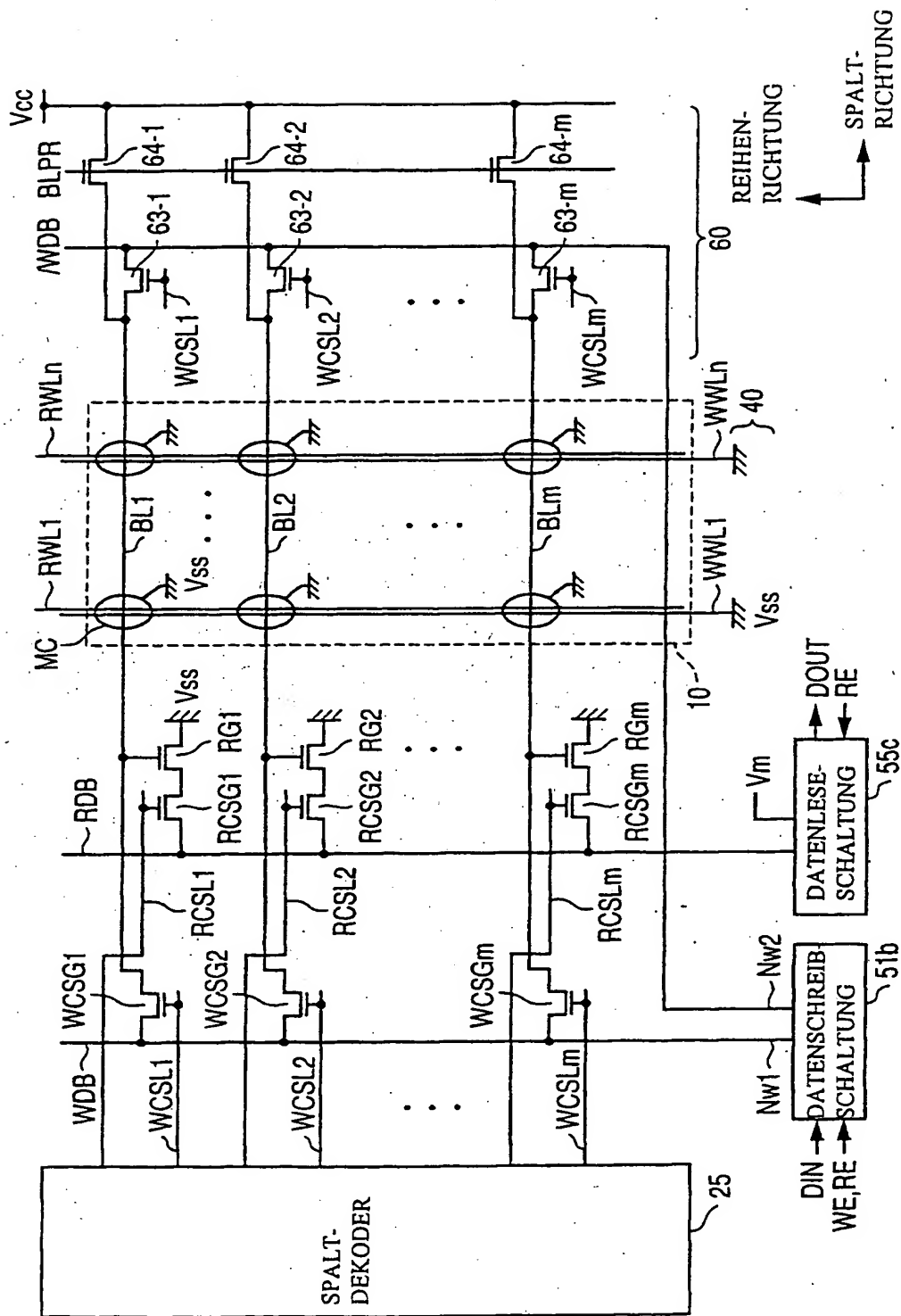


FIG. 11

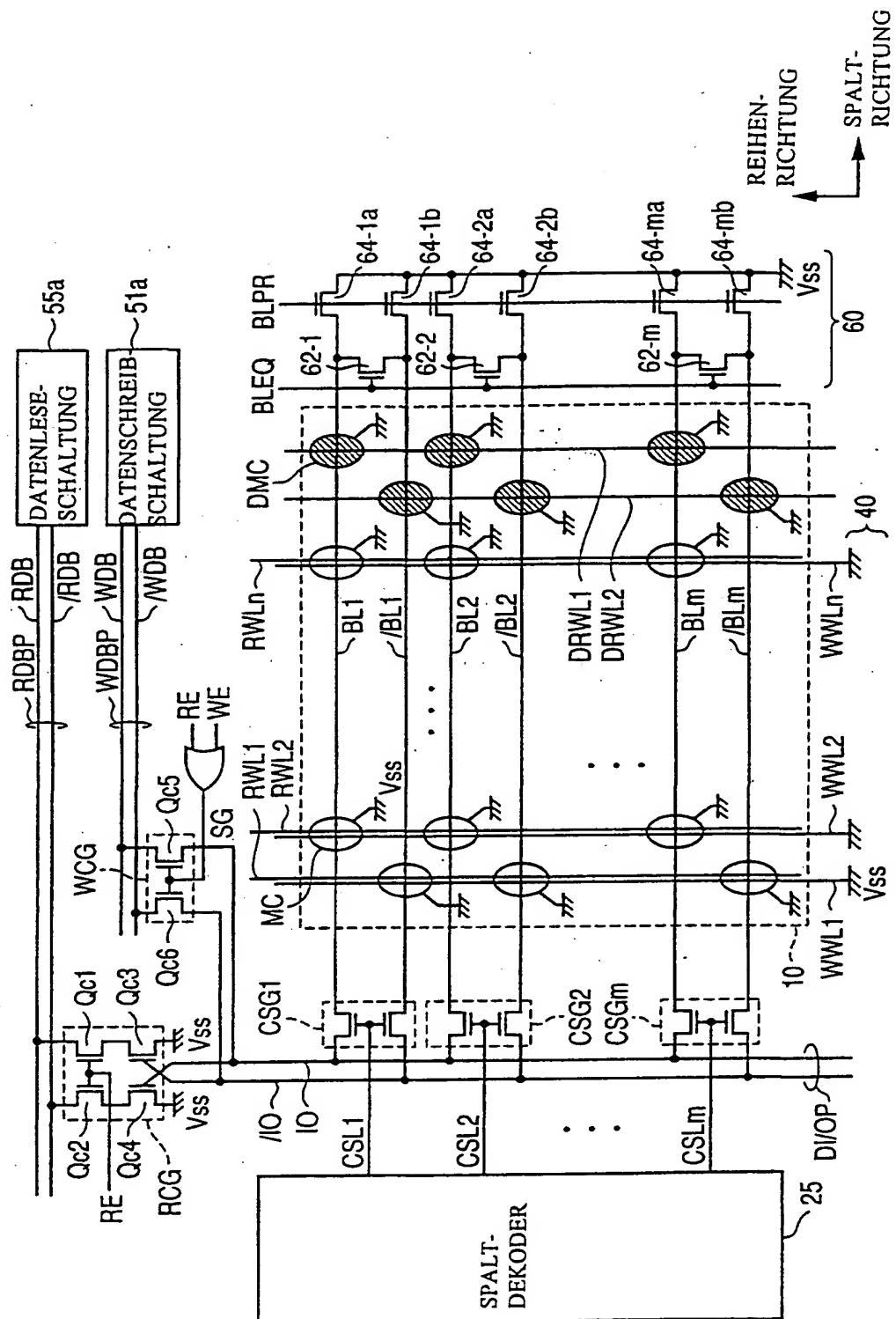


FIG. 12

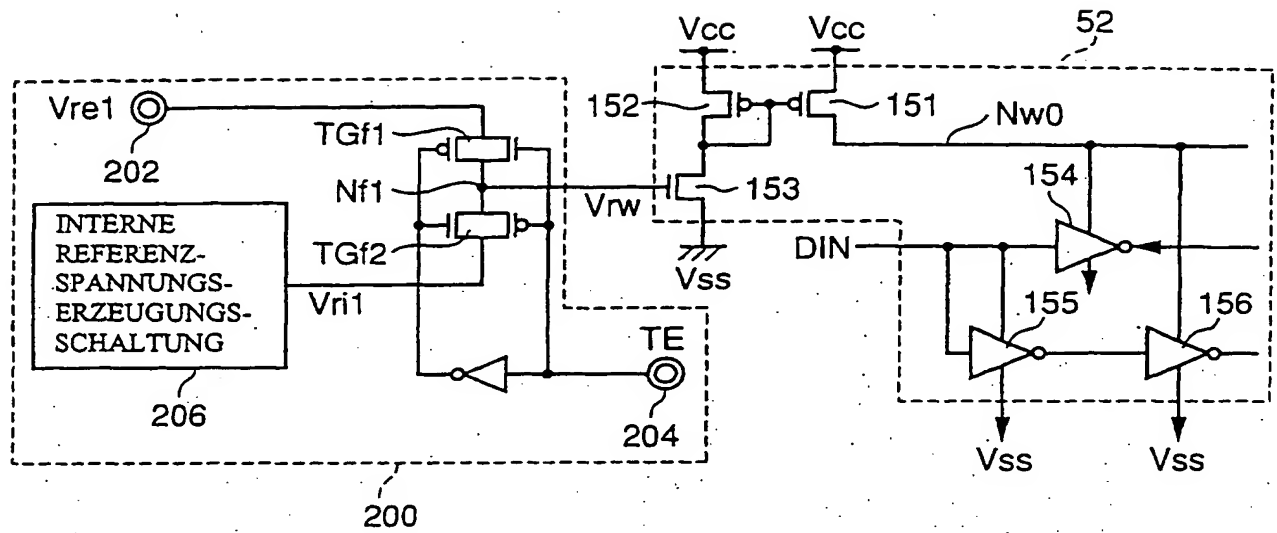


FIG.13

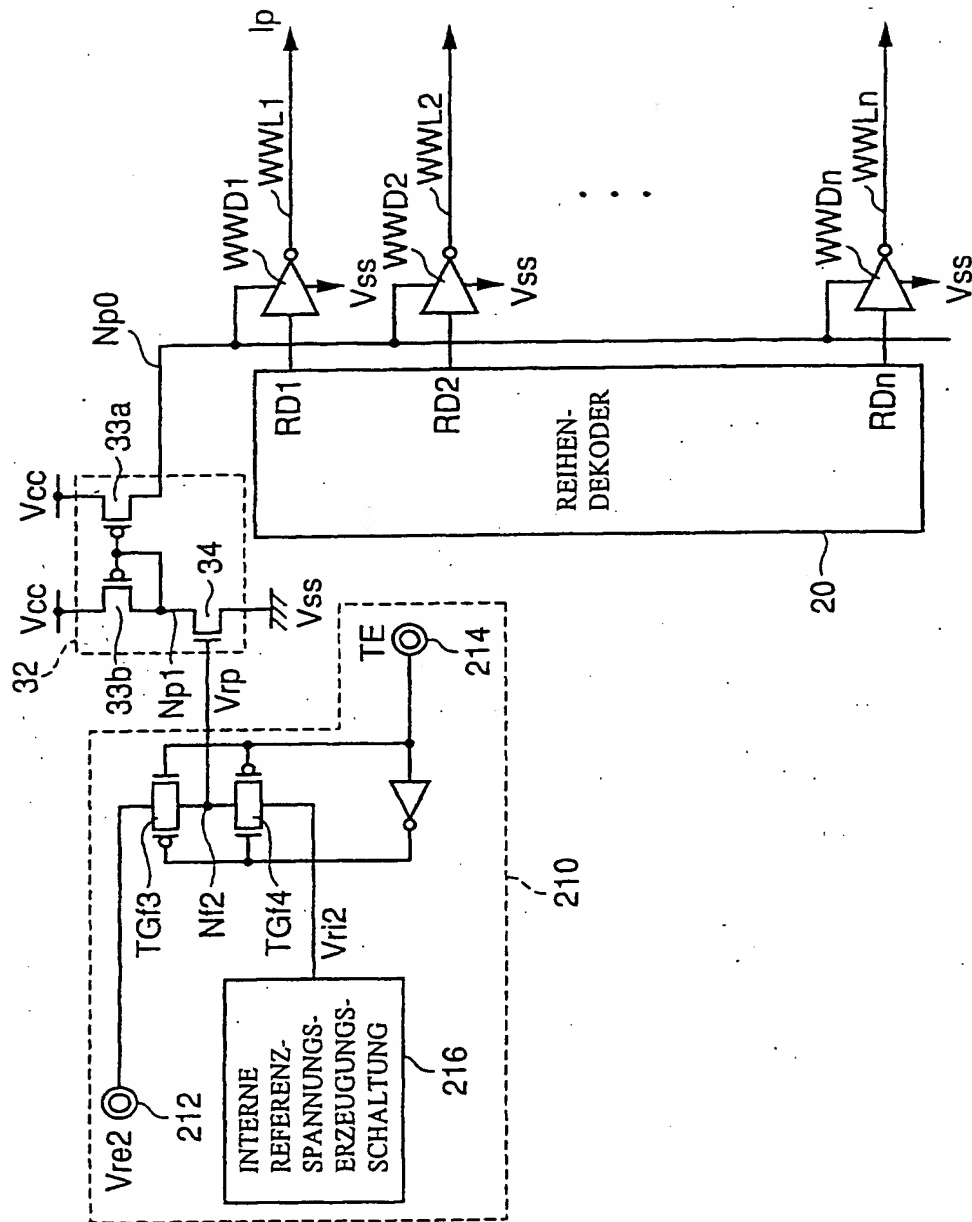
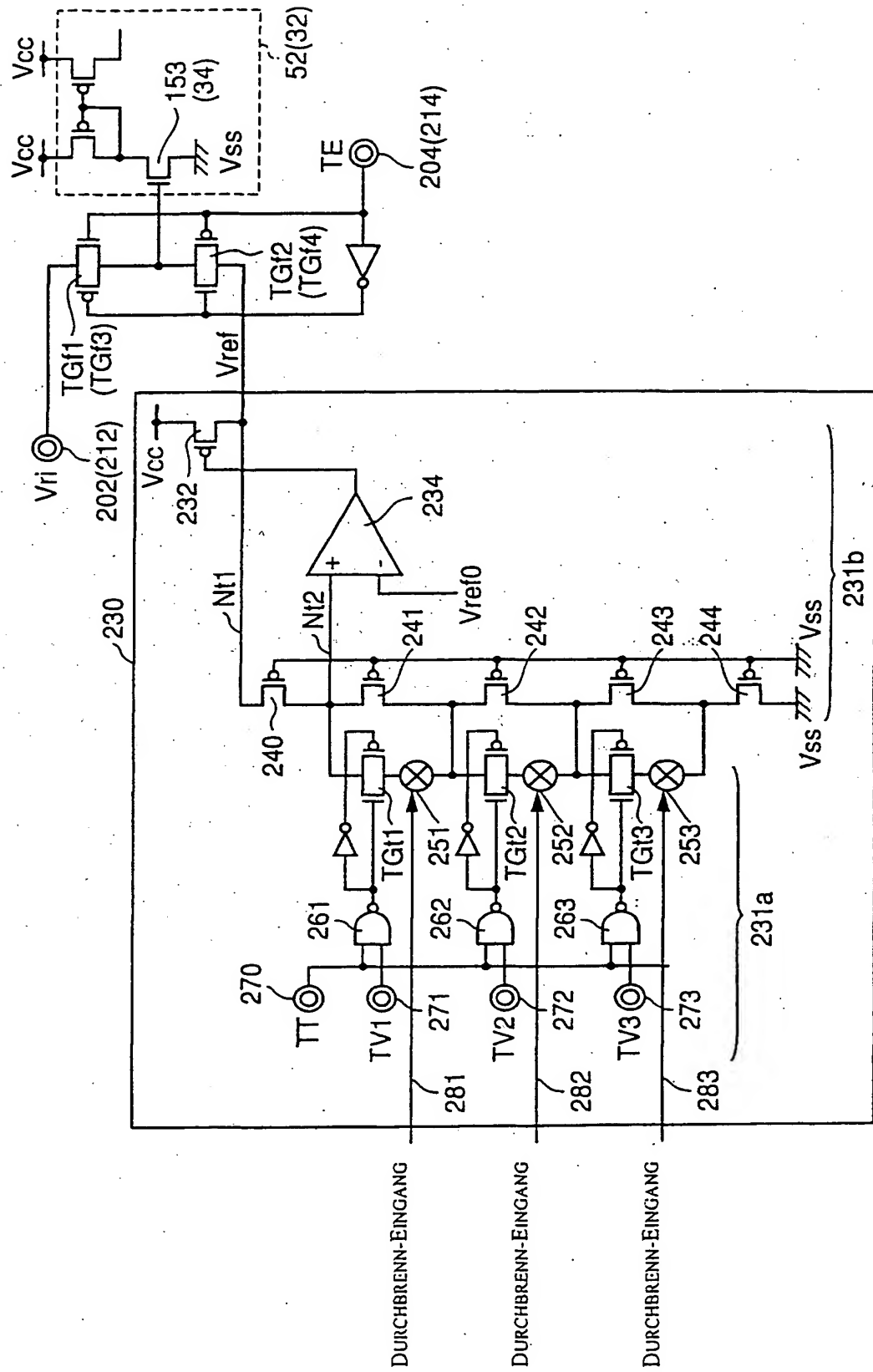


FIG.14



**FIG. 15**

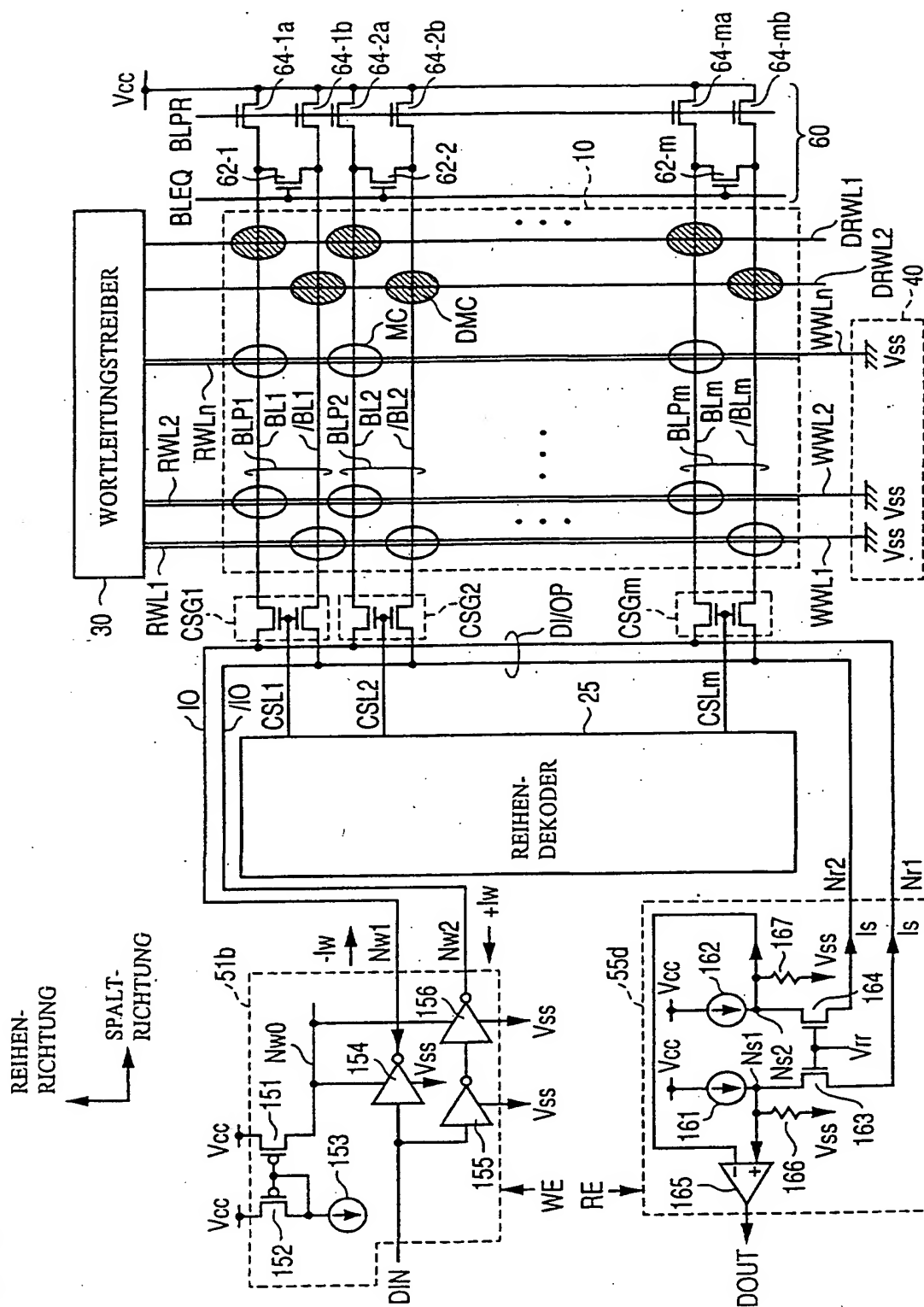


FIG. 16

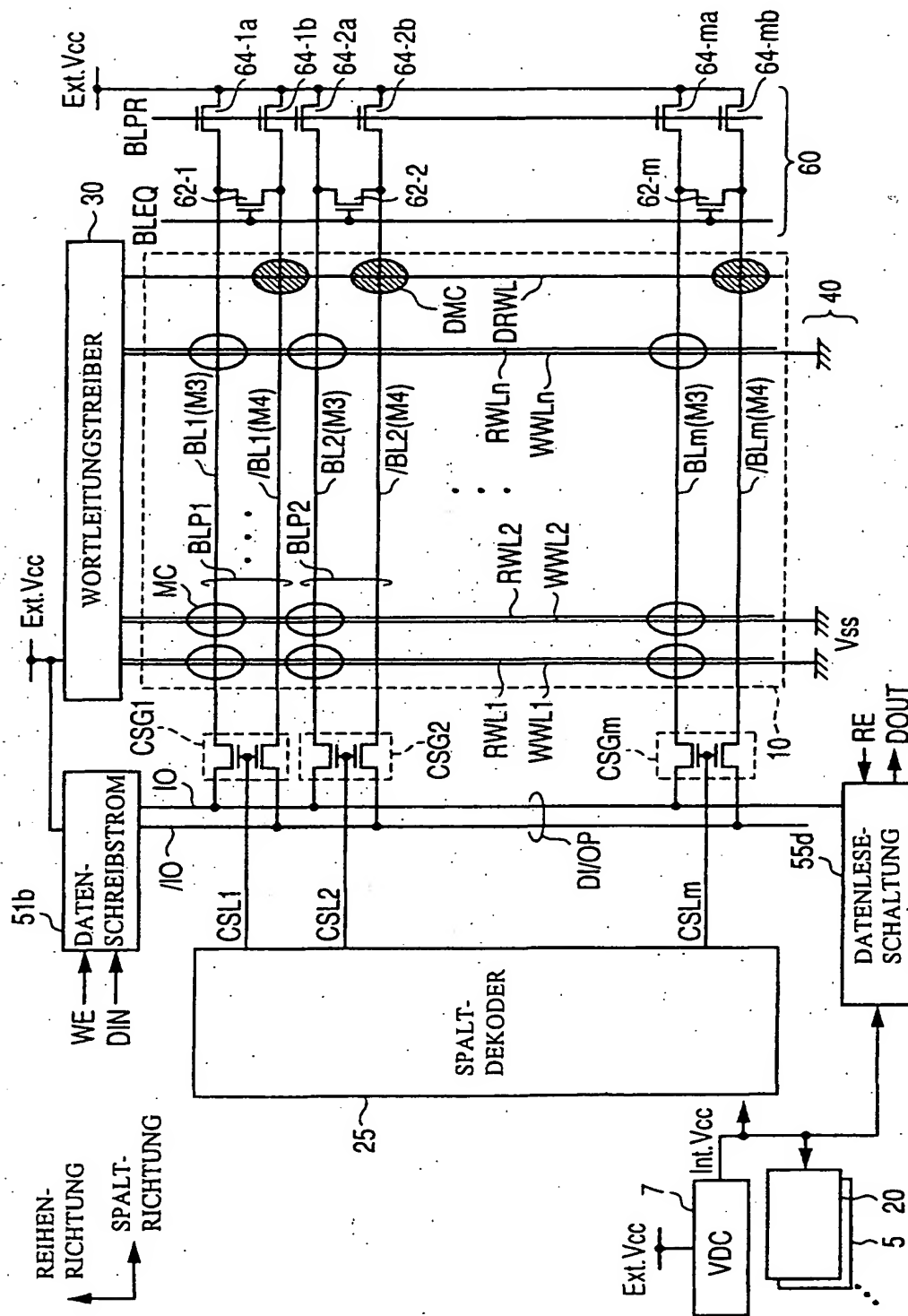


FIG.17

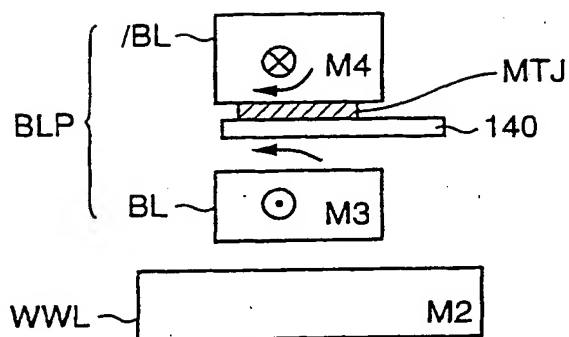


FIG.18

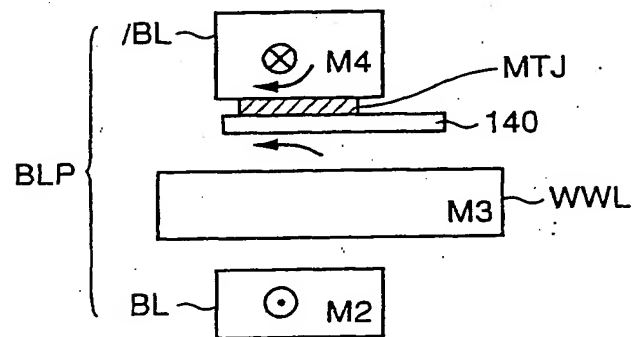


FIG. 19

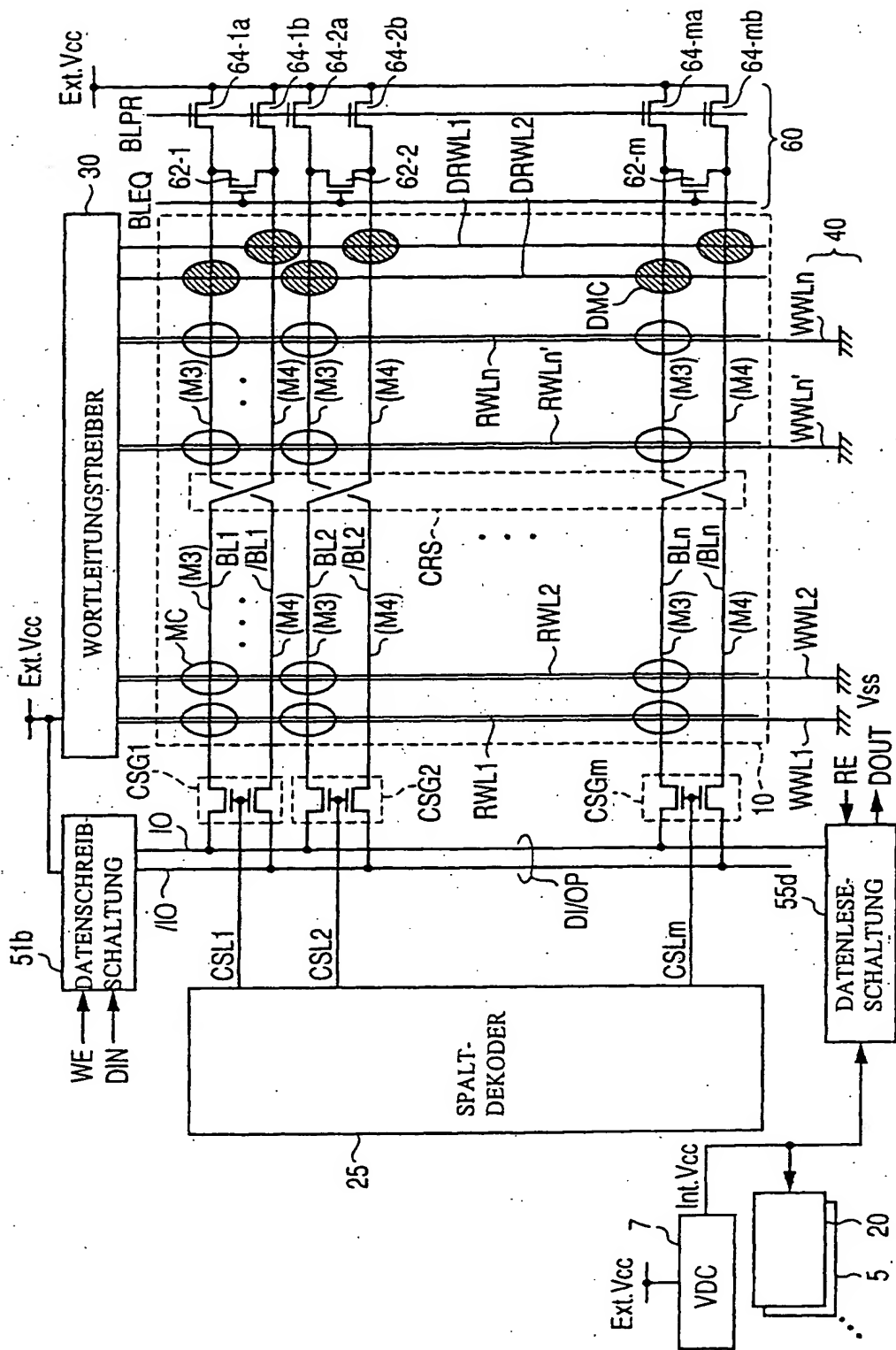


FIG.20

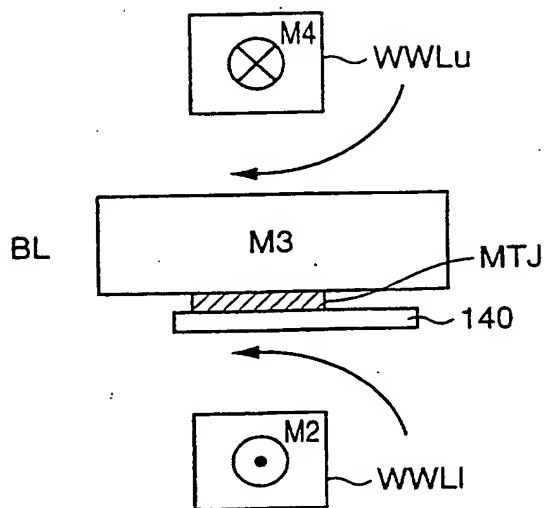


FIG.21A

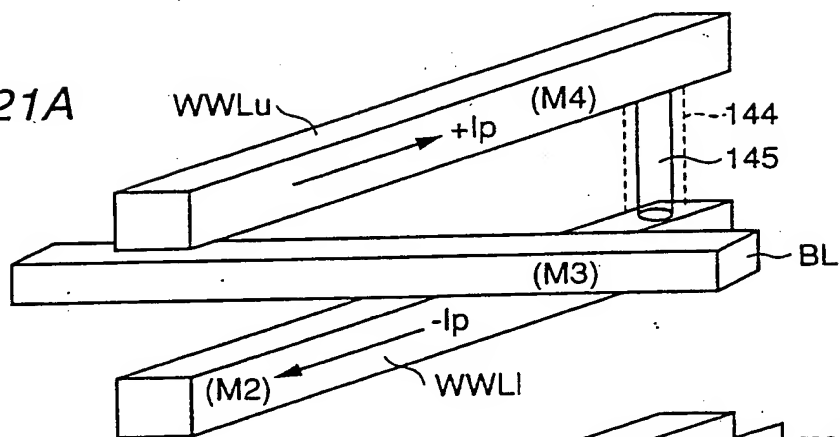


FIG.21B

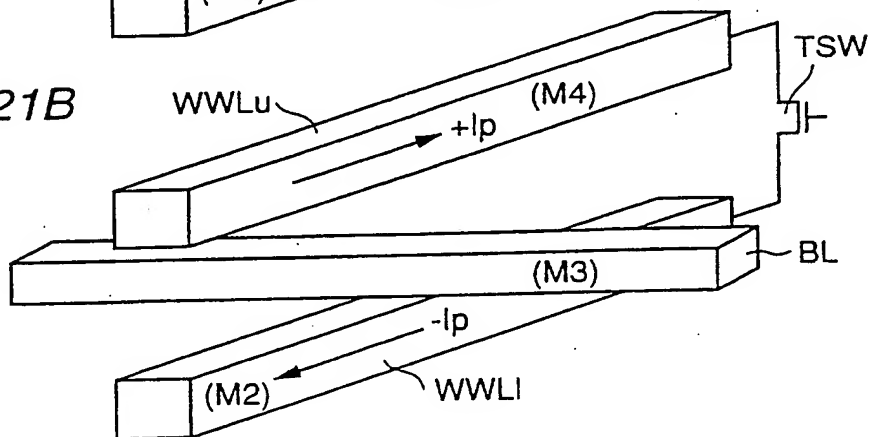


FIG.22

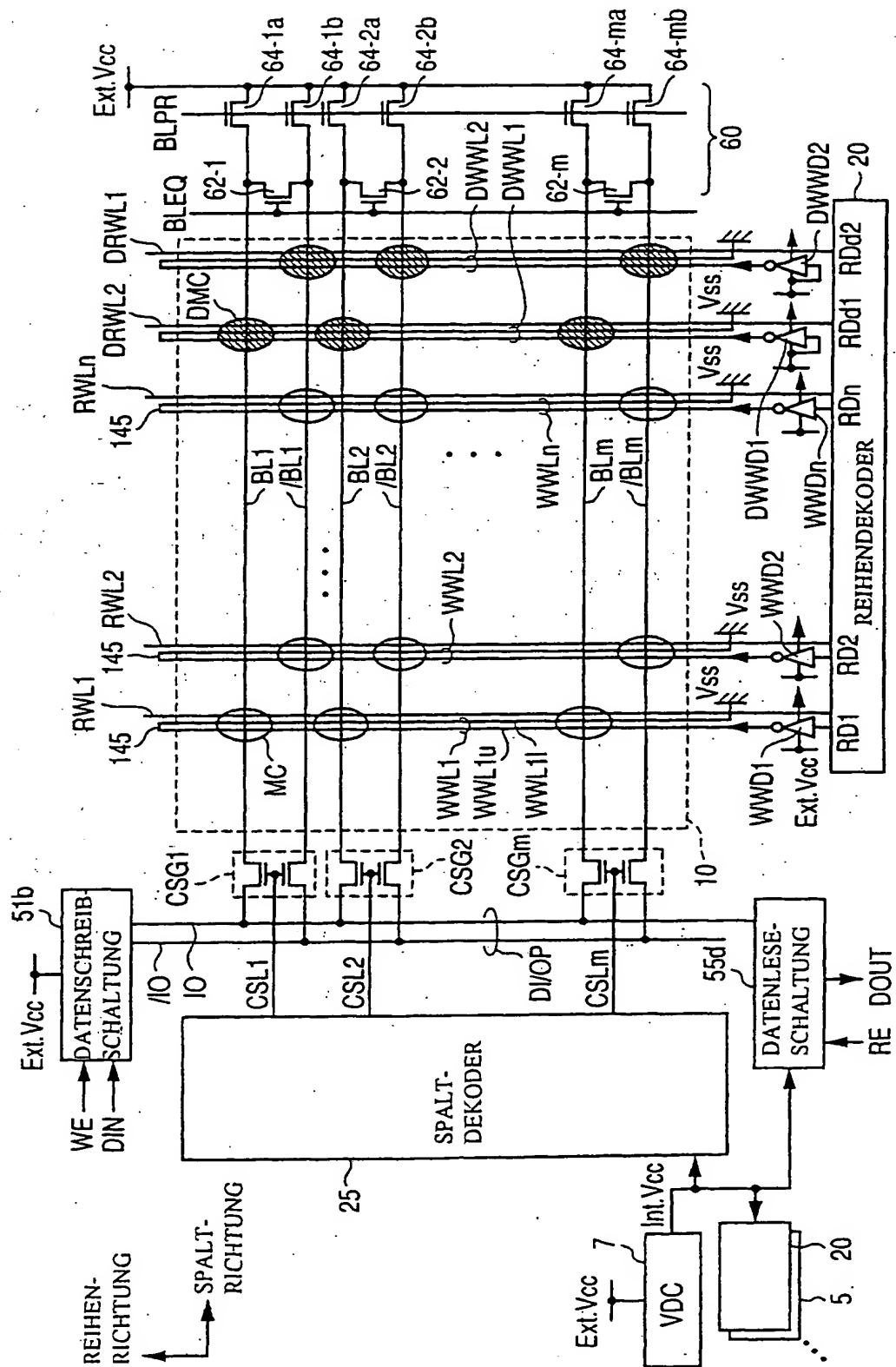


FIG. 23

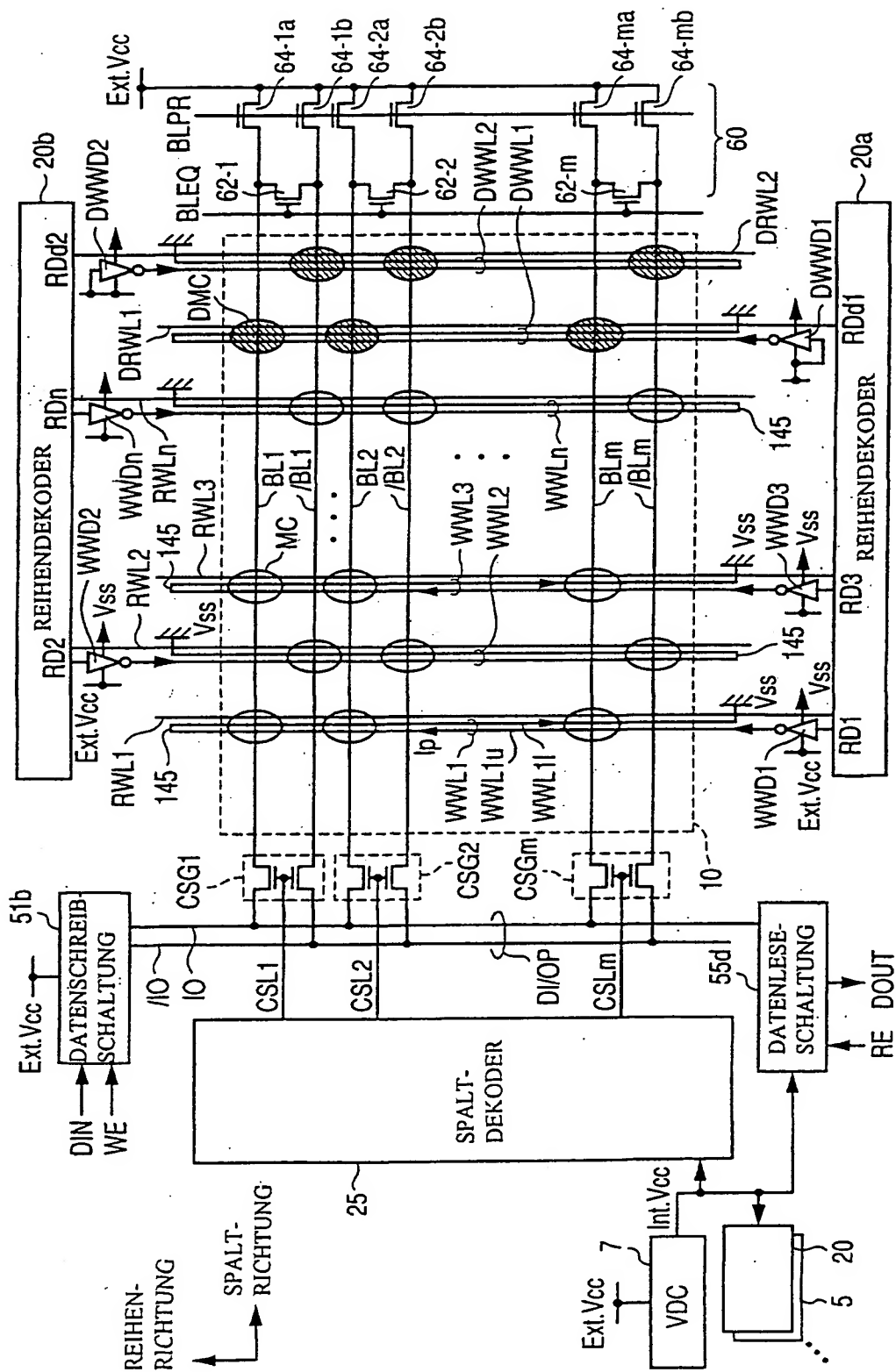


FIG. 24

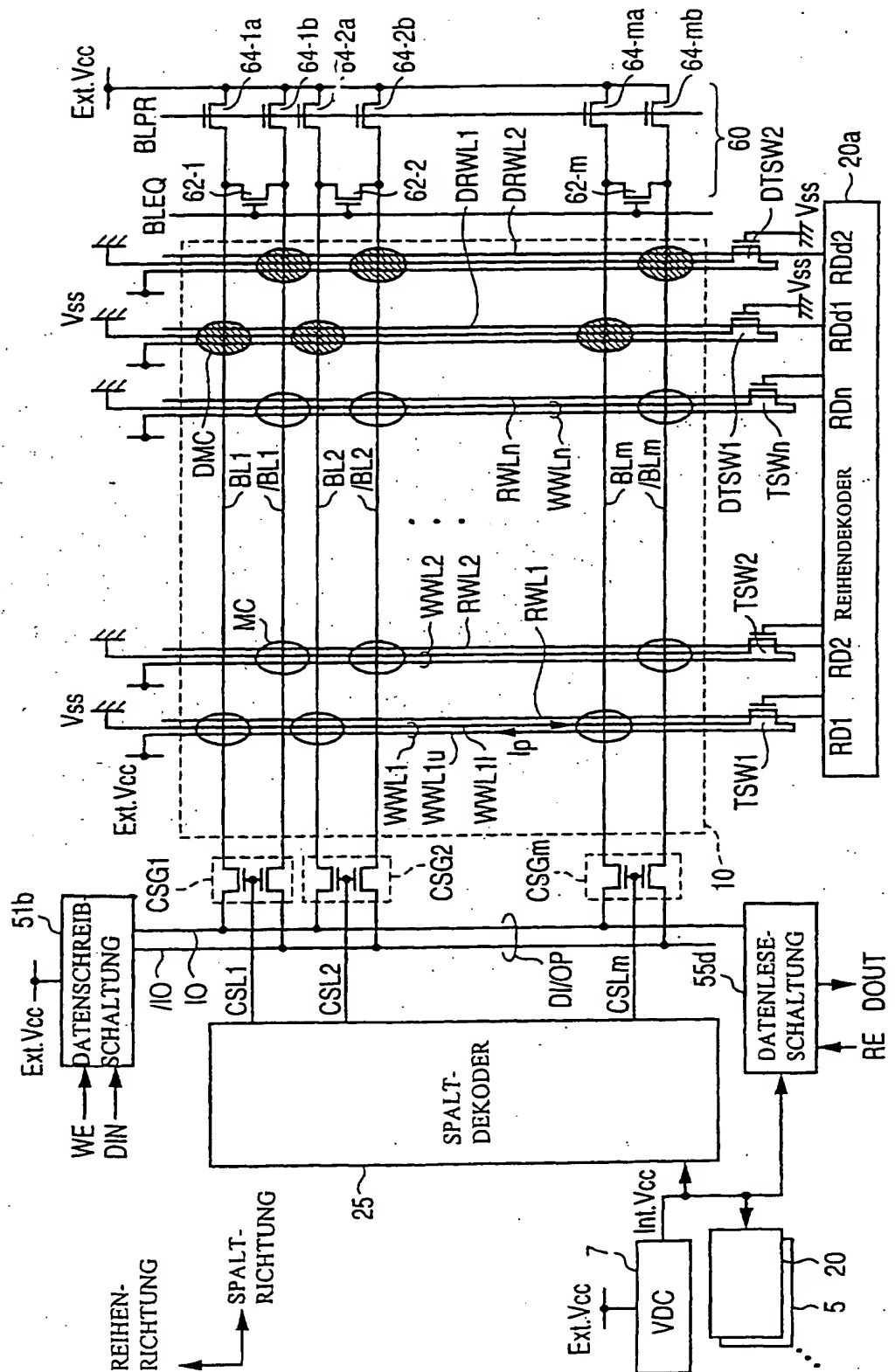


FIG.25

MCD

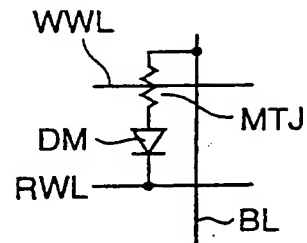


FIG.26

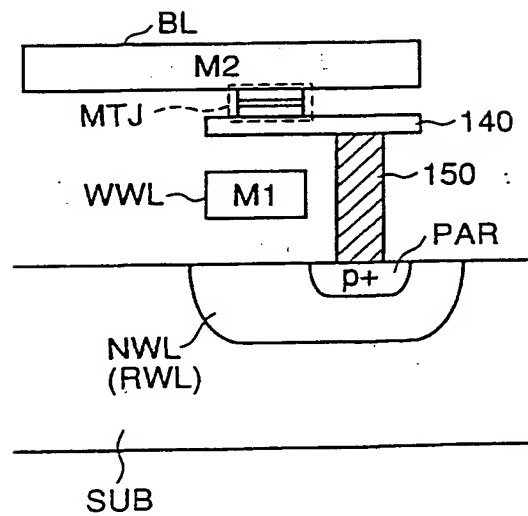


FIG.27

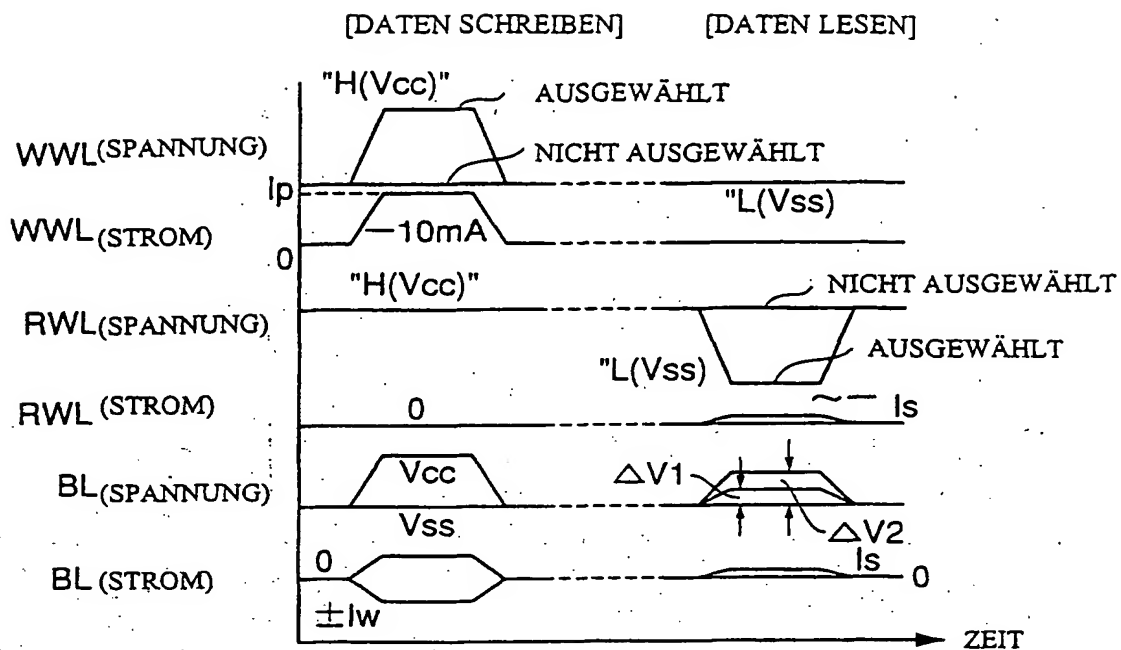


FIG.28

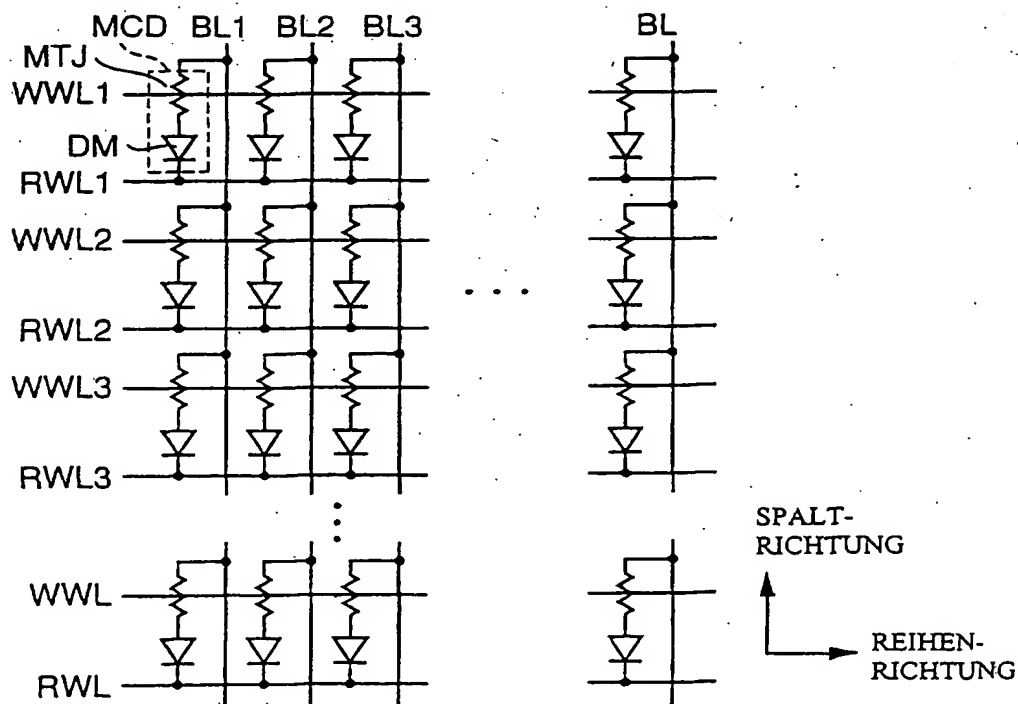


FIG.29

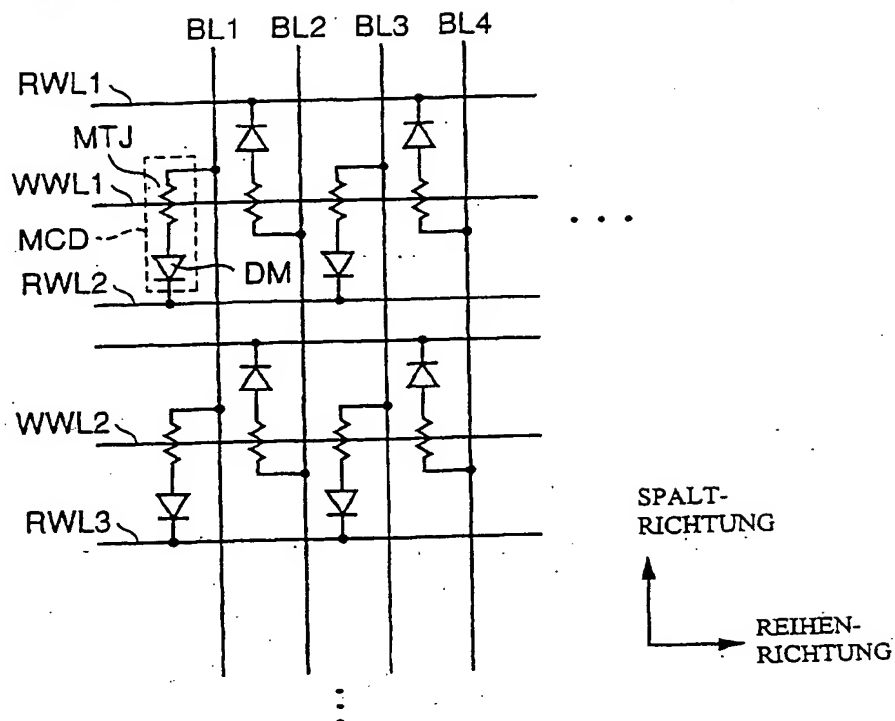


FIG.30

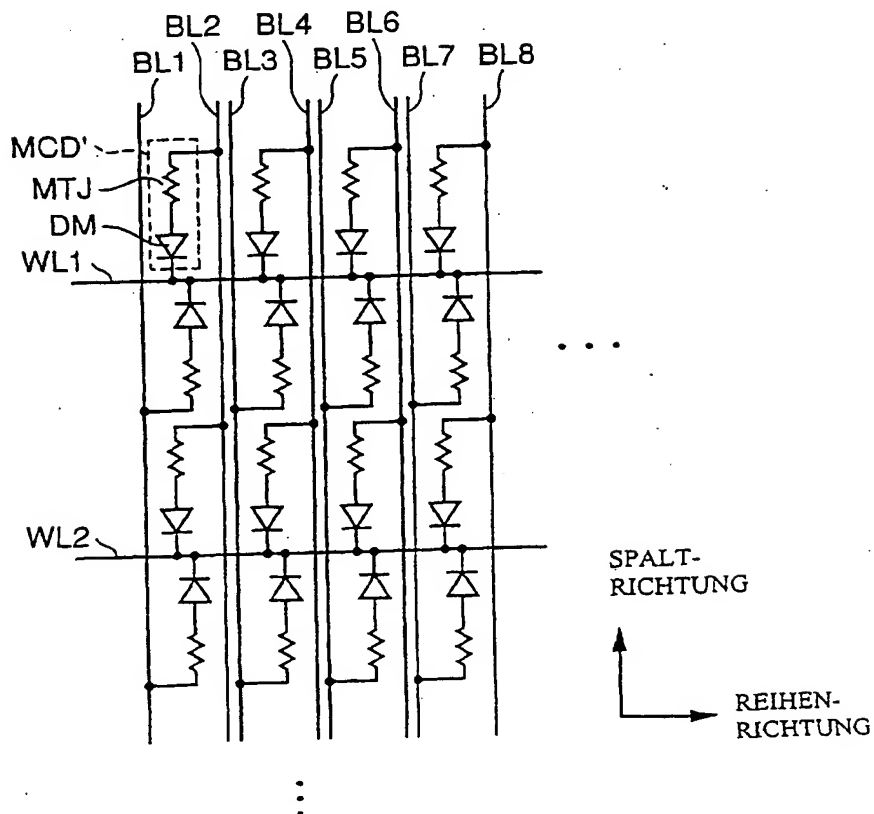


FIG.31

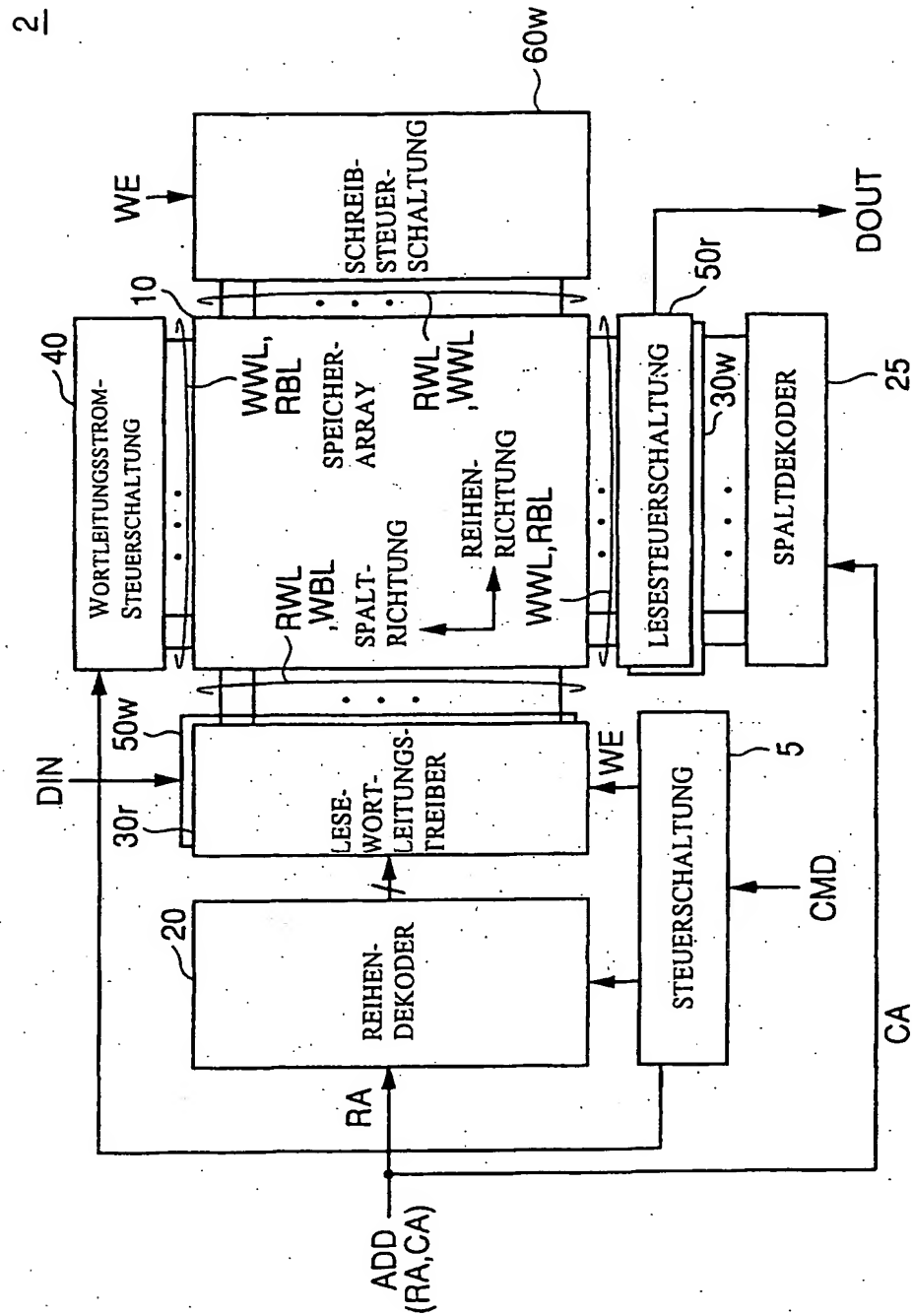


FIG.32

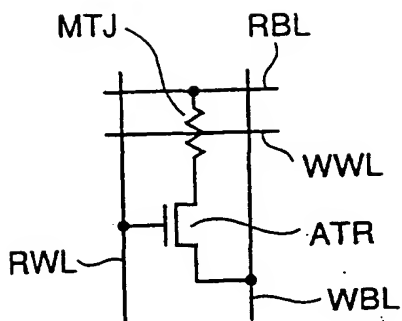


FIG.33

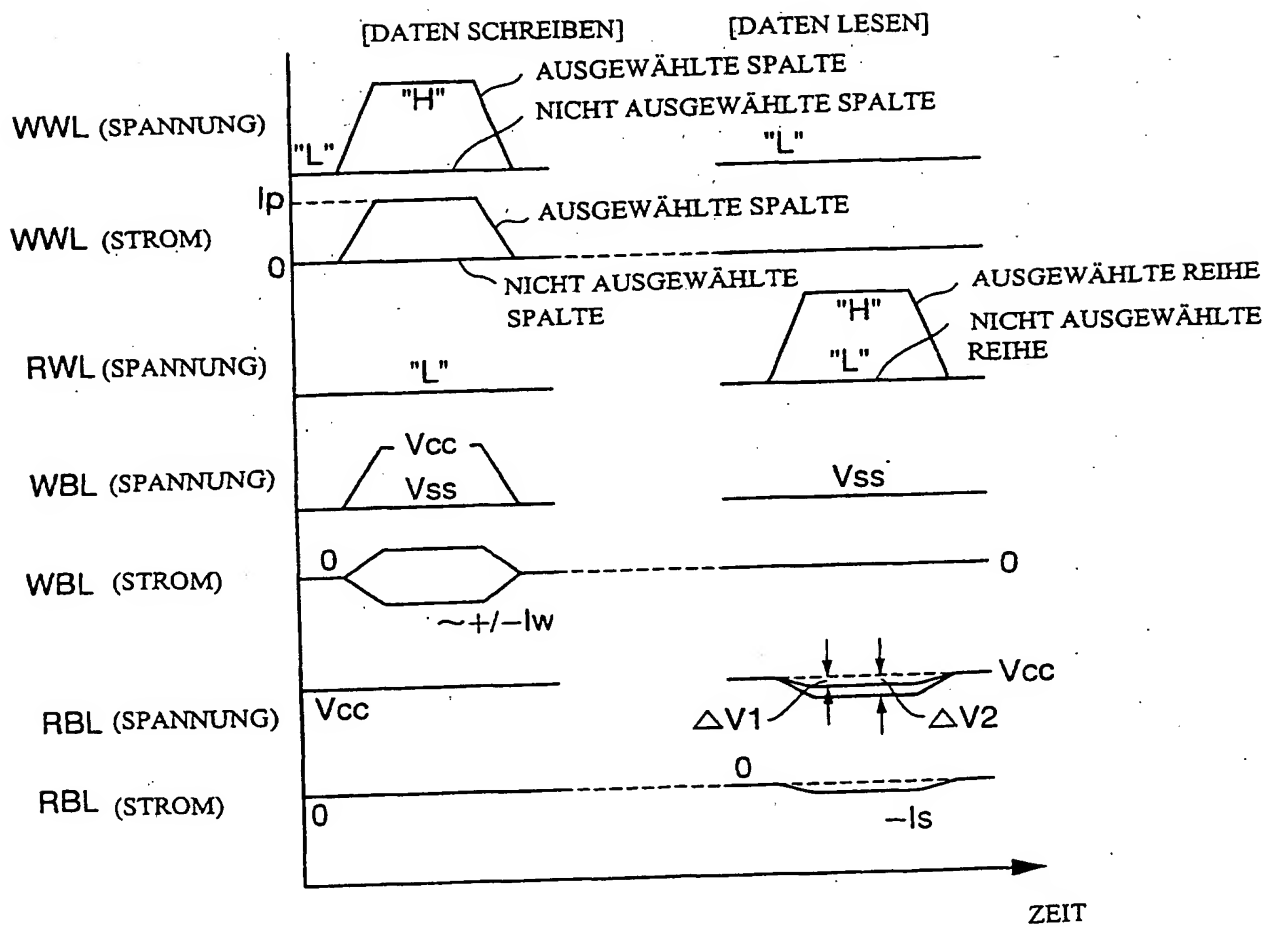


FIG.34

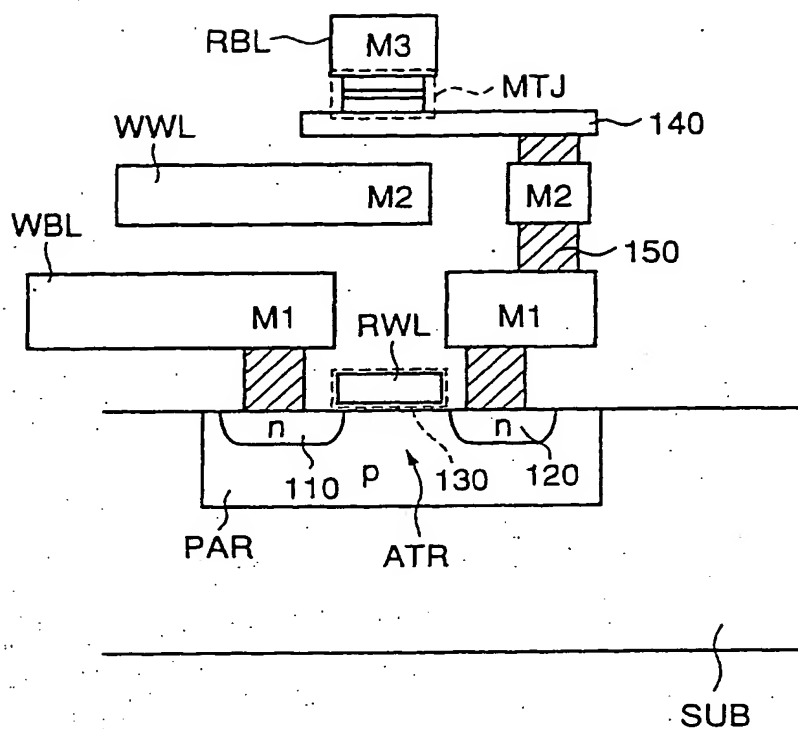


FIG.35

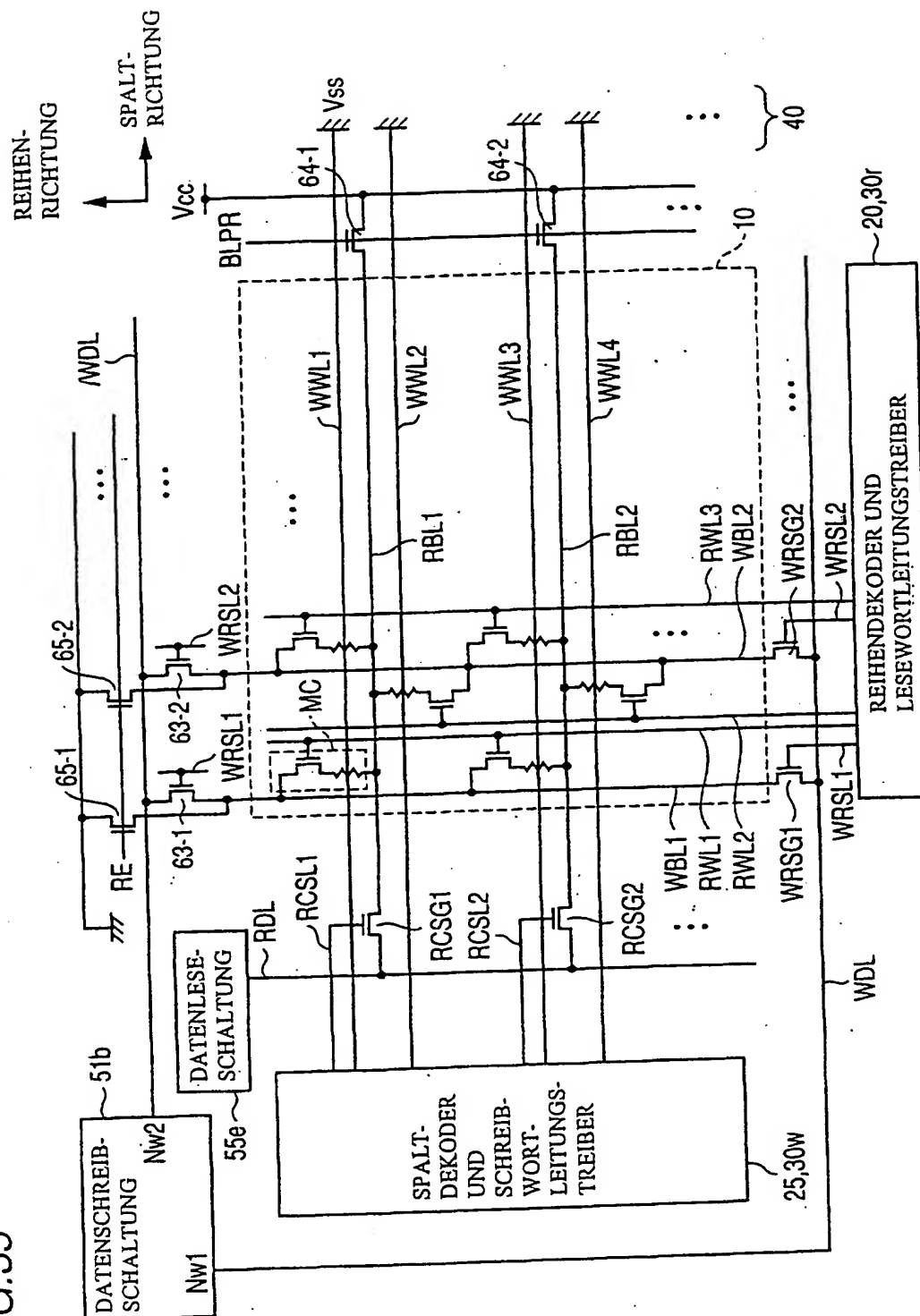


FIG.36

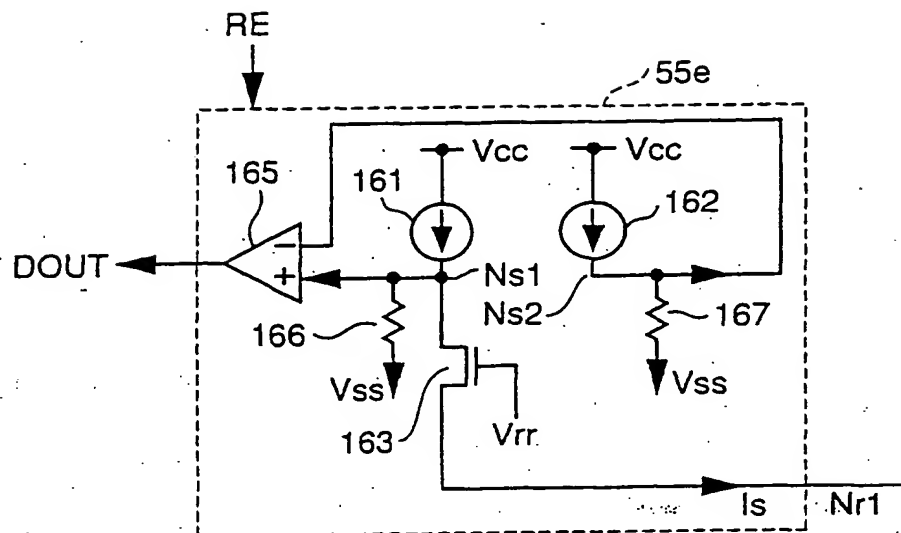


FIG.37

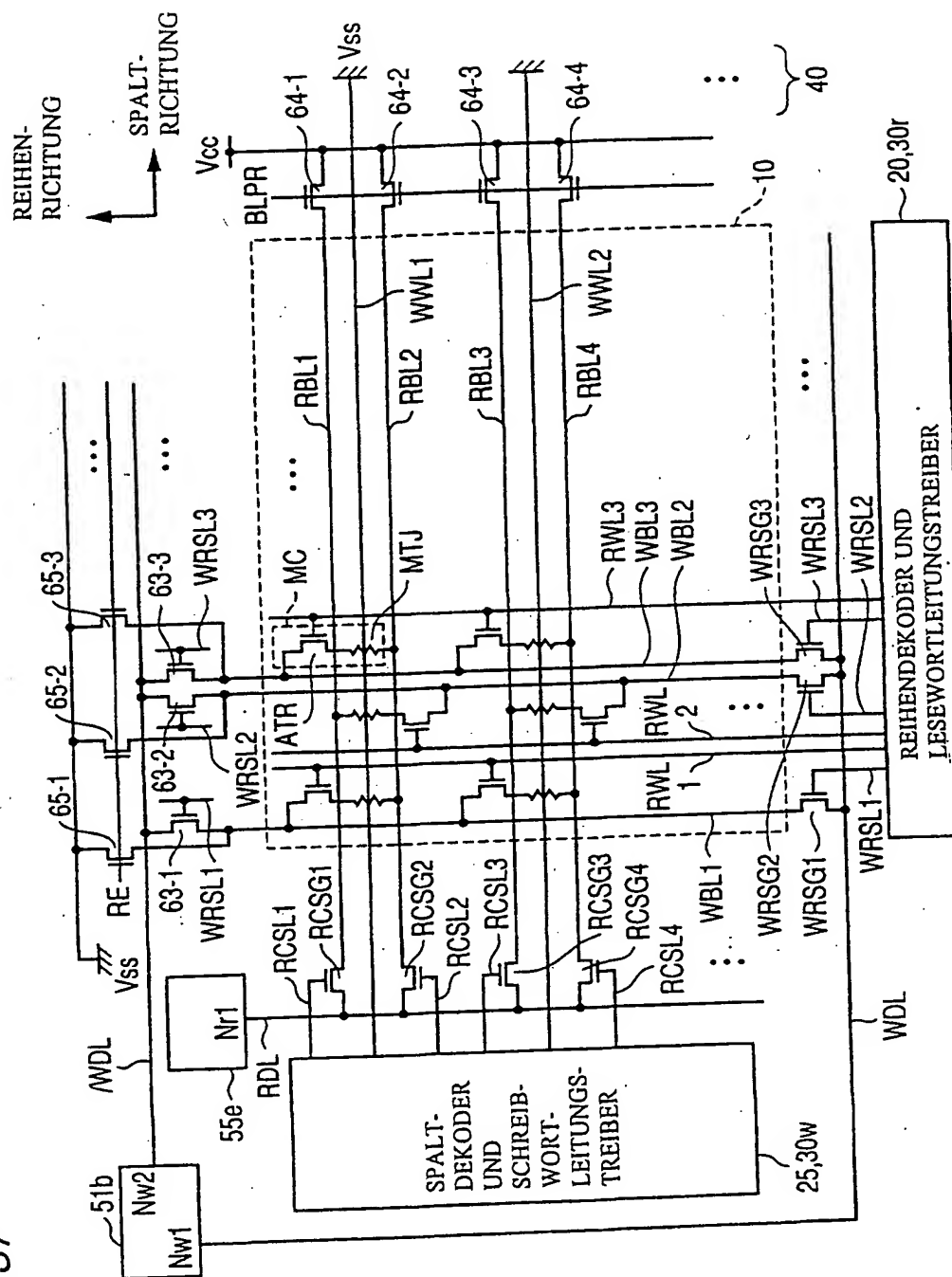


FIG.38

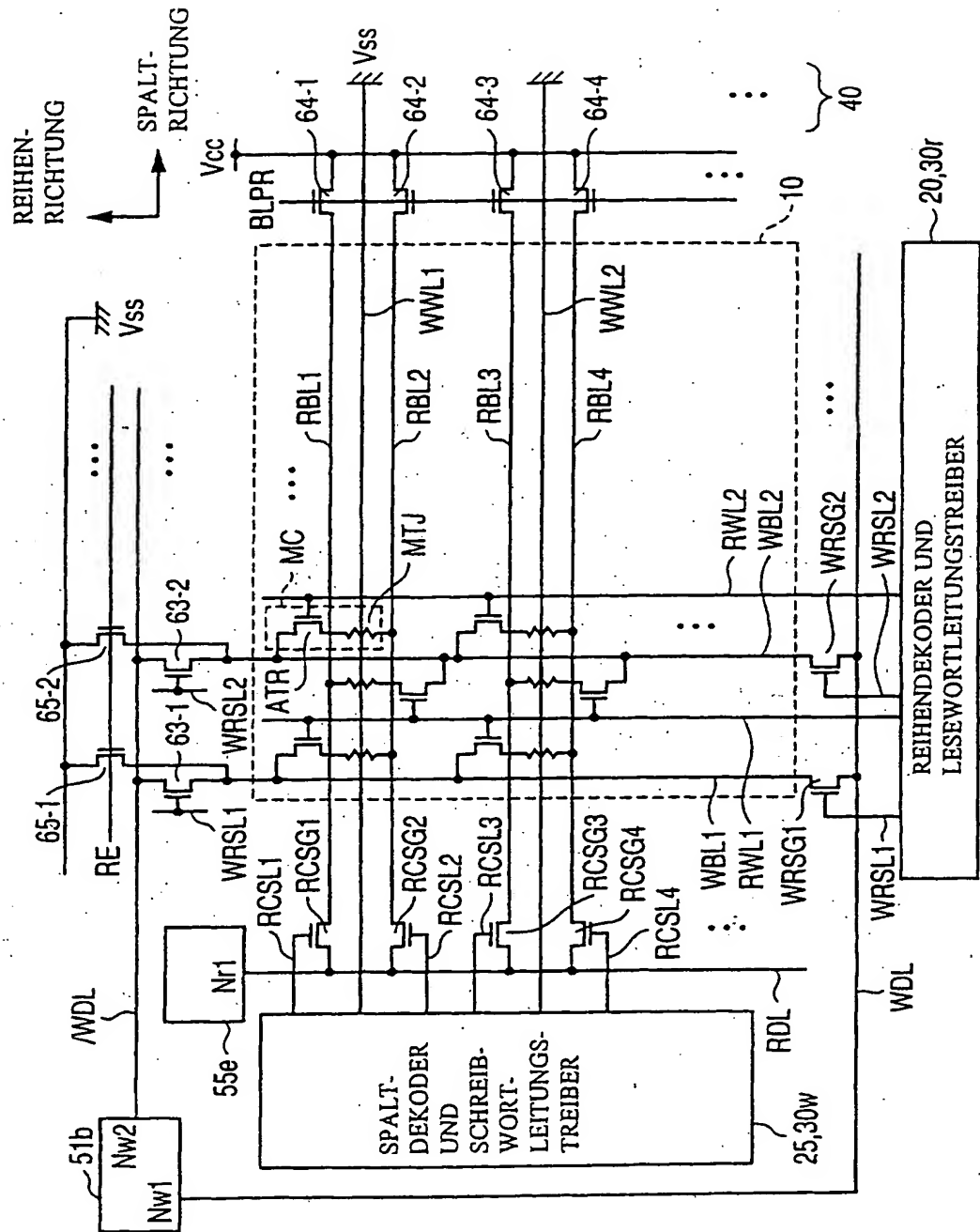


FIG. 39

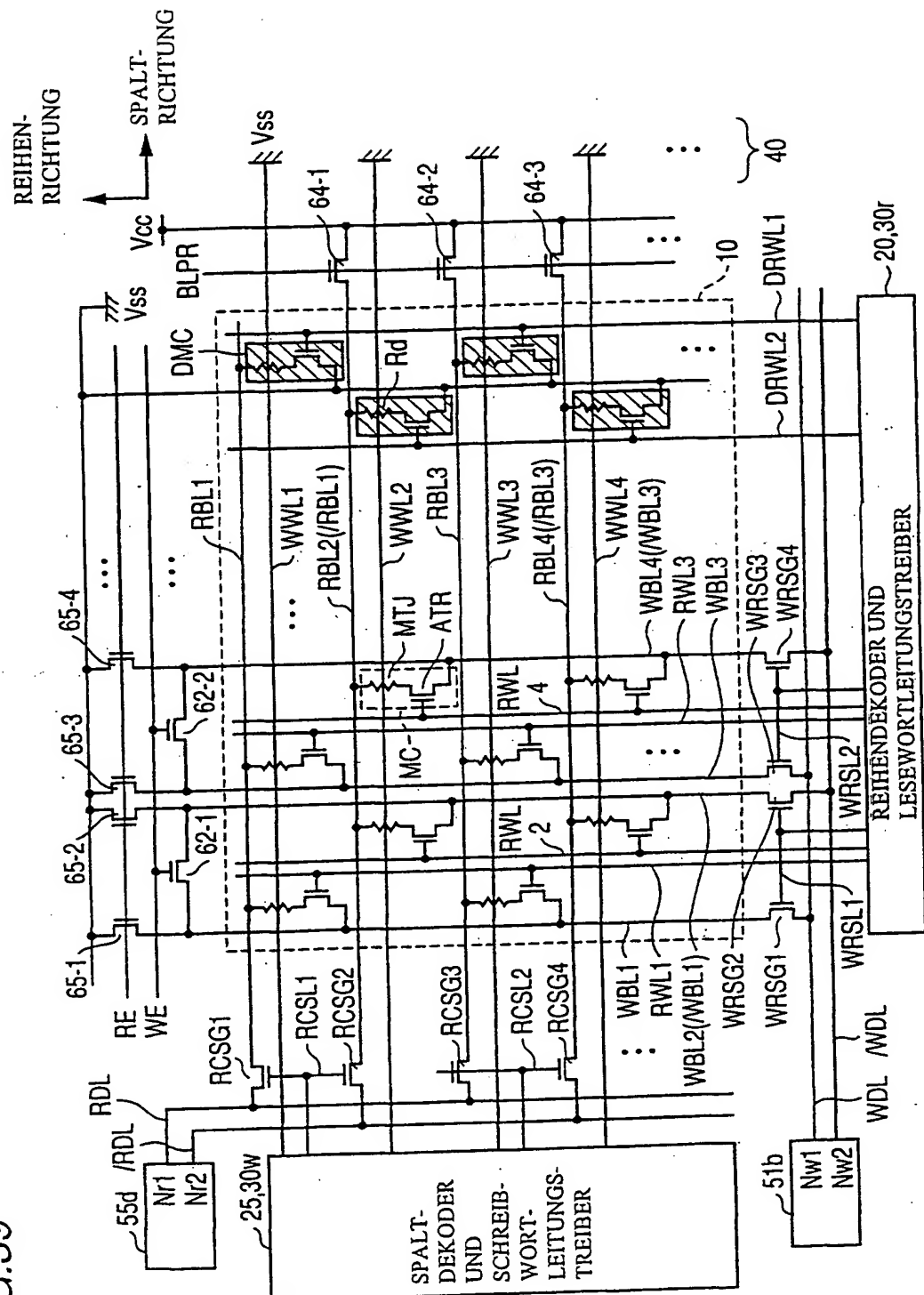




FIG.41

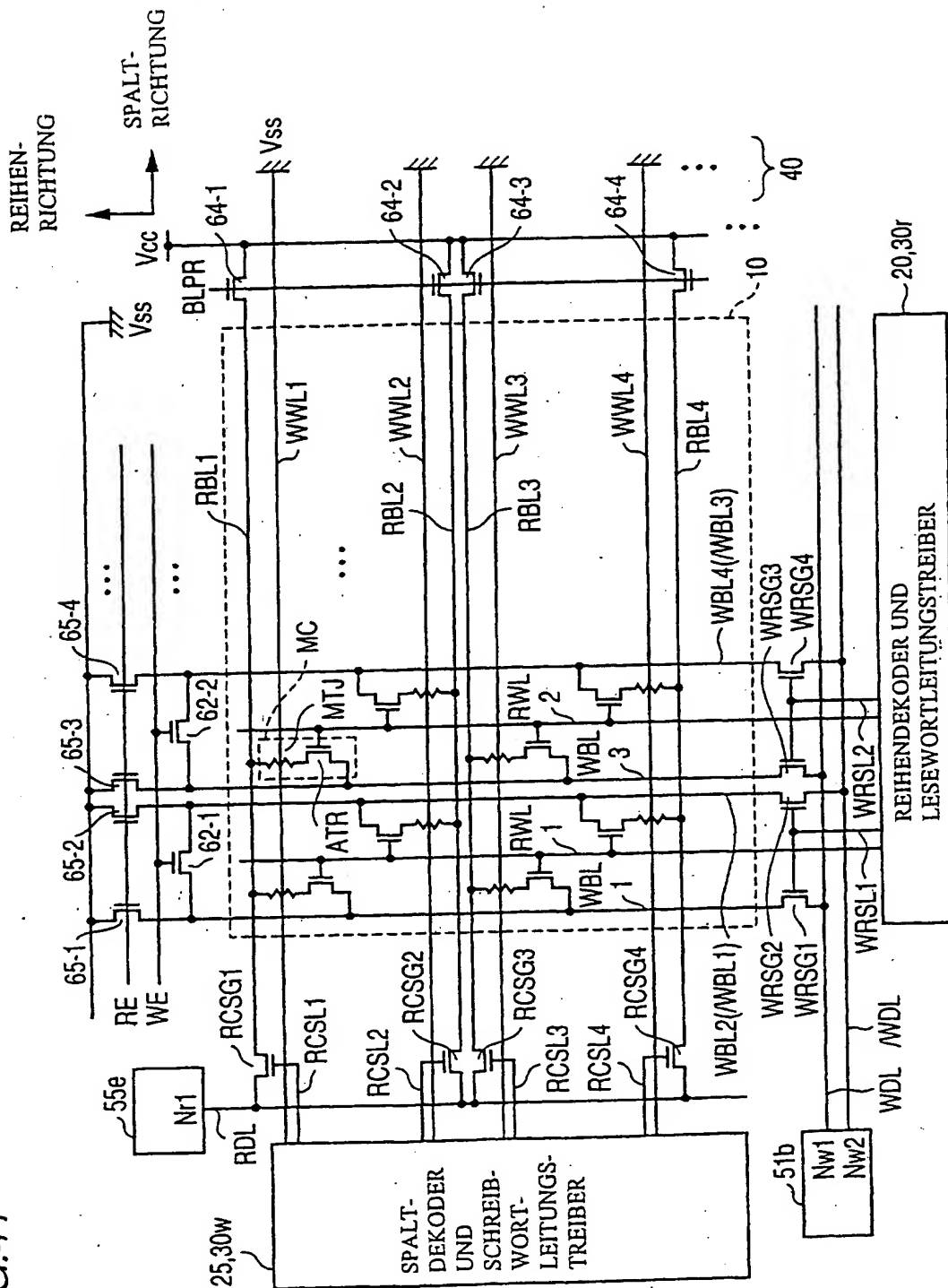
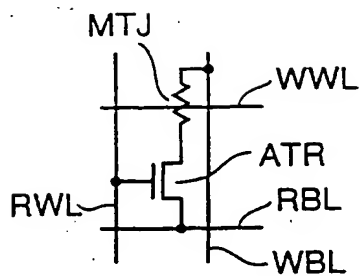


FIG. 42



**FIG.43**

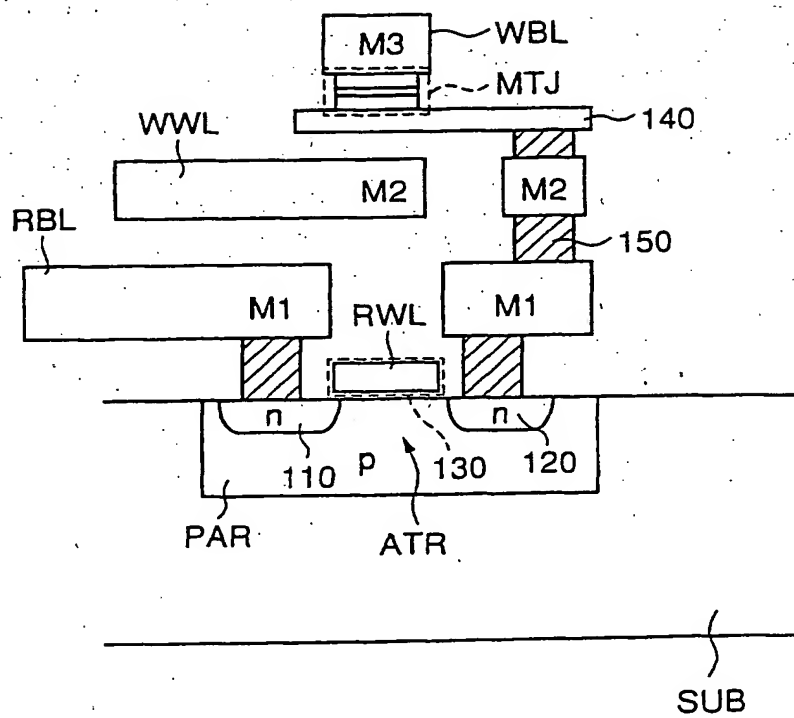


FIG. 44

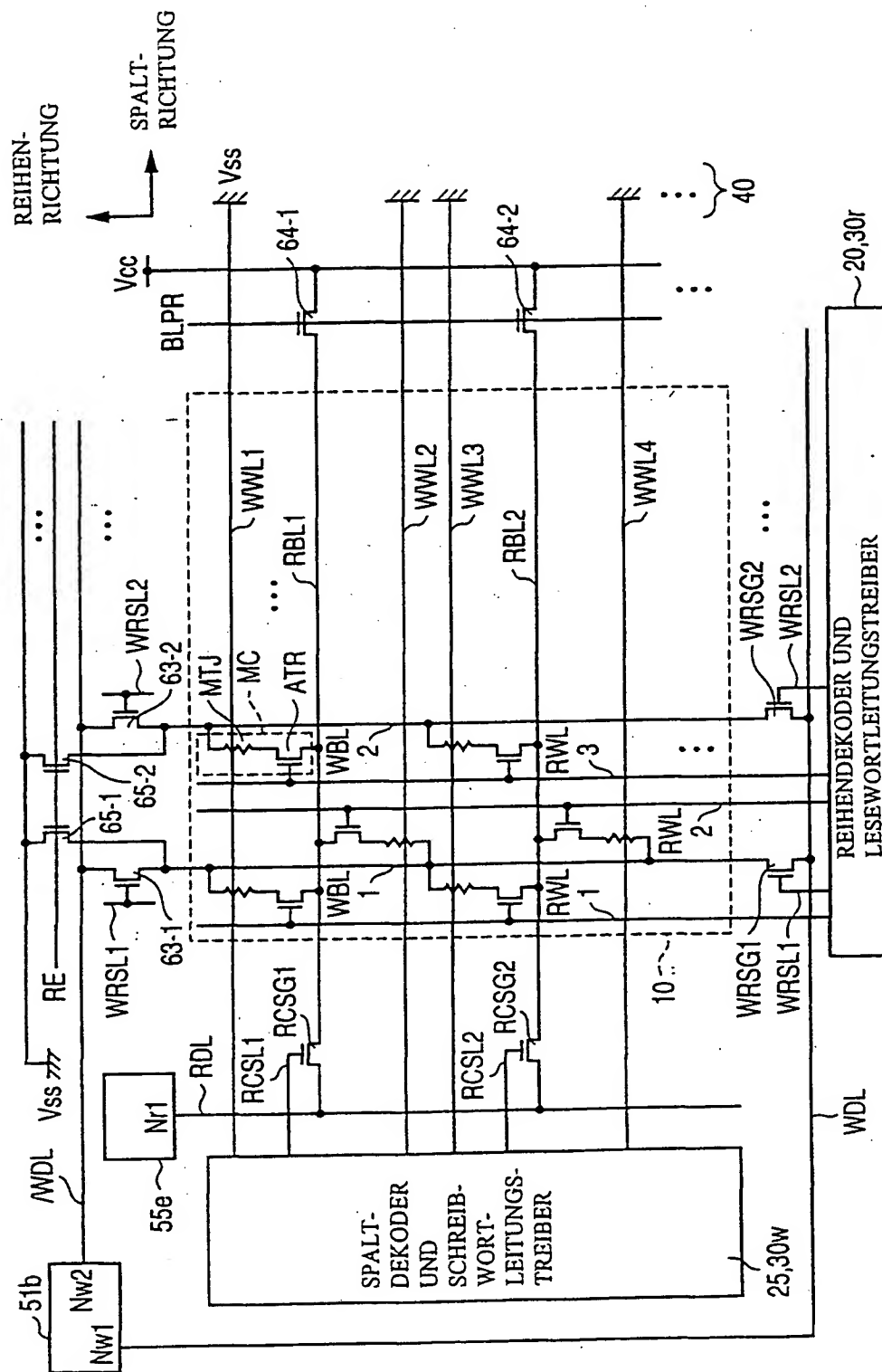


FIG.45

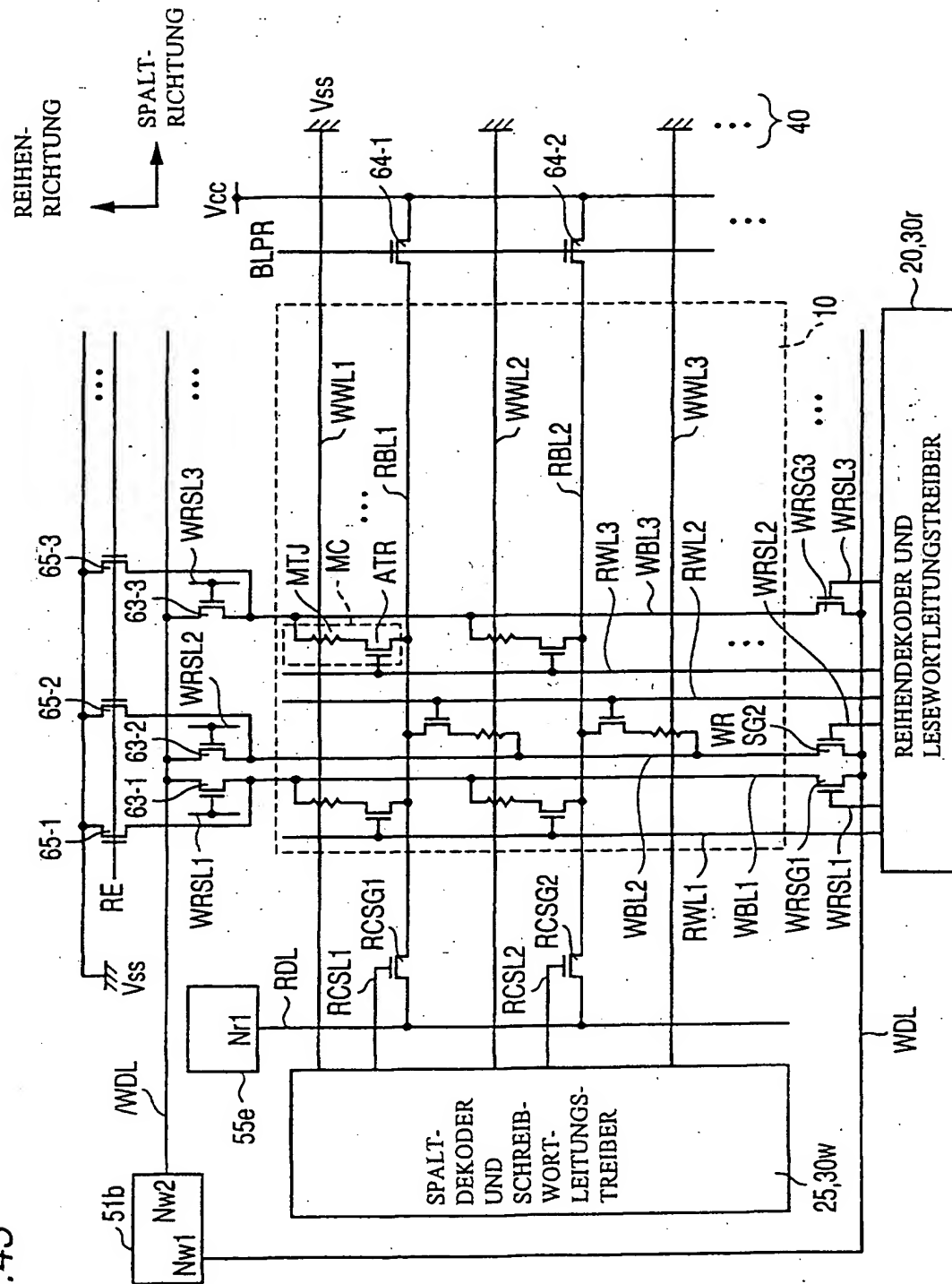


FIG. 46

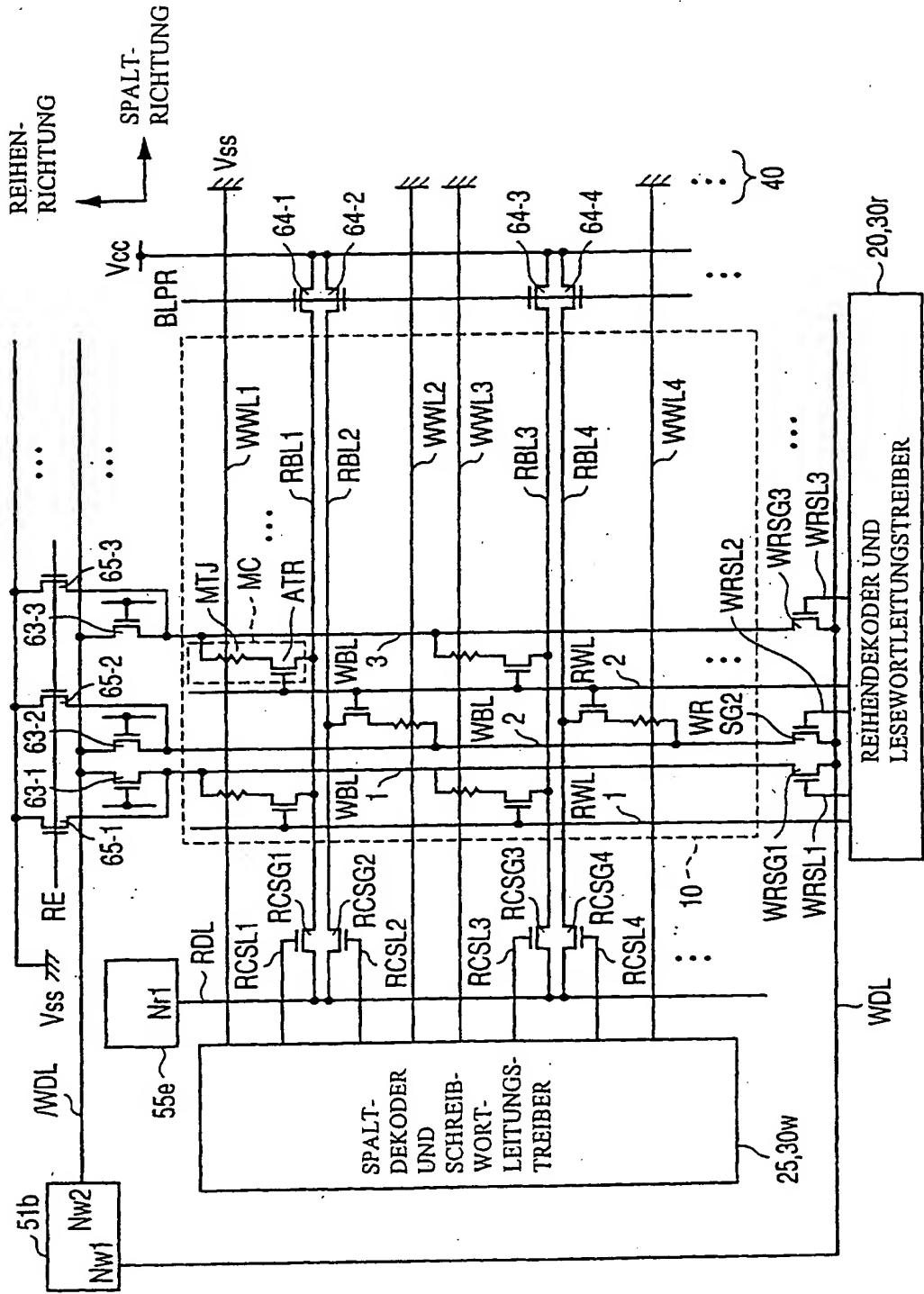


FIG.47

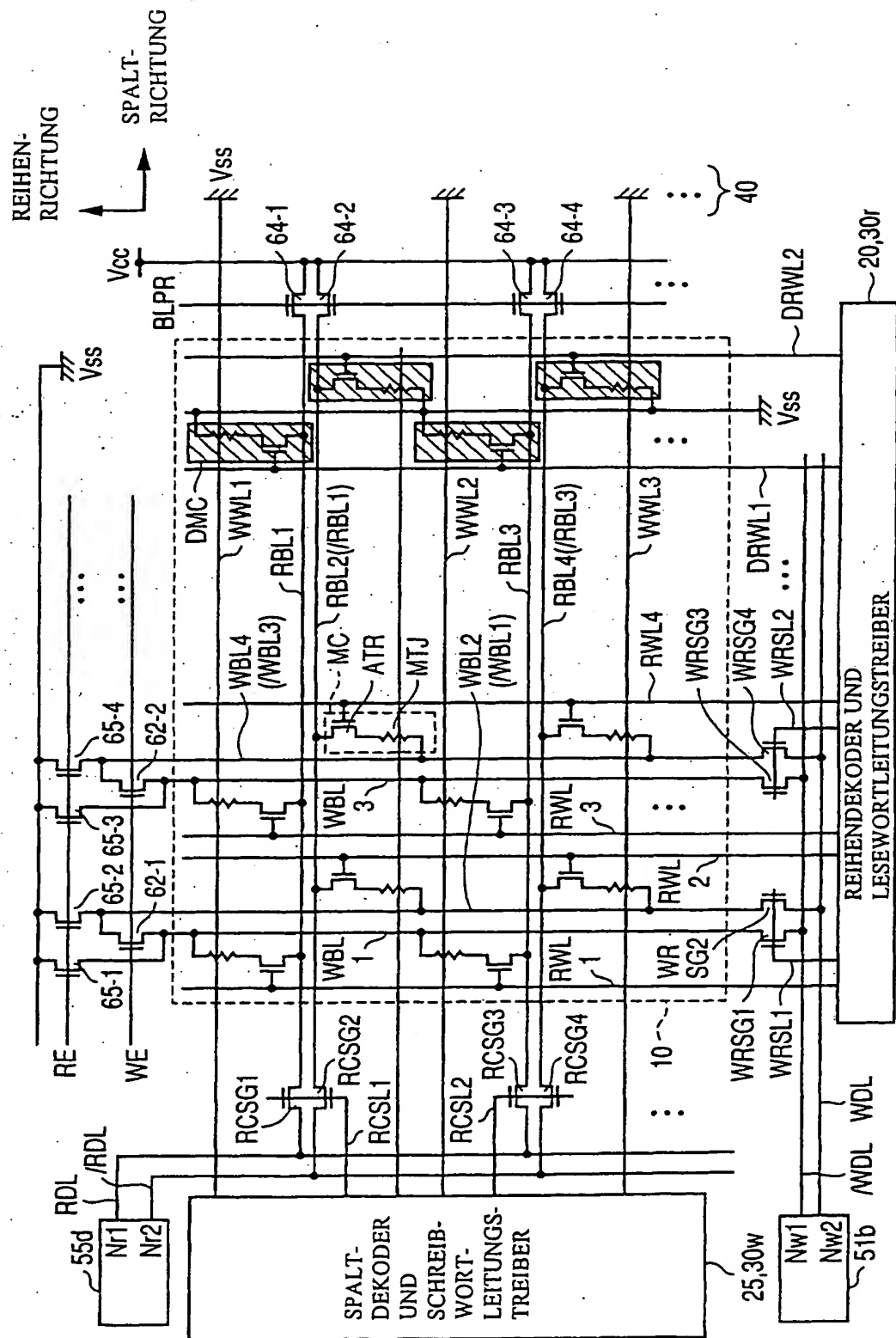


FIG.48

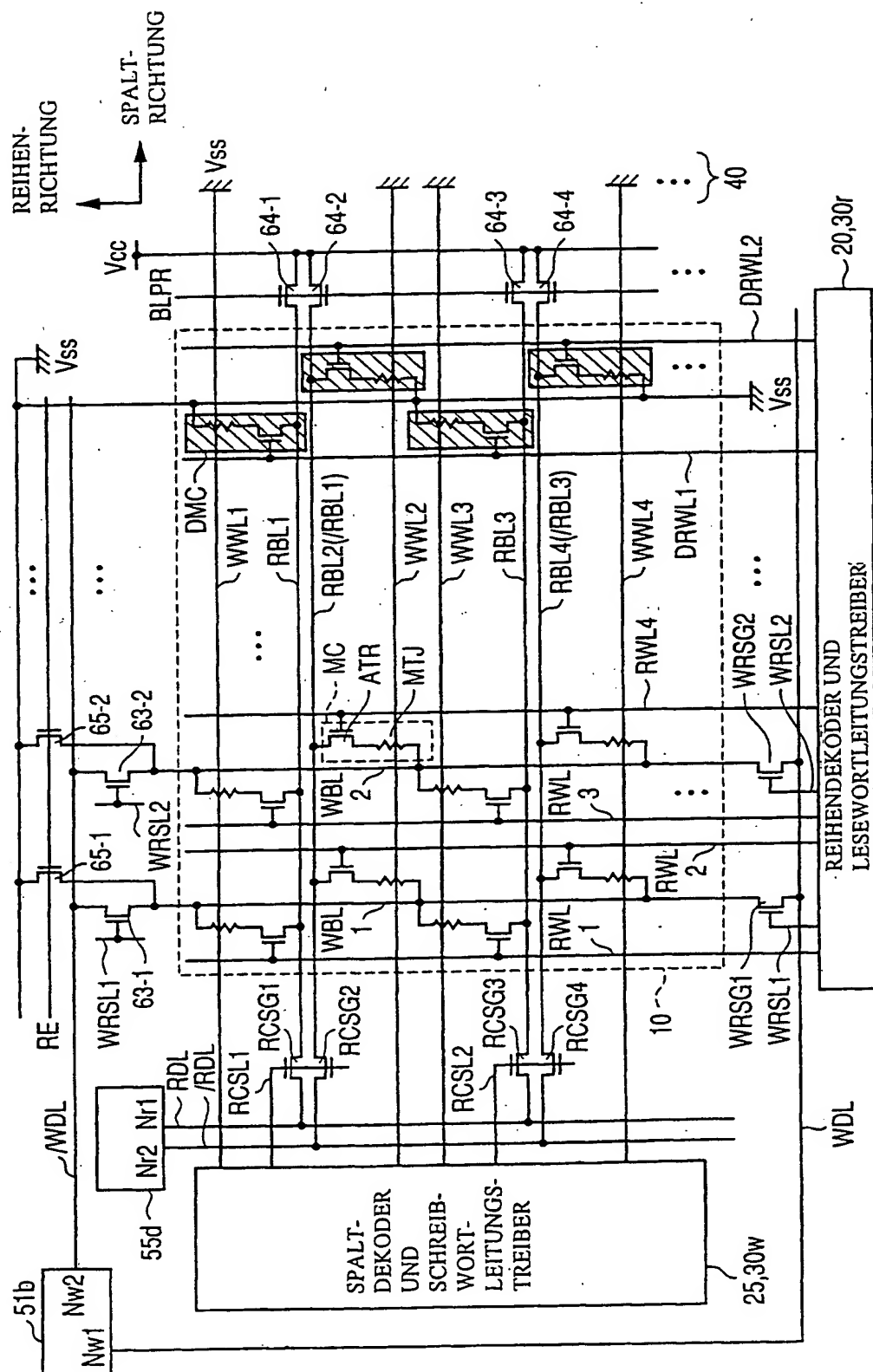


FIG. 49

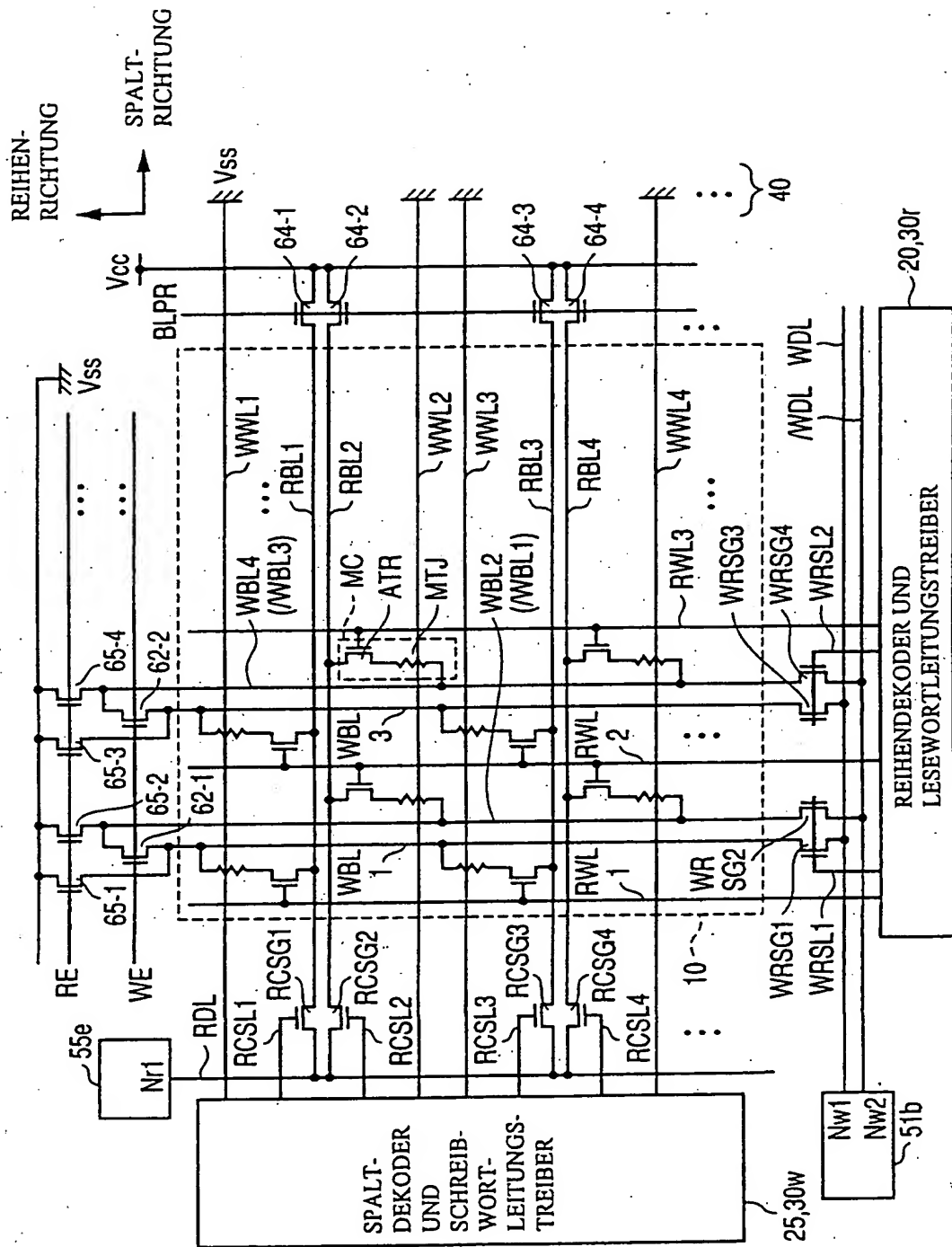


FIG.50

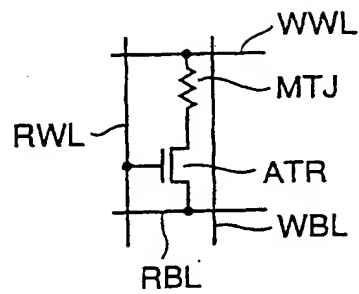


FIG.51

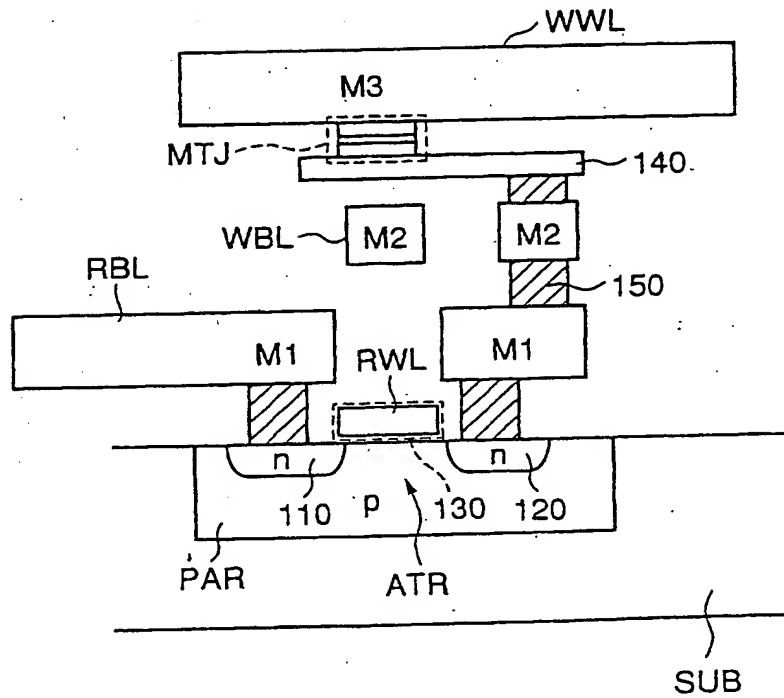




FIG.53

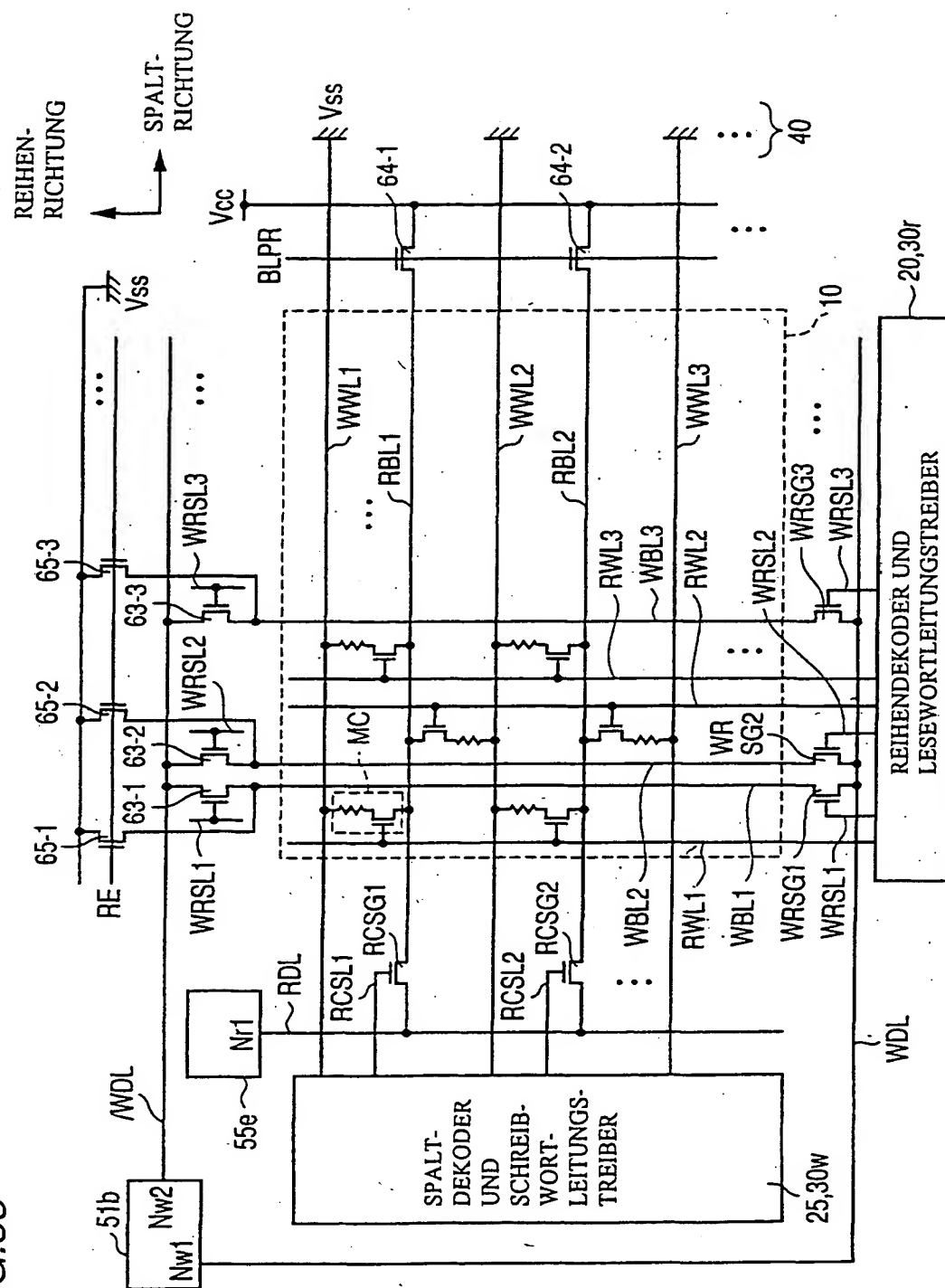


FIG.54

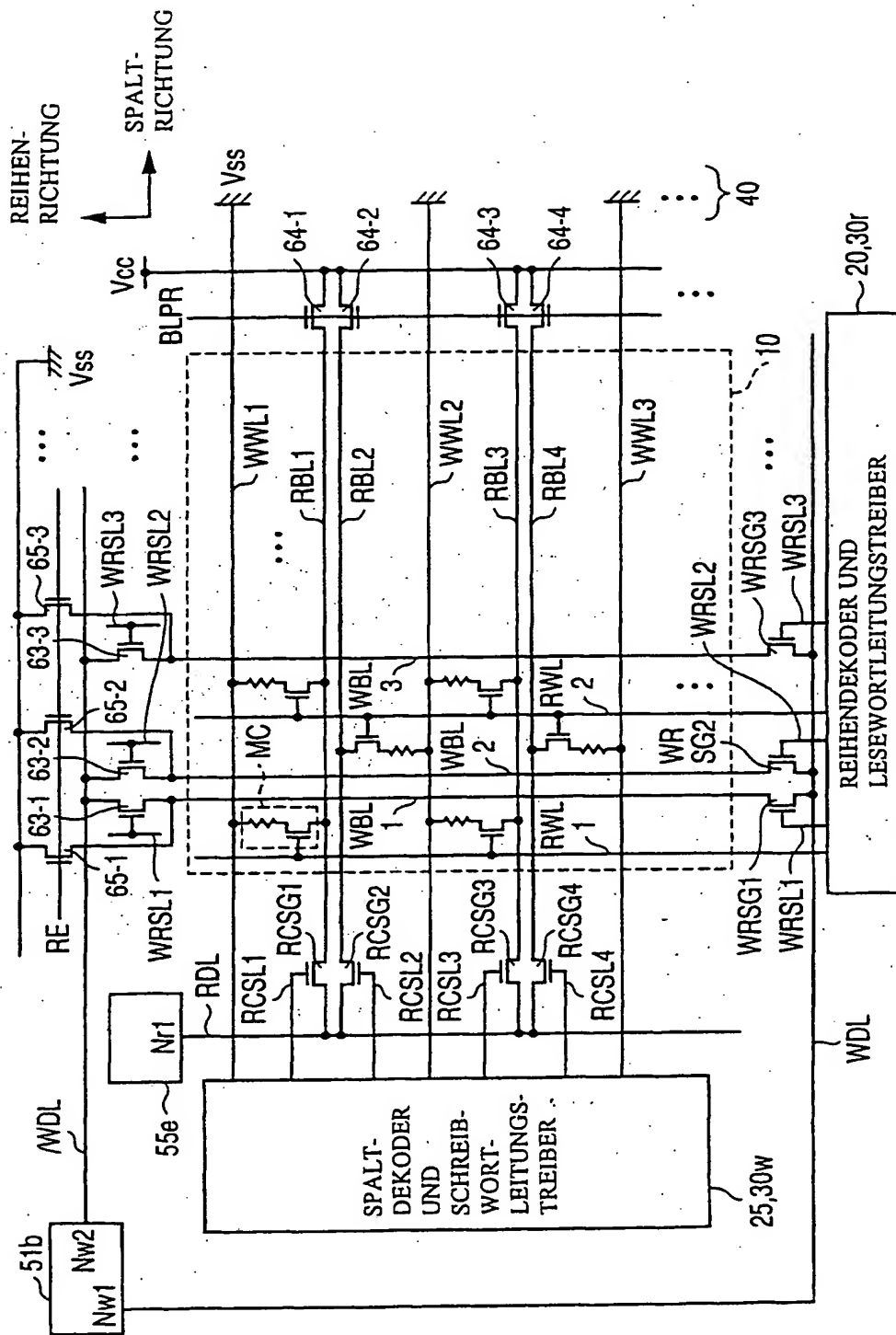


FIG.55

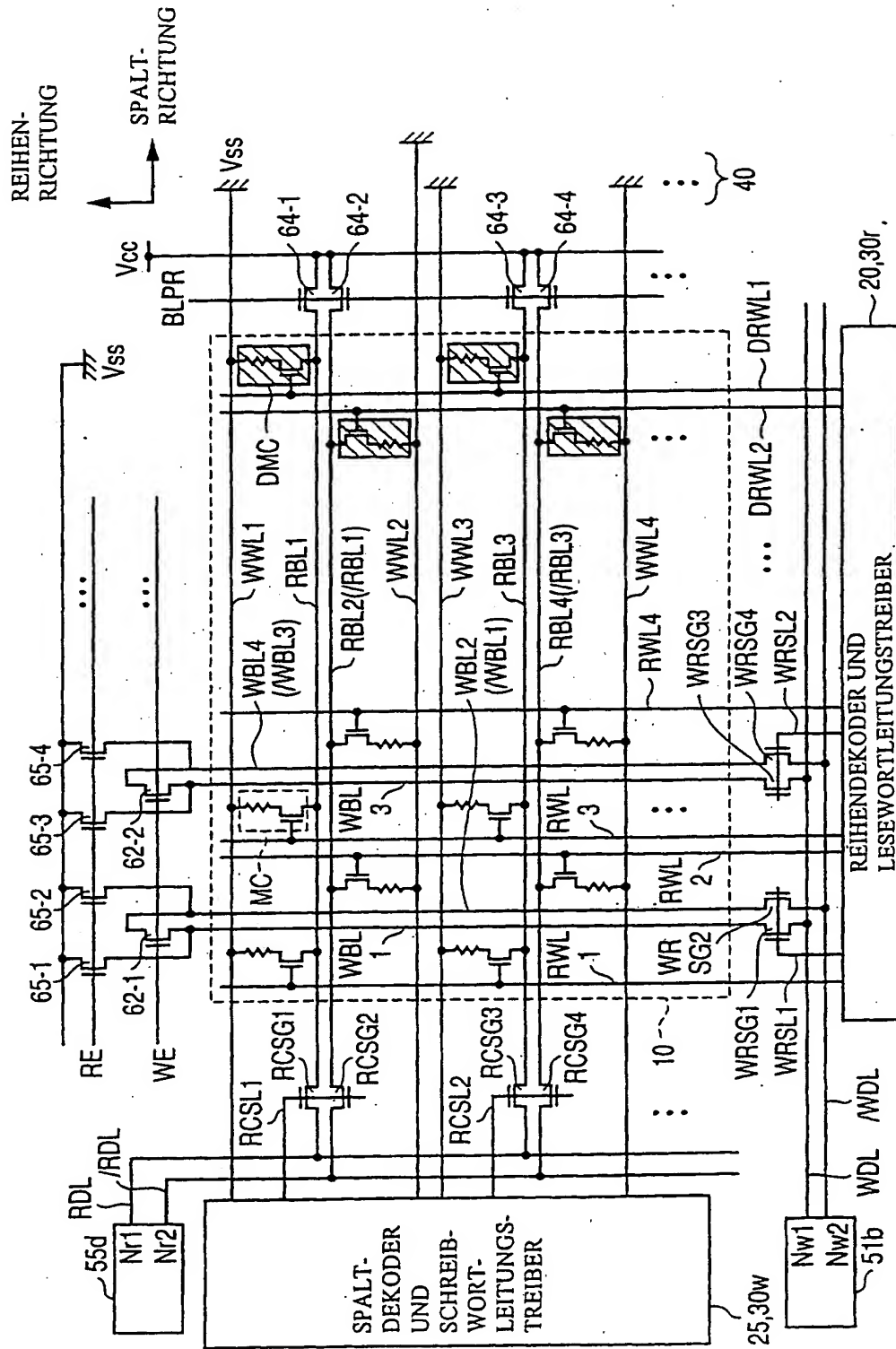




FIG.57

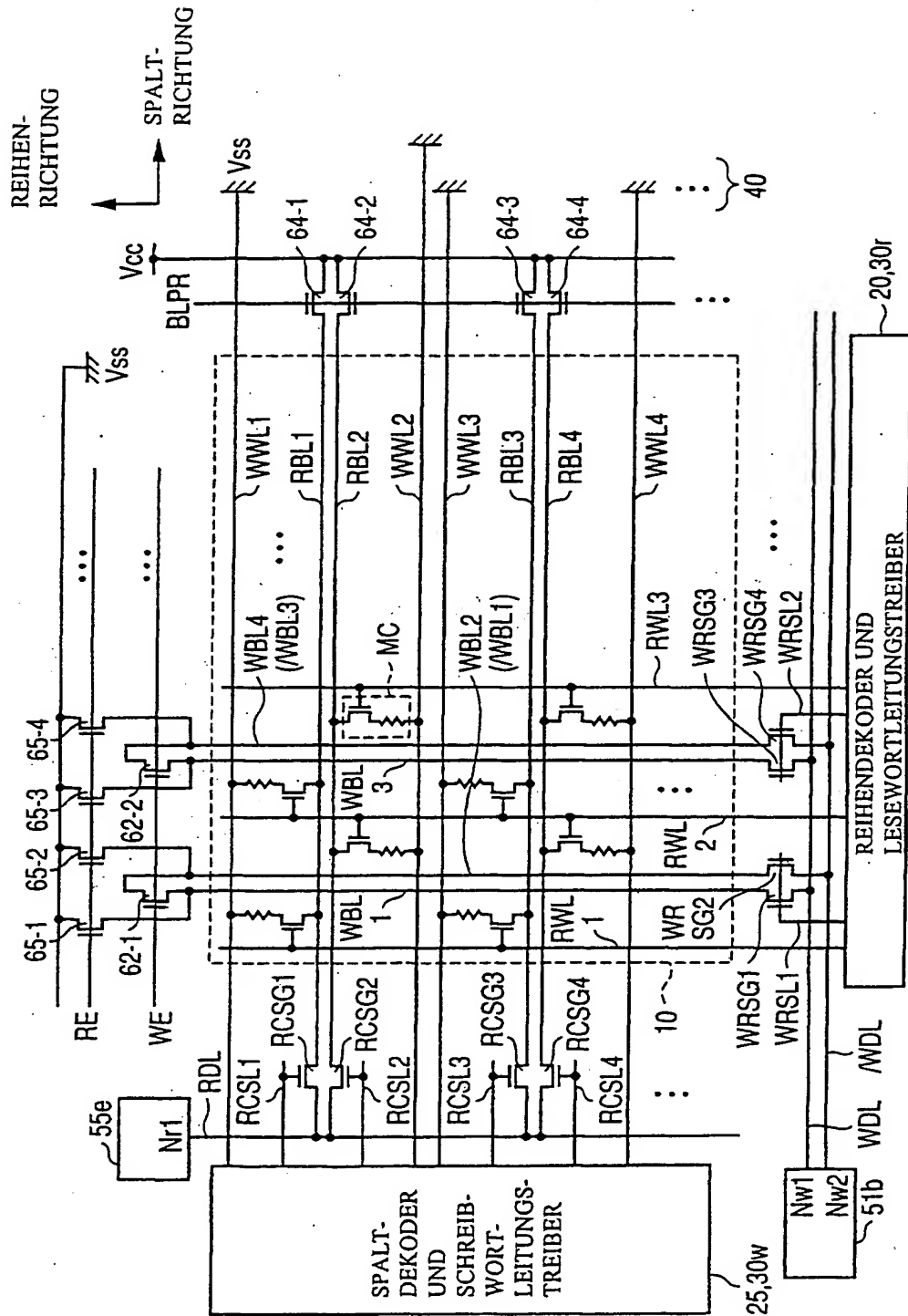


FIG.58

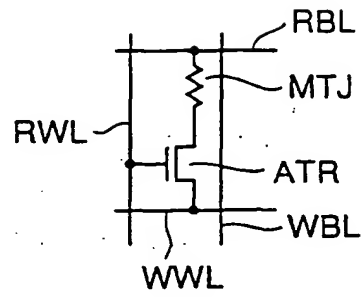


FIG.59

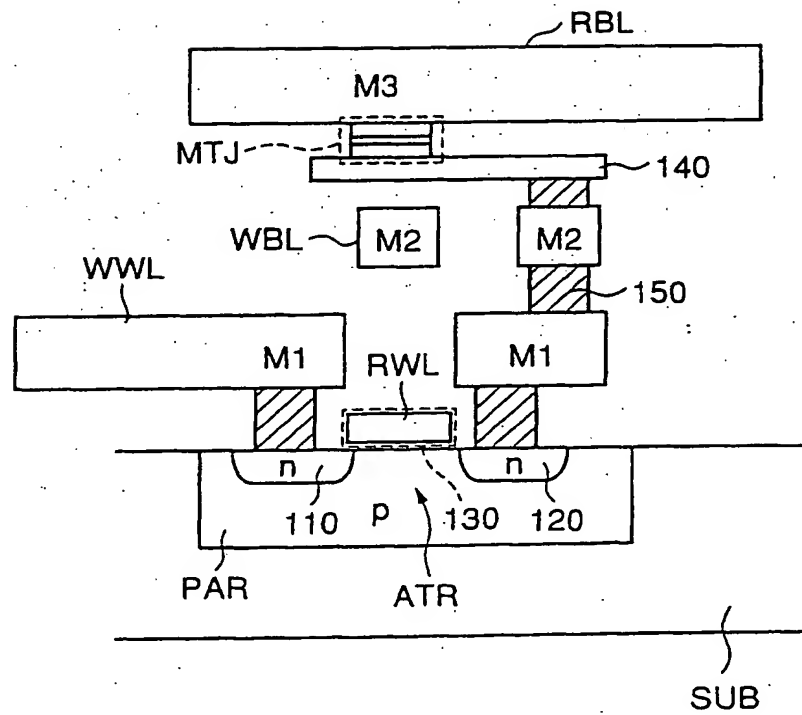


FIG. 60

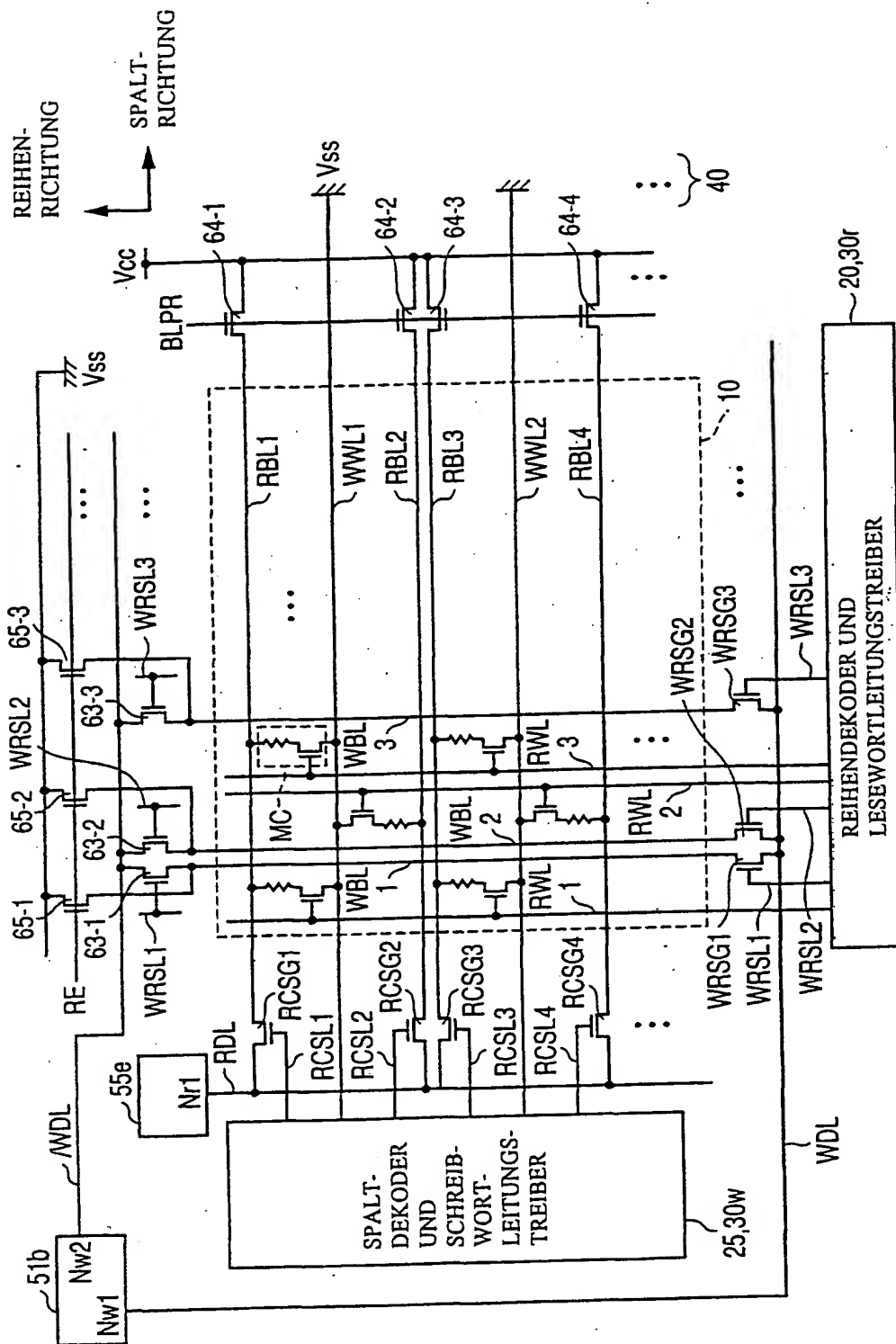


FIG.61

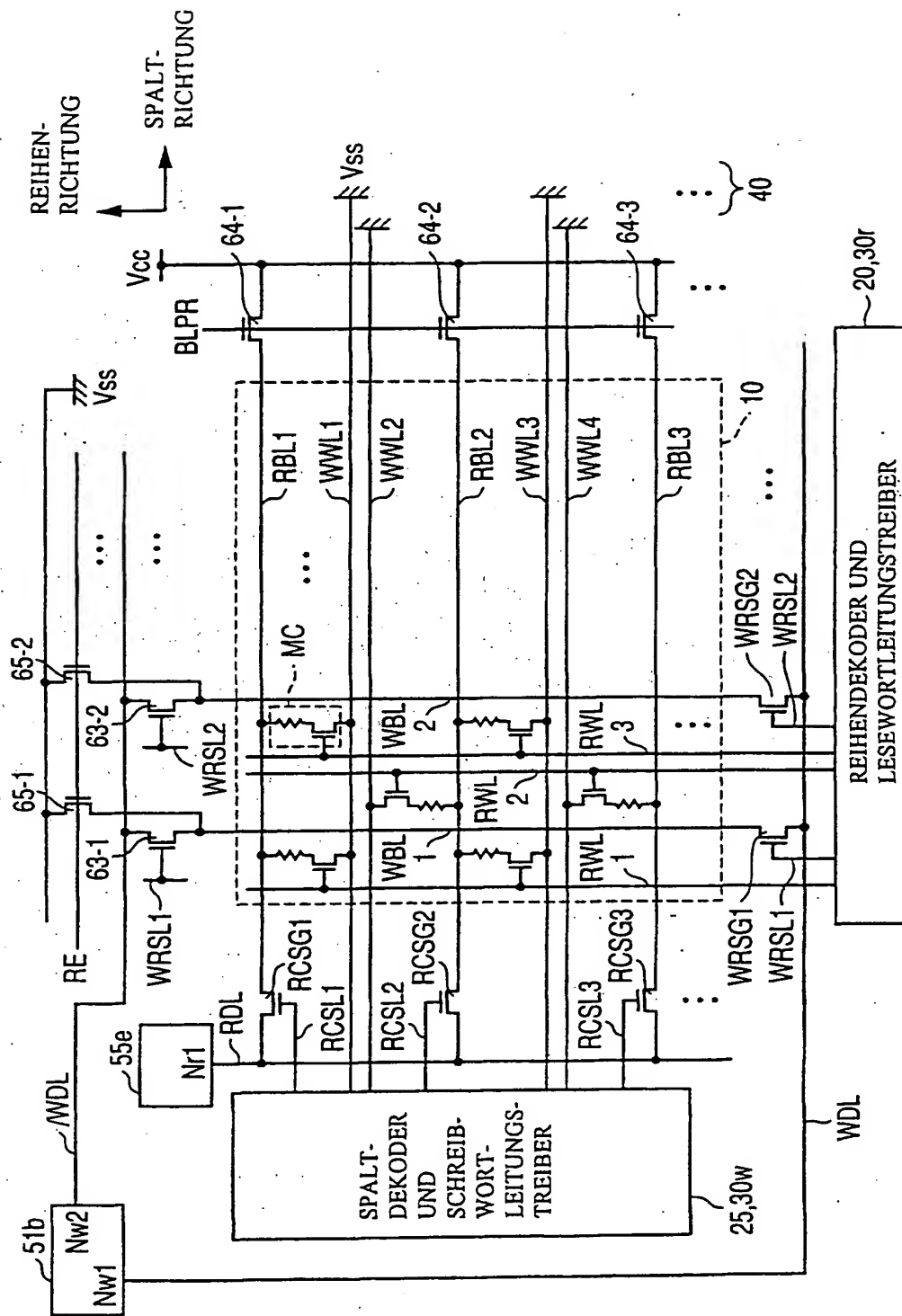


FIG.62

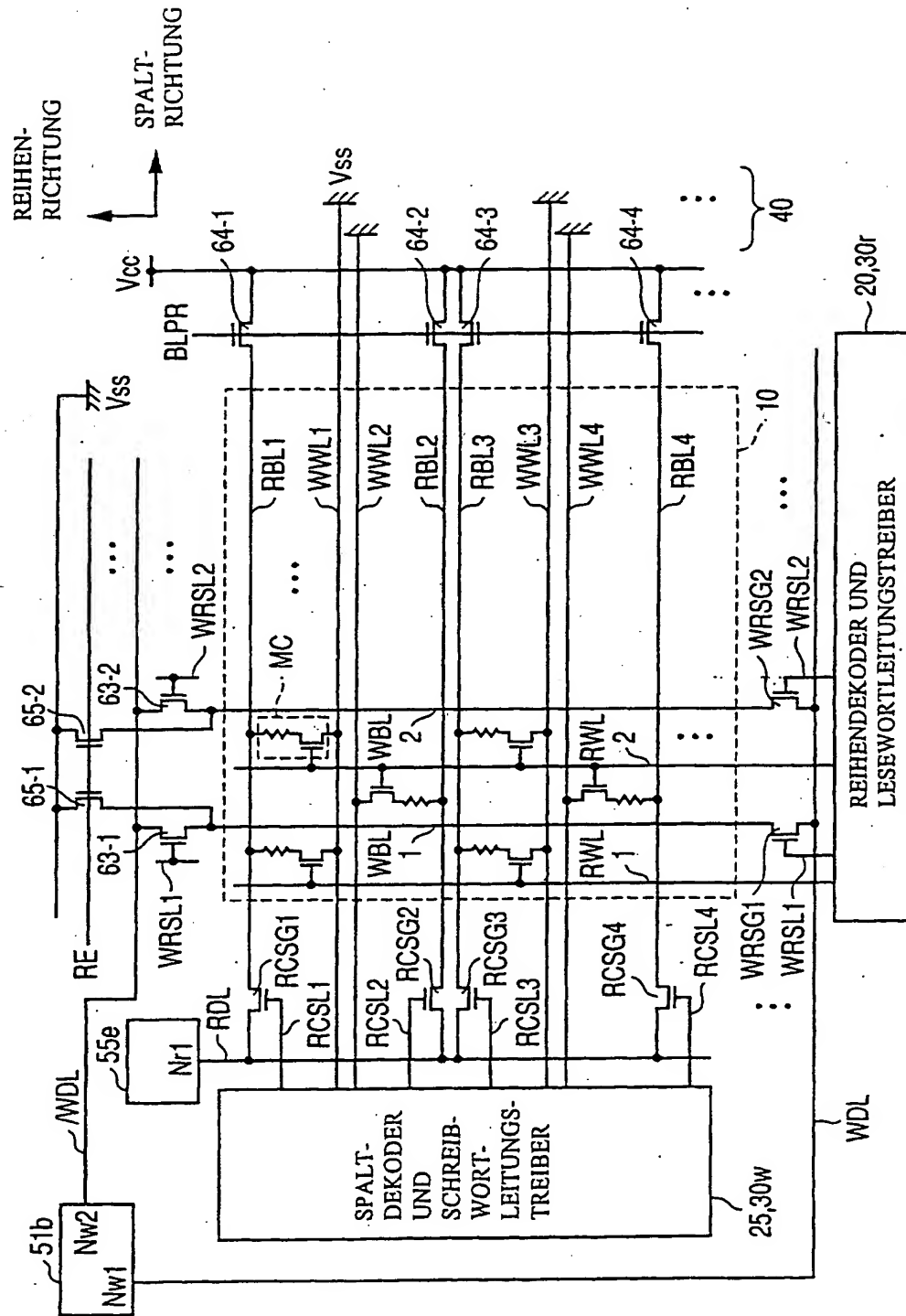


FIG. 63

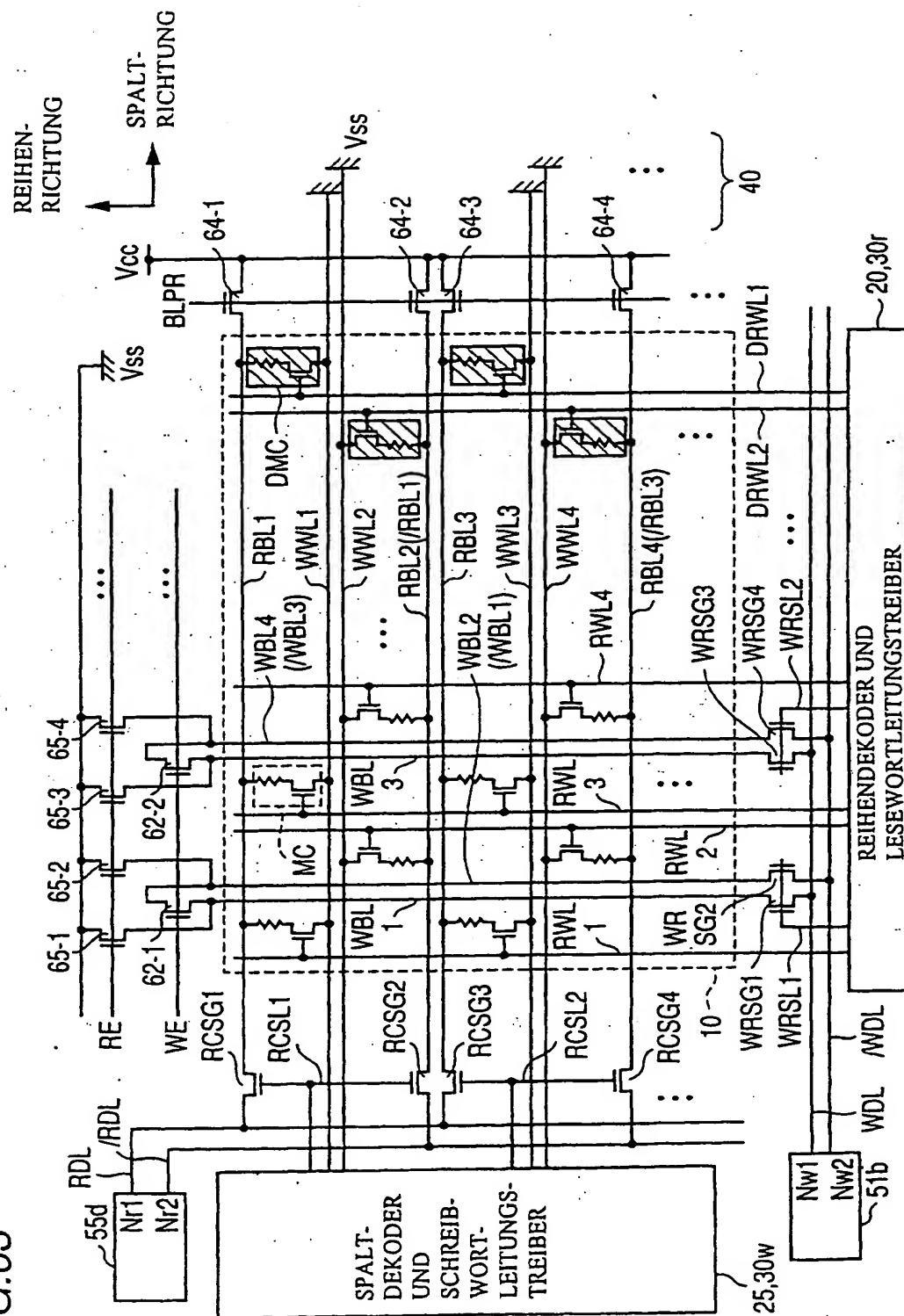




FIG.65

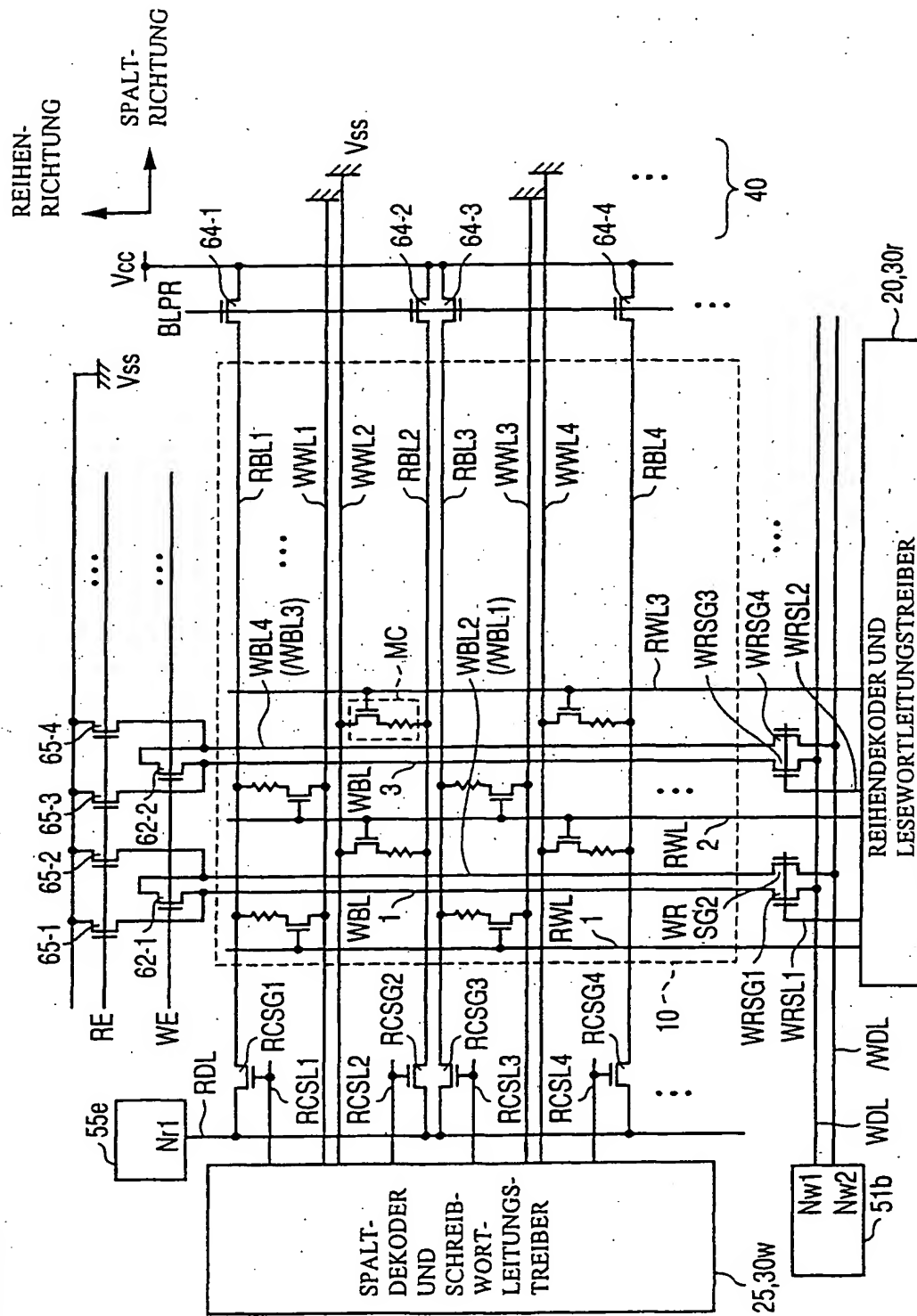


FIG.66

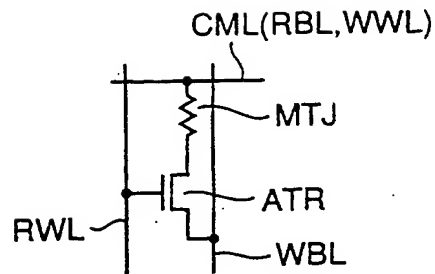


FIG.67

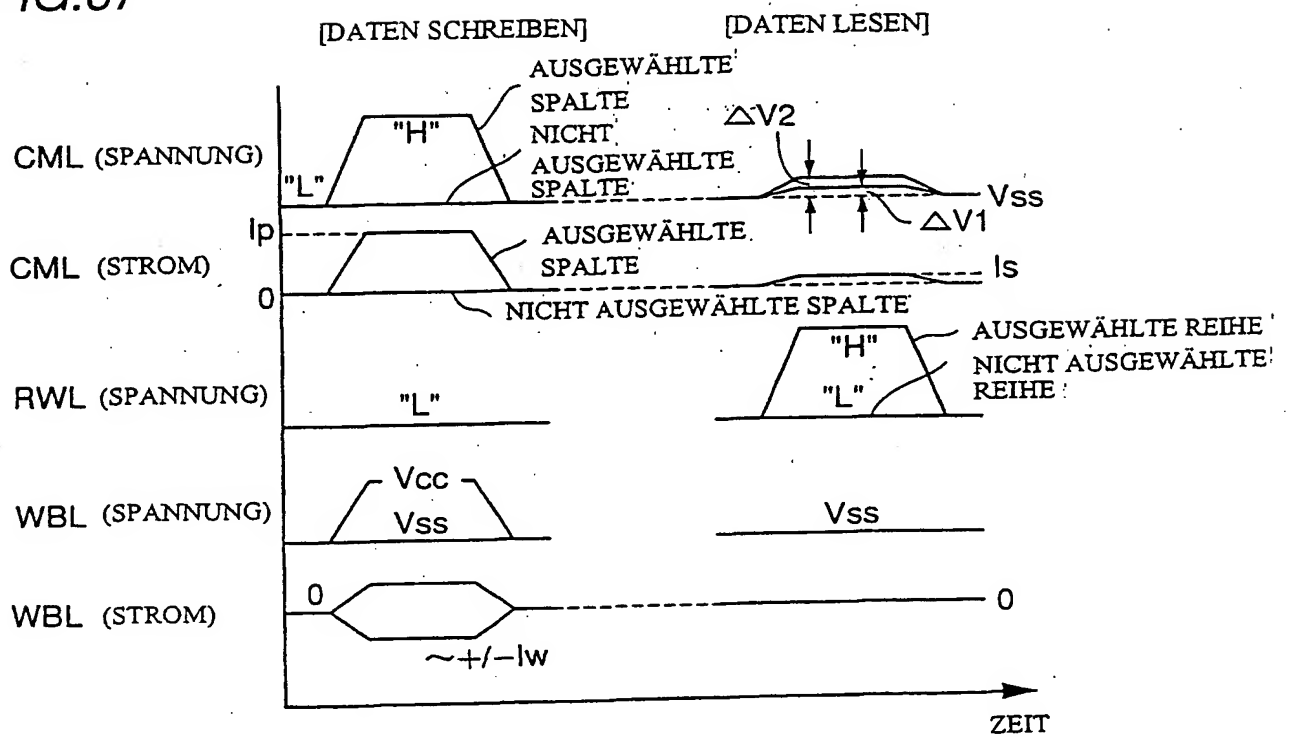


FIG.68

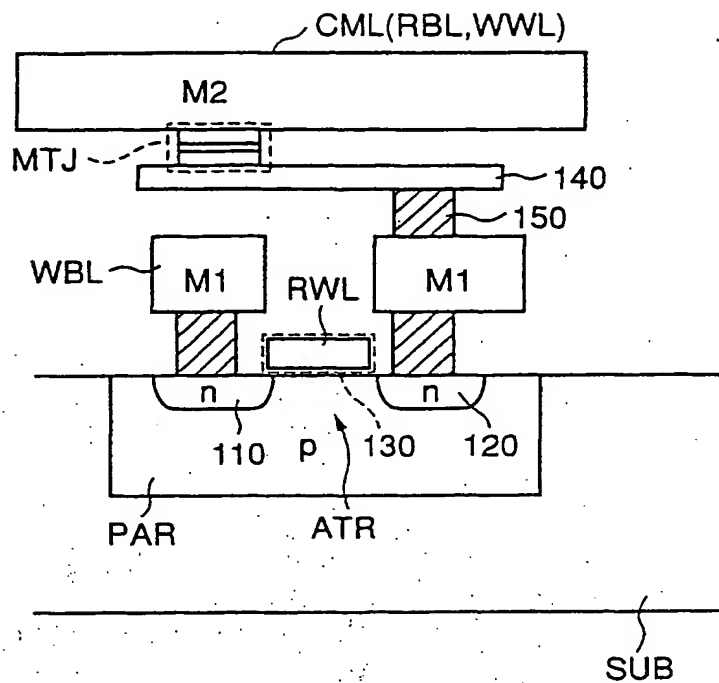


FIG.69

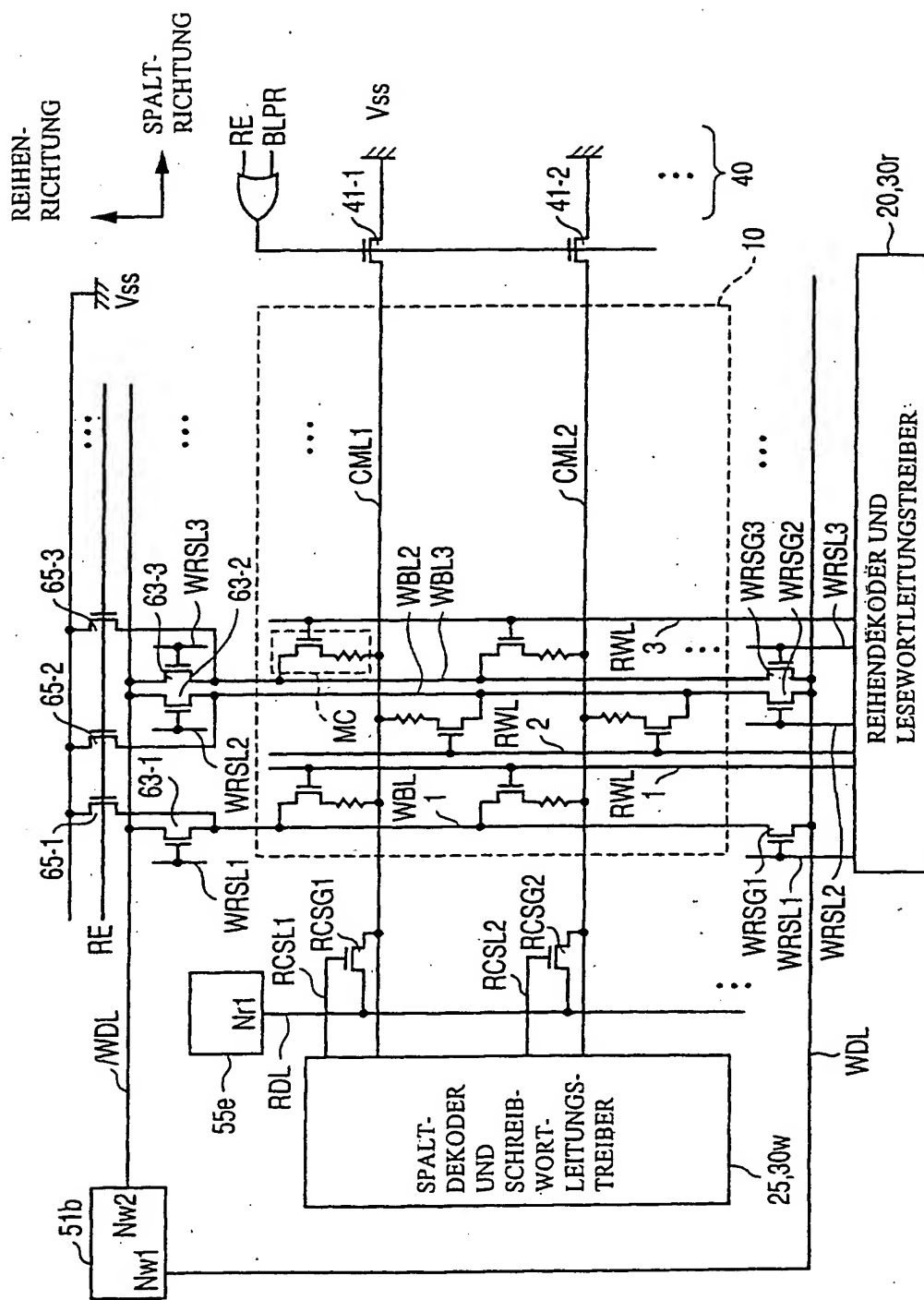


FIG. 70

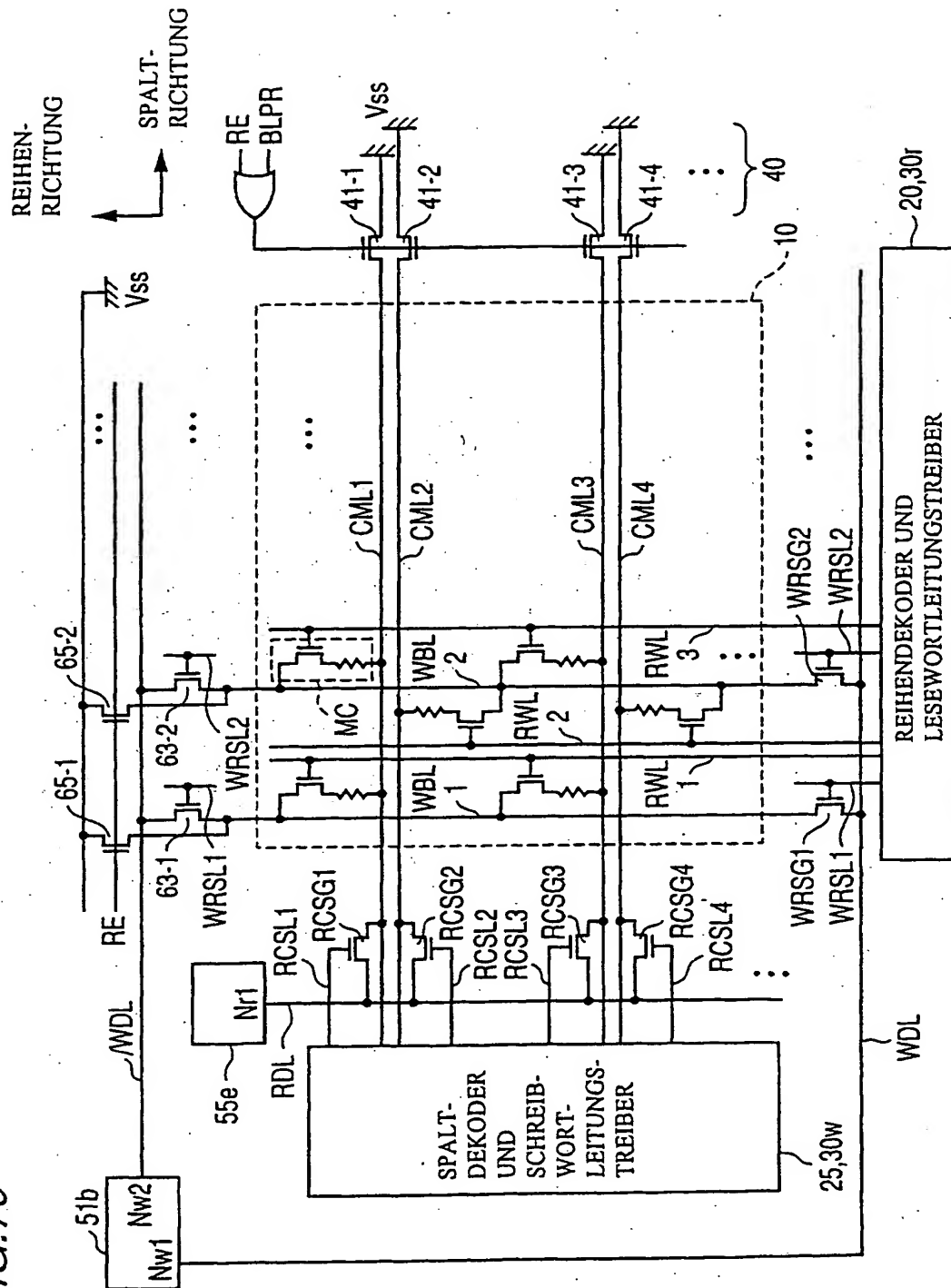




FIG. 72

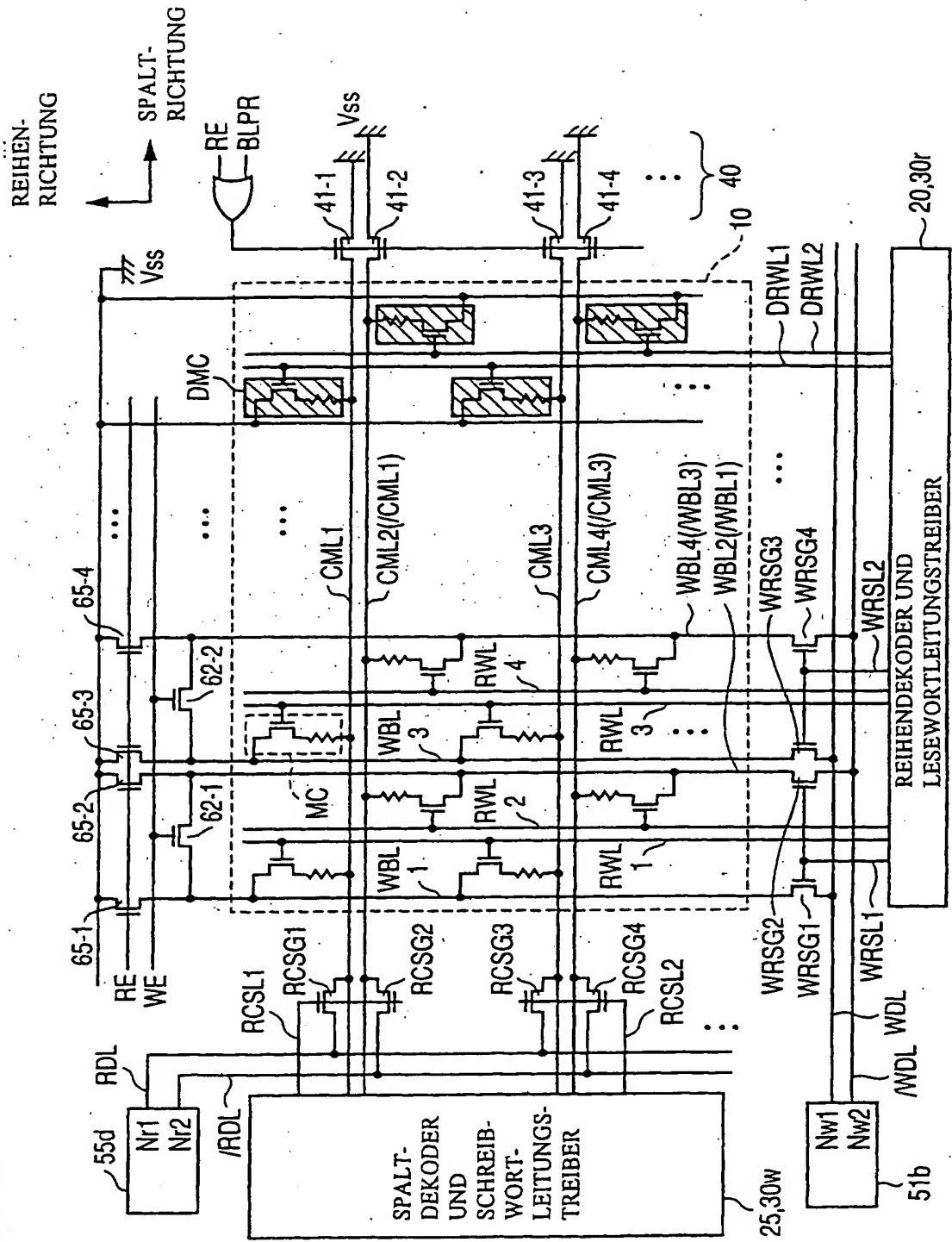


FIG. 73

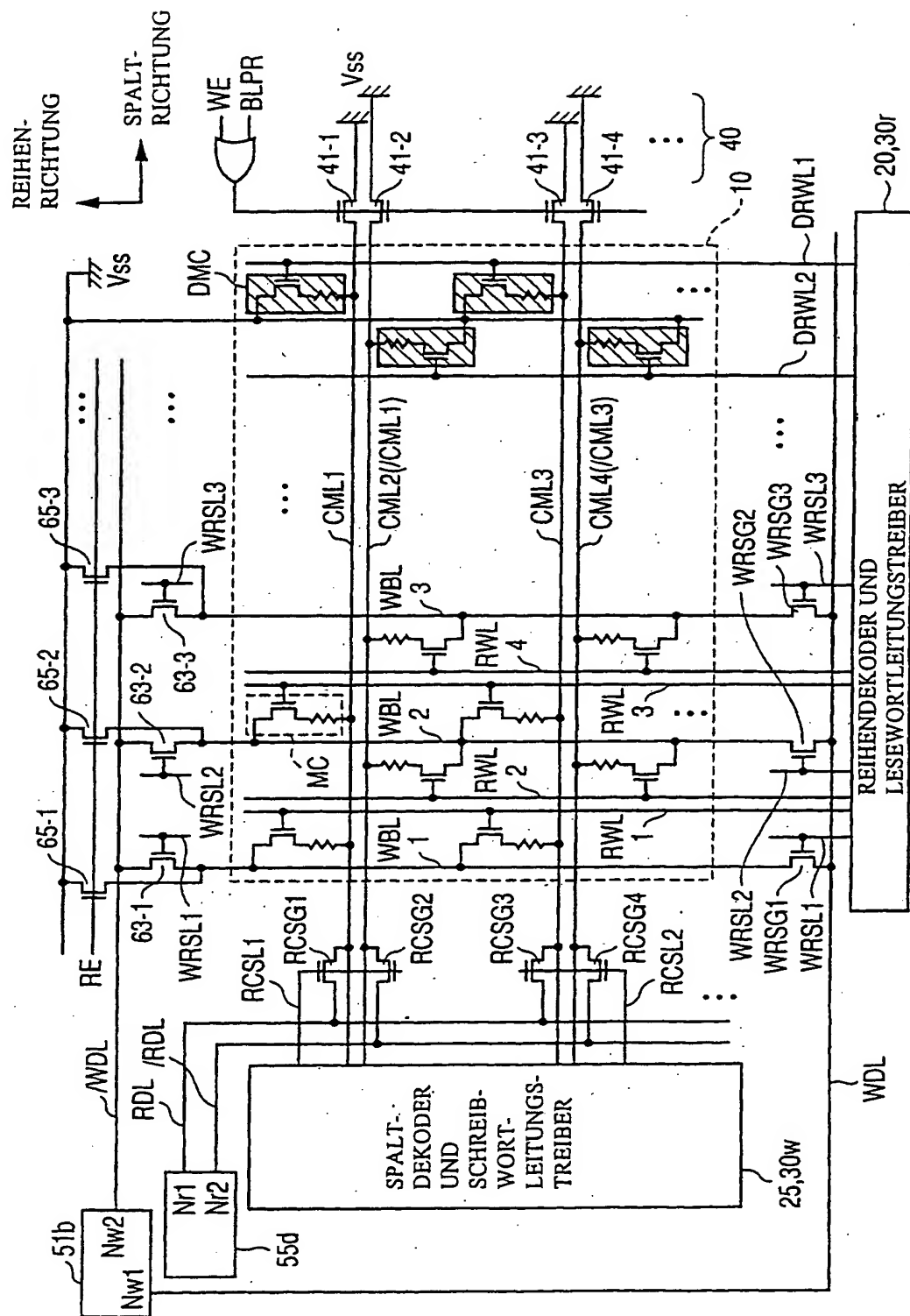


FIG.74

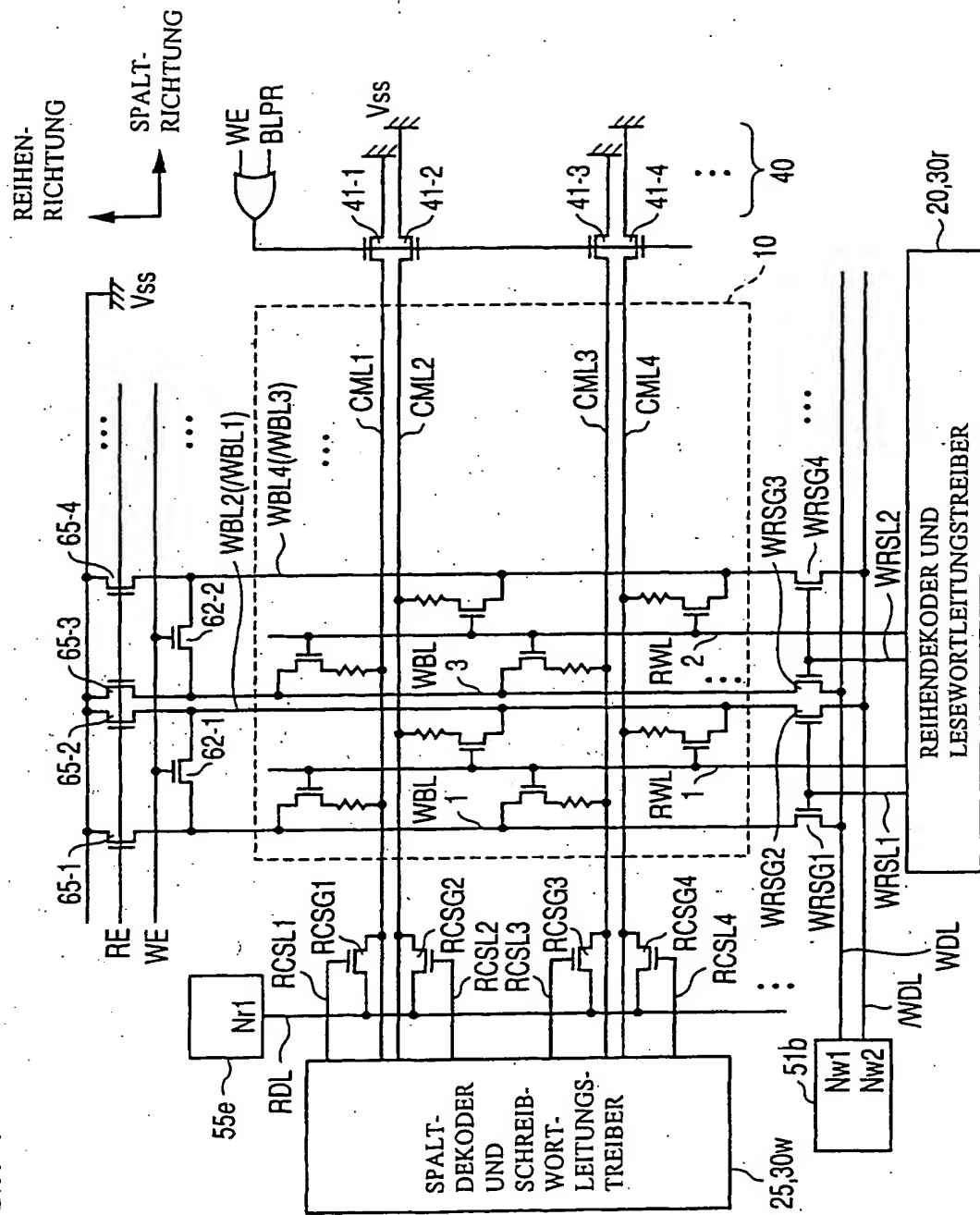


FIG.75

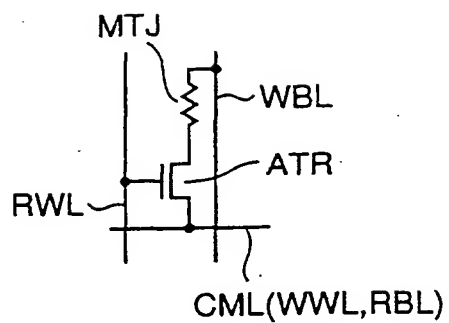


FIG.76

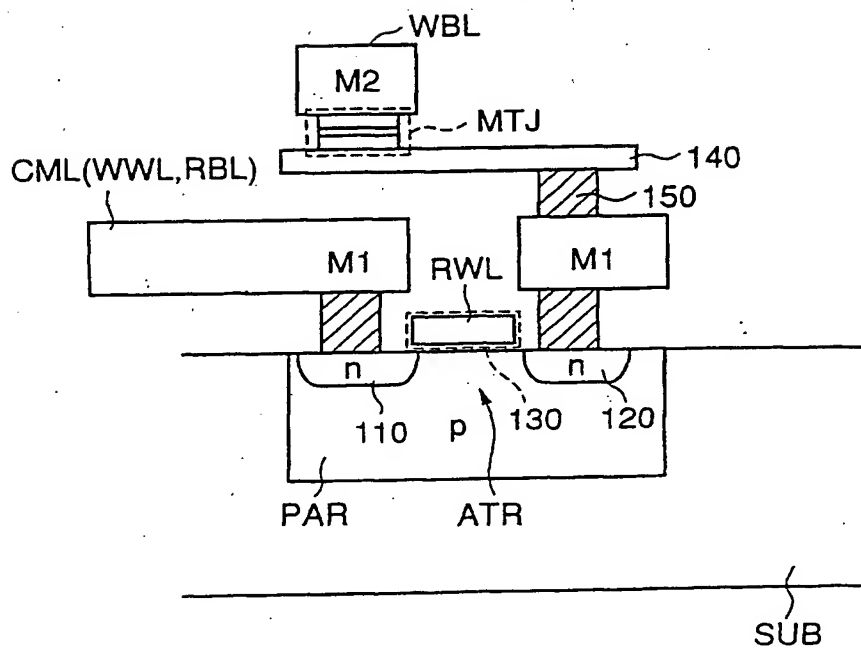


FIG. 77

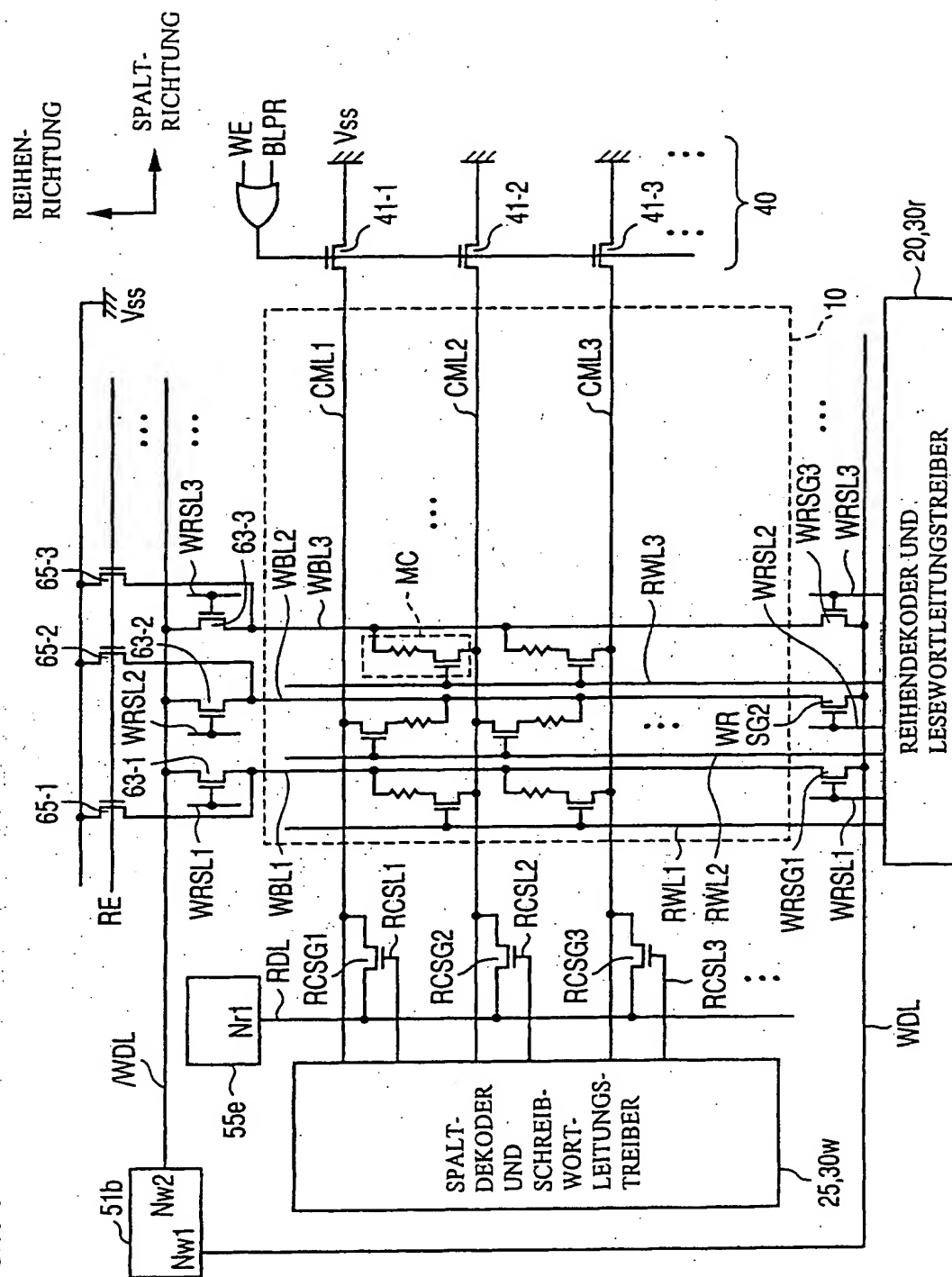


FIG.78

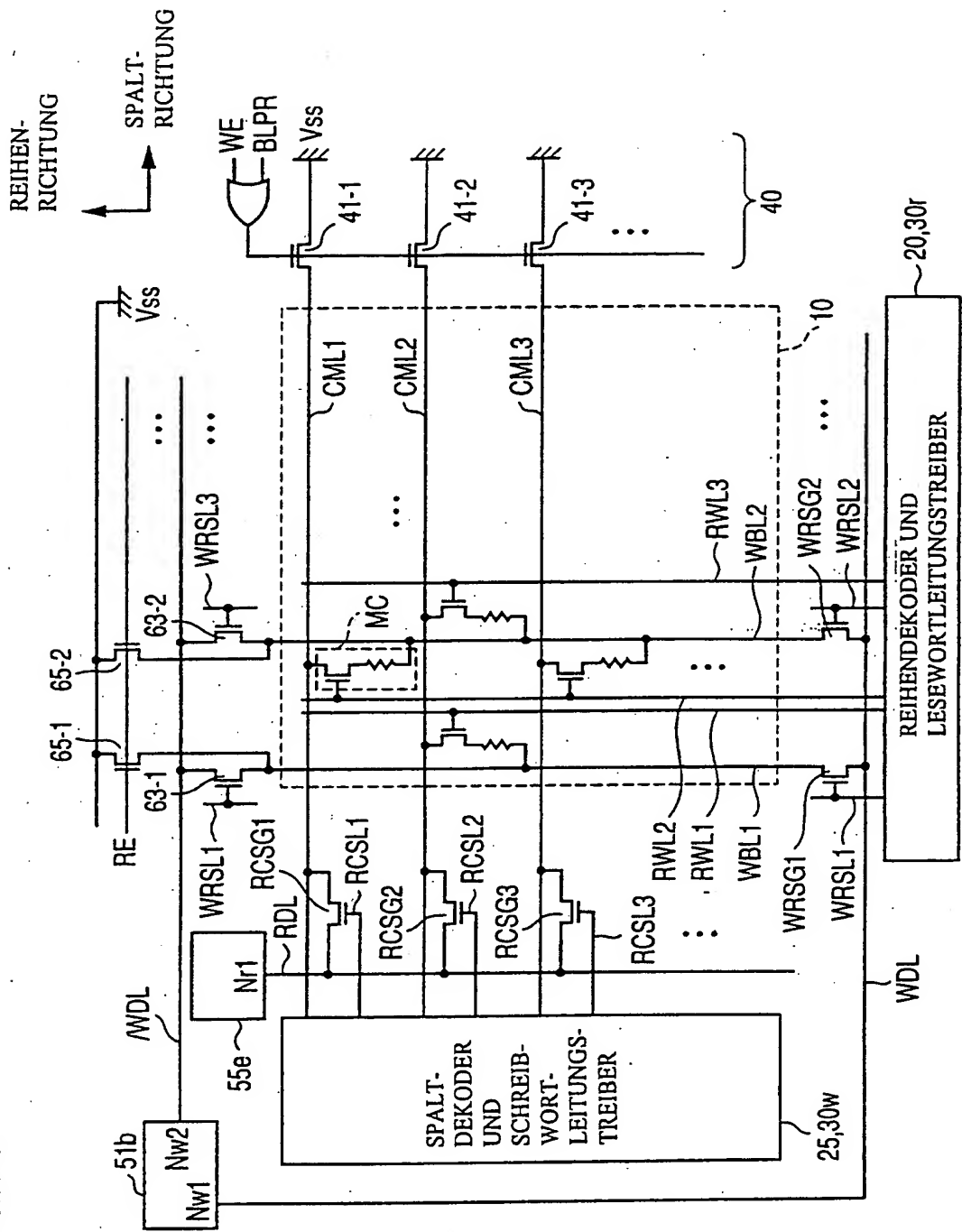


FIG.79

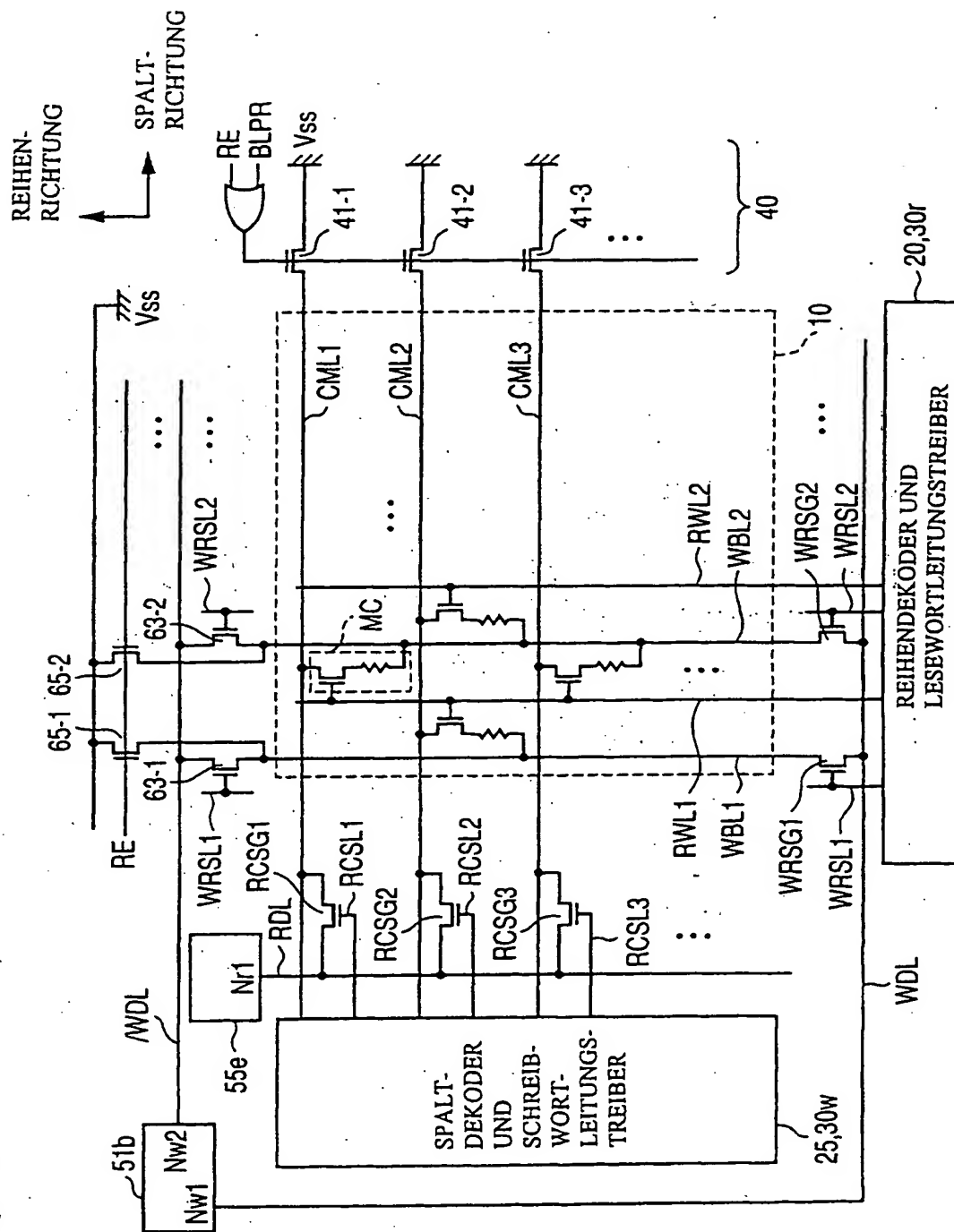


FIG.80

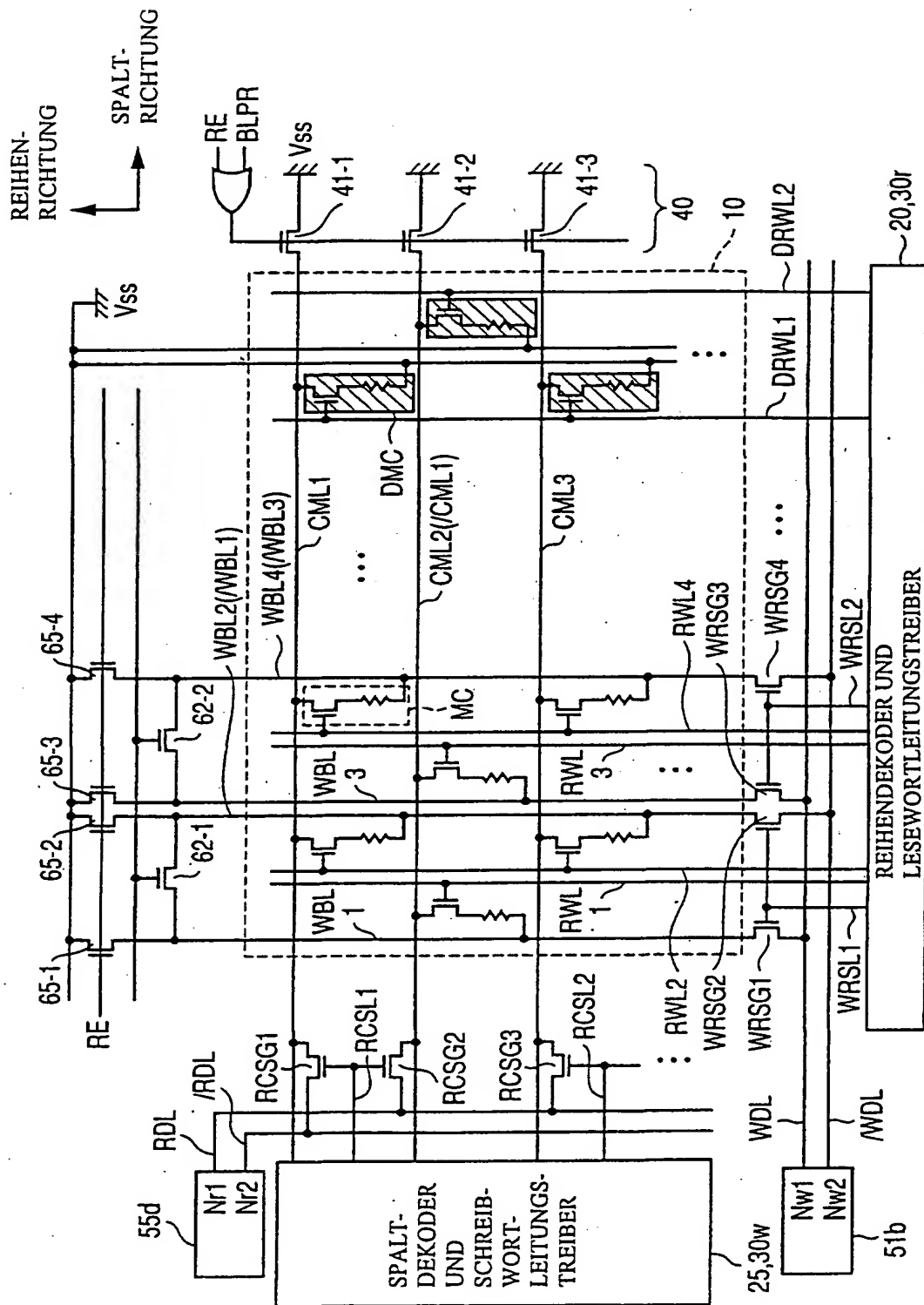


FIG. 81

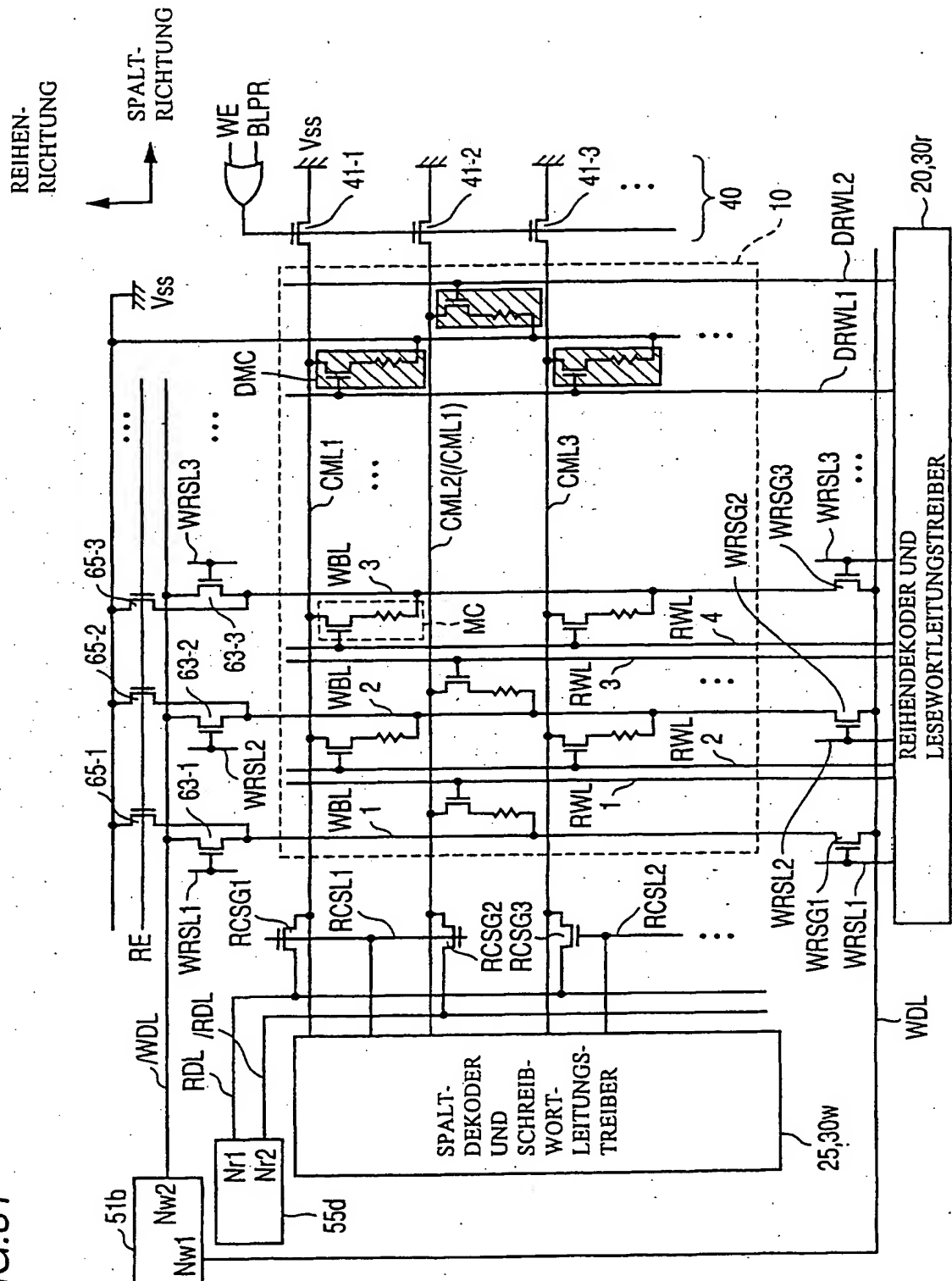


FIG.82

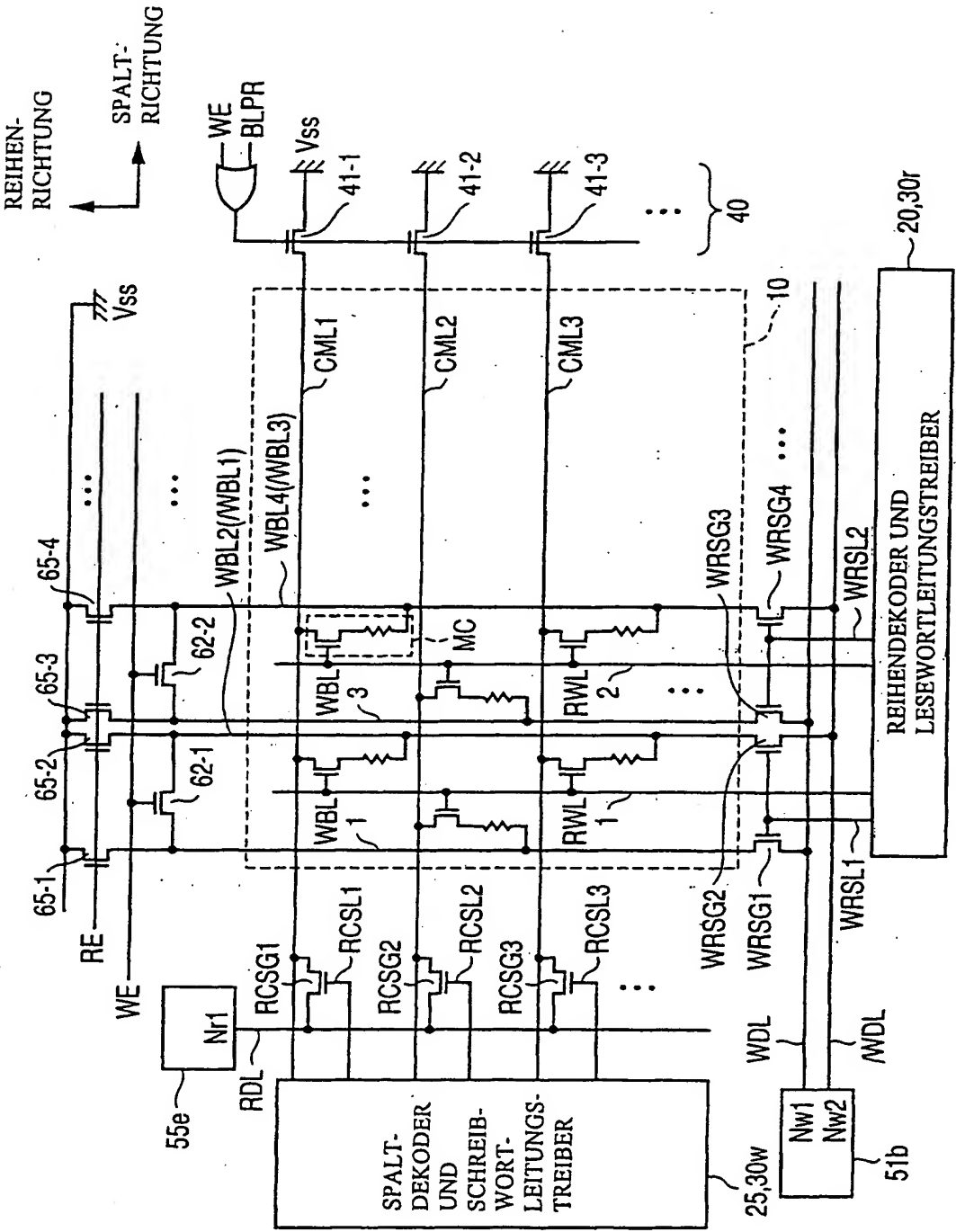


FIG.83

STAND DER TECHNIK

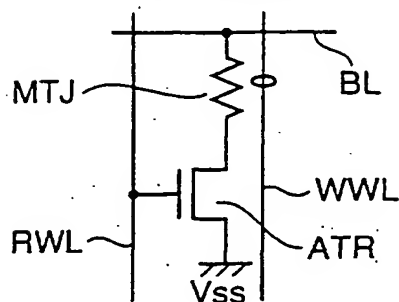


FIG.84

STAND DER TECHNIK

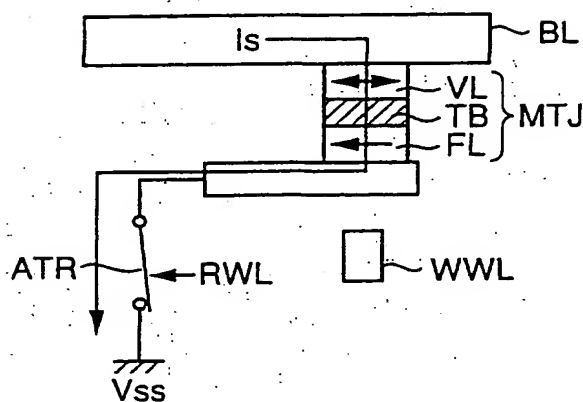


FIG.85

STAND DER TECHNIK

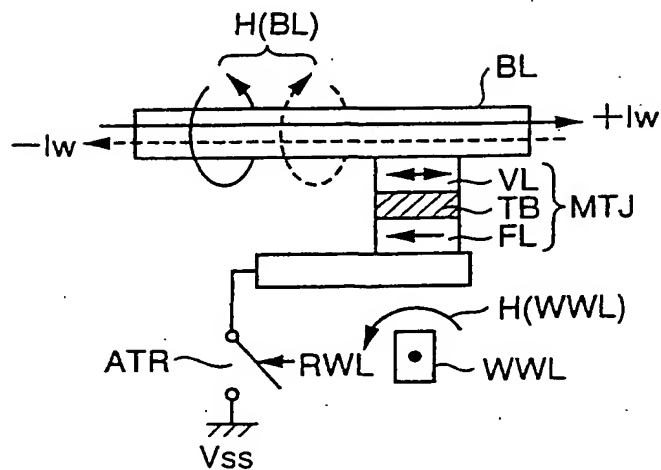


FIG.86 STAND DER TECHNIK

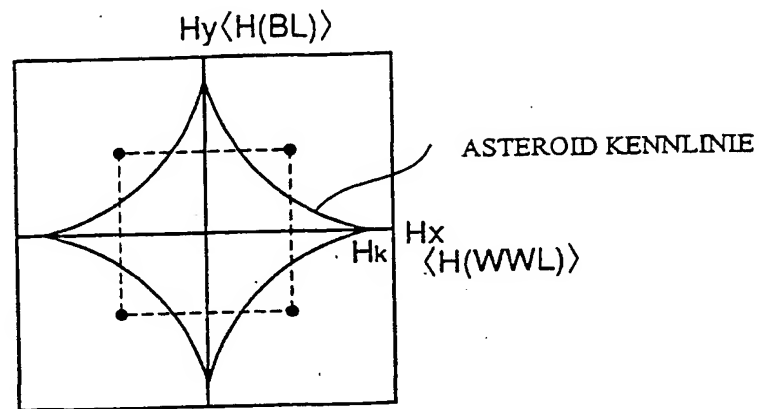


FIG.87 STAND DER TECHNIK

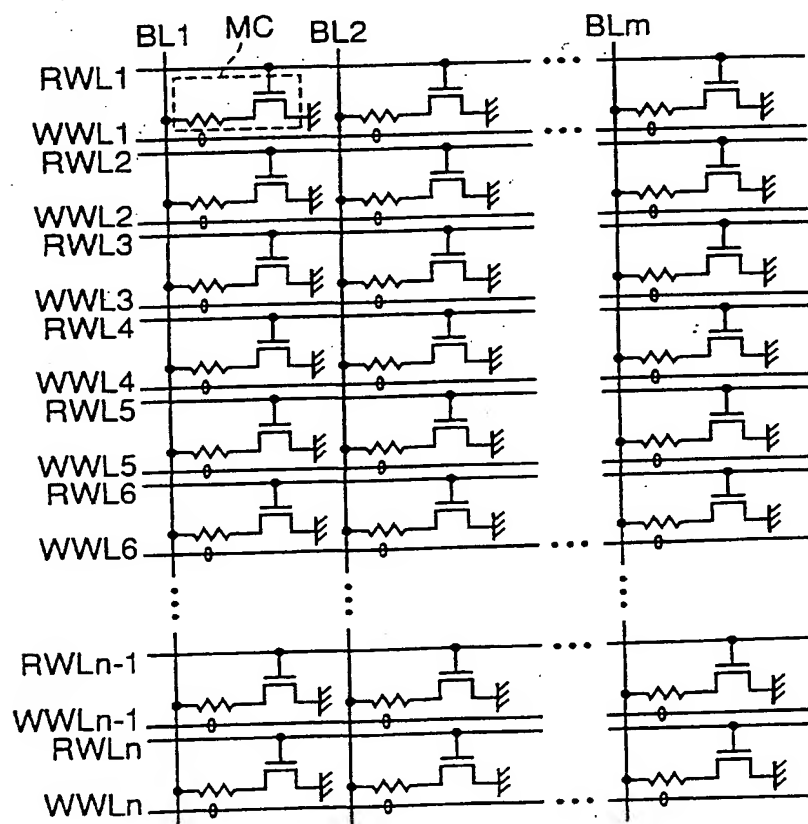


FIG.88 STAND DER TECHNIK

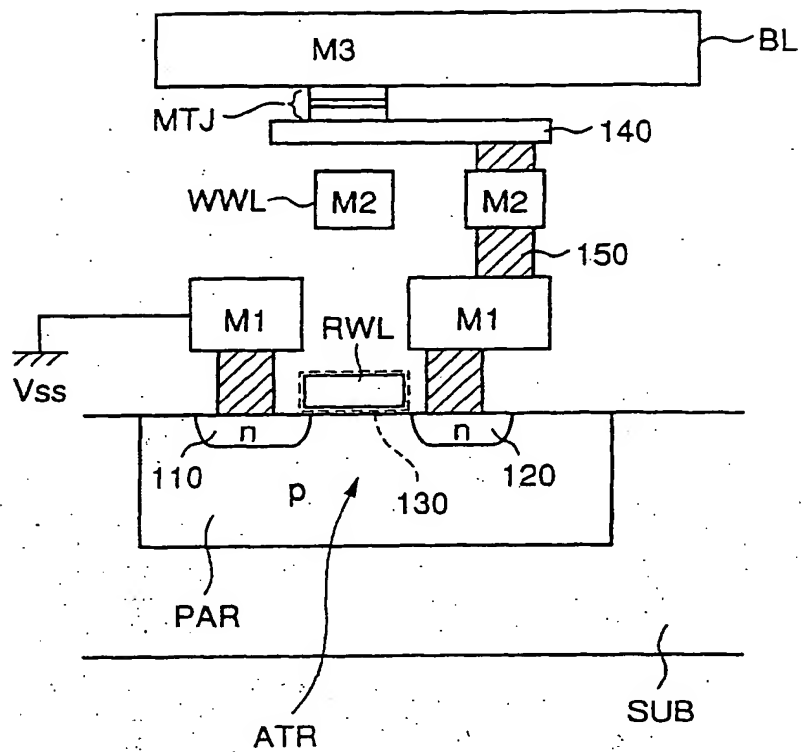
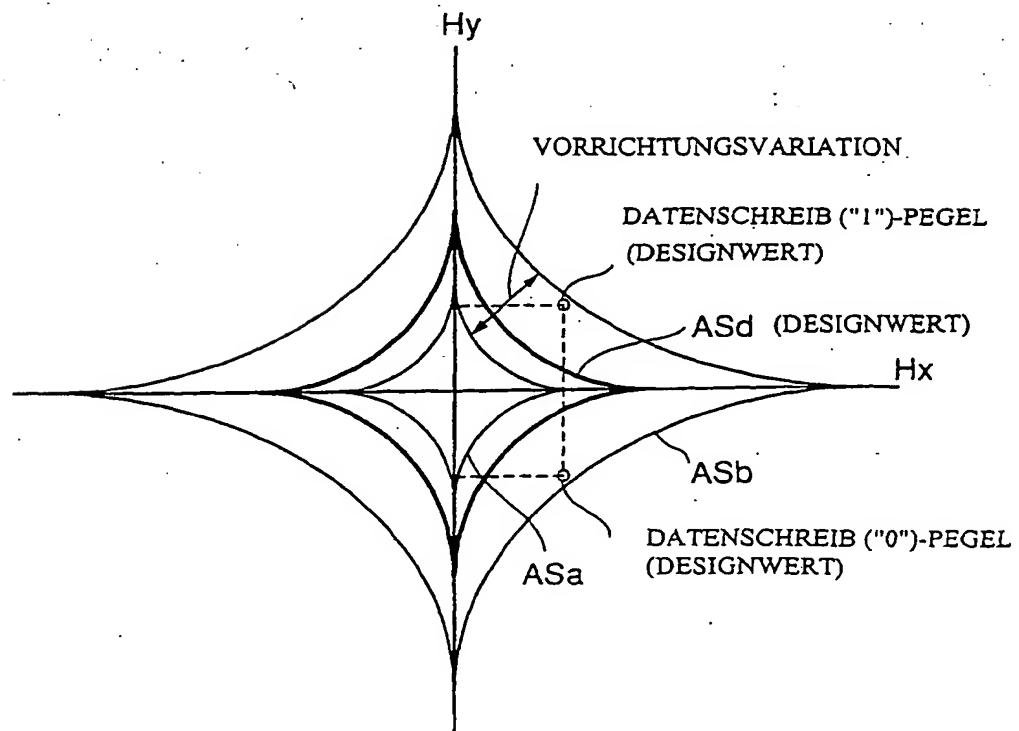
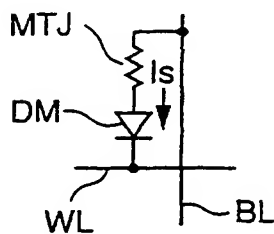


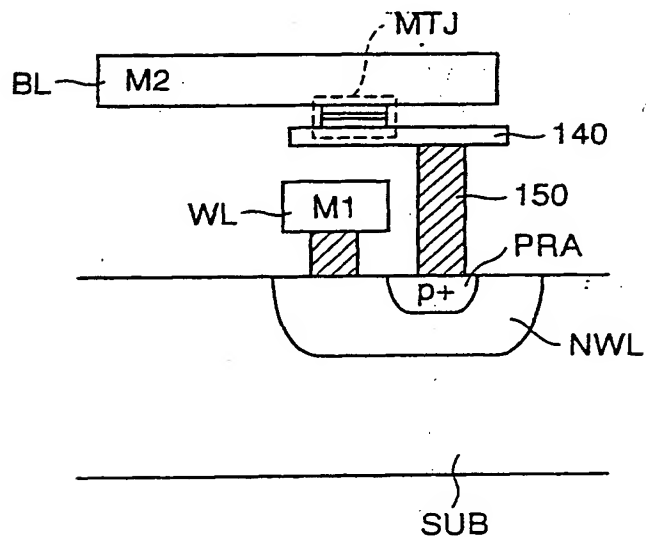
FIG.89 STAND DER TECHNIK



**FIG.90** STAND DER TECHNIK



**FIG.91** STAND DER TECHNIK



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**